

**Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)**

Библиотека схемотехнических решений

**«Макромодели BiJFET, JFET и CJFET
аналоговых IP-модулей для задач
моделирования низкотемпературных и
радиационно-стойких интерфейсов датчиков»**

**Н.Н. Прокопенко, prokopenko@sssu.ru,
А.В. Бугакова, annabugakova.1992@mail.ru,
Е.В. Овсепян, ovsepyan.elenka@bk.ru,
А.А. Жук, alexey.zhuk96@mail.ru,
И.В. Пахомов, pahom2191@mail.ru,
В.Е. Чумаков, vladislav.230497@mail.ru**

**Научно-исследовательская лаборатория проблем проектирования
в экстремальной микроэлектронике ИППМ РАН и Донского
государственного технического университета (г. Ростов-на-Дону)**

Содержание

1. CJFET операционный усилитель: модификация ОУ- №1	5
1.1. Назначение и текстовое описание схемы ОУ	5
1.2 Результаты компьютерного моделирования и netlist ОУ	6
1.3 Макромодель ОУ и ее netlist	10
1.4 Выводы	12
2. CJFET операционный усилитель: модификация ОУ- №2	13
2.1. Назначение и текстовое описание схемы ОУ	13
2.2. Результаты компьютерного моделирования и netlist ОУ	14
2.3. Макромодель ОУ и ее netlist	17
2.4 Выводы	19
3. Базовая схема CJFet операционного усилителя без токовых зеркал: модификация ОУ- №3	20
3.1. Назначение и текстовое описание схемы ОУ	20
3.2. Результаты компьютерного моделирования и netlist ОУ	21
3.3. Макромодель ОУ и ее netlist	24
3.4. Выводы	26
4. CJFet ОУ с парафазным выходом и входным ДК класса Floating complementary DS: модификация ОУ- №4	27
4.1. Назначение и текстовое описание схемы ОУ	27
4.2. Результаты компьютерного моделирования и netlist ОУ	28
4.3. Макромодель ОУ и ее netlist	31
4.4. Выводы	33
5. Радиационно-стойкий операционный усилитель для работы при низких температурах: модификация ОУ- №5	34
5.1. Назначение и текстовое описание схемы ОУ	34
5.2. Результаты компьютерного моделирования и netlist ОУ	35
5.3. Макромодель ОУ и ее netlist	37
5.4. Выводы	39
6. CJFet ОУ с комплементарным промежуточным каскадом: модификация ОУ- №6	40
6.1. Назначение и текстовое описание схемы ОУ	40
6.2. Результаты компьютерного моделирования и netlist ОУ	41
6.3. Макромодель ОУ и ее netlist	45
6.4. Выводы	47
7. CJFET ОУ с каскодным промежуточным каскадом: модификация ОУ-№7 .	48
7.1. Назначение и текстовое описание схемы ОУ	48
7.2. Результаты компьютерного моделирования и netlist ОУ	50
7.3. Макромодель ОУ и ее netlist	53
7.4. Выводы	55
8. CJFET операционный усилитель на составных JFET транзисторах в промежуточном каскаде: модификация ОУ-№8	56
8.1. Назначение и текстовое описание схемы ОУ	56
8.2. Результаты компьютерного моделирования и netlist ОУ	57

8.3. Макромодель ОУ и ее netlist	60
8.4. Выводы	62
9. Операционный усилитель с CJFET входным каскадом и дифференцирующими цепями коррекции: модификация ОУ-№9	63
9.1. Входной дифференциальный каскад и быстродействующий ОУ на его основе	63
9.2. Результаты компьютерного моделирования и netlist ОУ	63
9.3. Макромодель ОУ и ее netlist	68
9.4. Выводы	70
10. CJFet операционный усилитель с каскодным промежуточным каскадом: модификация ОУ- №10	71
10.1. Назначение и текстовое описание схемы ОУ	71
10.2. Результаты компьютерного моделирования и netlist ОУ	72
10.3. Макромодель ОУ и ее netlist	75
10.4. Выводы	77
11. CJFet операционный усилитель с повышенным коэффициентом усиления: модификация ОУ- №11	78
11.1. Назначение и текстовое описание схемы ОУ	78
11.2. Результаты компьютерного моделирования и netlist ОУ	79
11.3. Макромодель ОУ и ее netlist	82
11.4. Выводы	82
12. CJFet операционный усилитель с отрицательной обратной связью по синфазному сигналу: модификация ОУ- №12	83
12.1. Назначение и текстовое описание схемы ОУ	83
12.2. Результаты компьютерного моделирования и netlist ОУ	84
12.3. Макромодель ОУ и ее netlist	87
12.4. Выводы	87
13. CJFet компенсационный стабилизатор напряжения	88
13.1. Назначение и текстовое описание схемы	88
13.2. Результаты компьютерного моделирования и netlist	89
13.3. Макромодель и ее netlist	91
13.4. Выводы	93
14. CJFET операционный усилитель на составных транзисторах в промежуточном каскаде: модификация ОУ- №14	94
14.1. Назначение и текстовое описание схемы ОУ	94
14.2. Результаты компьютерного моделирования и netlist ОУ	95
14.3. Макромодель ОУ и ее netlist	99
14.4. Выводы	101
15. ВJT JFET мультидифференциальный операционный усилитель и инструментальный усилитель на его основе	102
15.1. Назначение и текстовое описание схемы МОУ	102
15.2. Результаты компьютерного моделирования и netlist МОУ и ИУ	103
15.3. Макромодель МОУ и ее netlist	107
15.4. Выводы	109
16. ViJFet мультидифференциальный операционный усилитель с	

парафазным выходом	110
16.1. Назначение и текстовое описание схемы	110
16.2. Результаты компьютерного моделирования и netlist МОУ	111
16.3. Макромодель к BiJFet МОУ и ее netlist	124
16.4. Выводы	127
16.5. Список литературы	127
17. BiJFet мультидифференциальный операционный усилитель OAmp5 на базе микросхемы МН2ХА030	128
17.1. Назначение и текстовое описание схемы МОУ	128
17.2. Результаты компьютерного моделирования МОУ	131
17.3. Макромодель МОУ и схема его включения	133
17.4. Список литературы	136
18. CJFet операционный усилитель с парафазным выходом: модификация ОУ- №13	138
18.1. Назначение и текстовое описание схемы ОУ	138
18.2. Результаты компьютерного моделирования и netlist ОУ	139
18.3. Макромодель фильтра низких частот и ее netlist	143
18.4. Список литературы	145
19. BiJFet зарядочувствительный усилитель на базе микросхемы МН2ХА030: модификация ЗЧУ-№1	146
19.1 Назначение и текстовое описание схемы ЗЧУ-№1	146
19.2 Результаты компьютерного моделирования BiJFet ЗЧУ-№1 и netlist ...	147
19.3 Макромодель BiJFet ЗЧУ-№1 и её netlist	149
19.4 Список литературы	152
19.5 Выводы	152

В настоящей работе проведены результаты исследований в рамках проекта РНФ № 16-19-00122-П по созданию макромоделей BJT, JFET, BiJFET, CJFET аналоговых устройств, предназначенных для использования в аналоговых интерфейсах датчиков. В конечном итоге, это упрощает компьютерное моделирование сложных схем, содержащих большое количество аналоговых IP-модулей. В основу макромоделей положены модели BJT, JFET, BiJFET, CJFET транзисторов, разработанные Дворниковым Олегом Владимировичем ОАО “Минский научно-исследовательский приборостроительный институт”, Минск, Беларусь, e-mail: oleg_dvornikov@tut.by.

1. CJFET операционный усилитель: модификация ОУ- №1

1.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

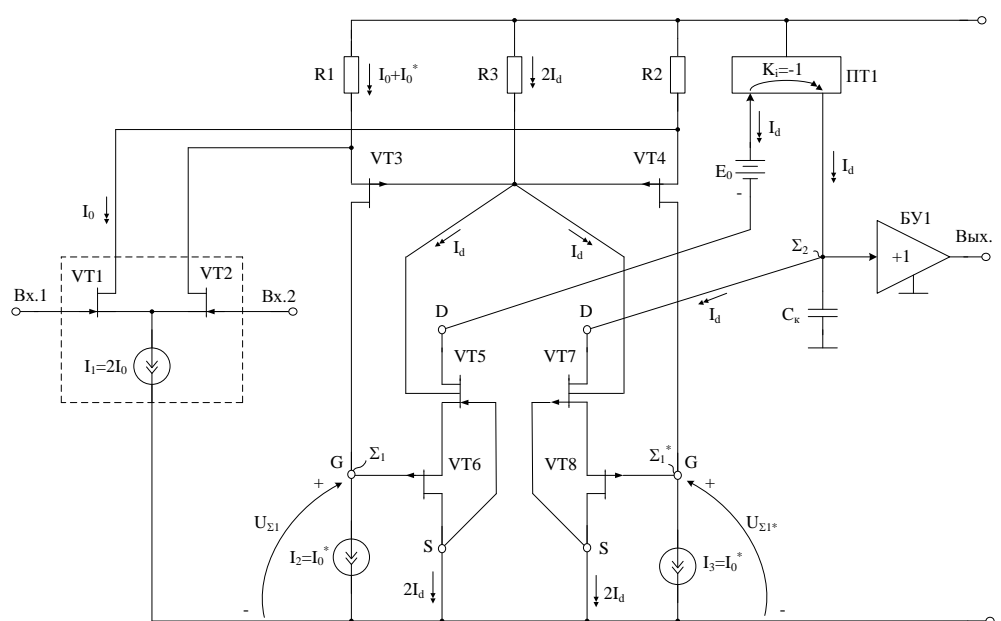


Рис. 1. Функциональная схема CJFet ОУ

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- Входной дифференциальный каскад (VT1, VT2, I1);

- Первый промежуточный каскад (VT3, VT4, R1, R2, I2, I3);
- Второй промежуточный каскад (VT6, VT8, VT5, VT7, R3);
- Интегрирующую цепь коррекции C_k ;
- E_0 – минимизирует смещение нуля;
- ПТ1 – токовое зеркало;
- Выходной каскад – буферный усилитель (БУ)

Интегрирующая емкость коррекции C_k обеспечивает заданный запас устойчивости ОУ по фазе. Статический режим ОУ рис. 1 устанавливается источниками тока I1, I2, I3, а так же резисторами R1, R2 и R3. Источники тока I1, I2 и I3 могут изменяться в широких пределах (единицы микроампер – единицы миллиампер).

Цепь смещения потенциалов E_0 обеспечивает уменьшение напряжения смещения нуля ОУ за счет симметрирования статического режима по напряжению затвор–сток транзисторов VT5, VT7. Численное значение E_0 , как правило, близко к напряжению питания. В качестве E_0 могут применяться цепочки из р-п переходов, стабилитроны, а также специальные двухполюсники с низким дифференциальным сопротивлением. Во многих случаях применение E_0 не обязательно.

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная структура ОУ в рамках CJFet технологического процесса, на которой можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой выходного каскада (БУ), статическим режимом VT1-VT8, и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ и источниками тока I1, I2 и I3 позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

1.2 Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.



Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и н-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

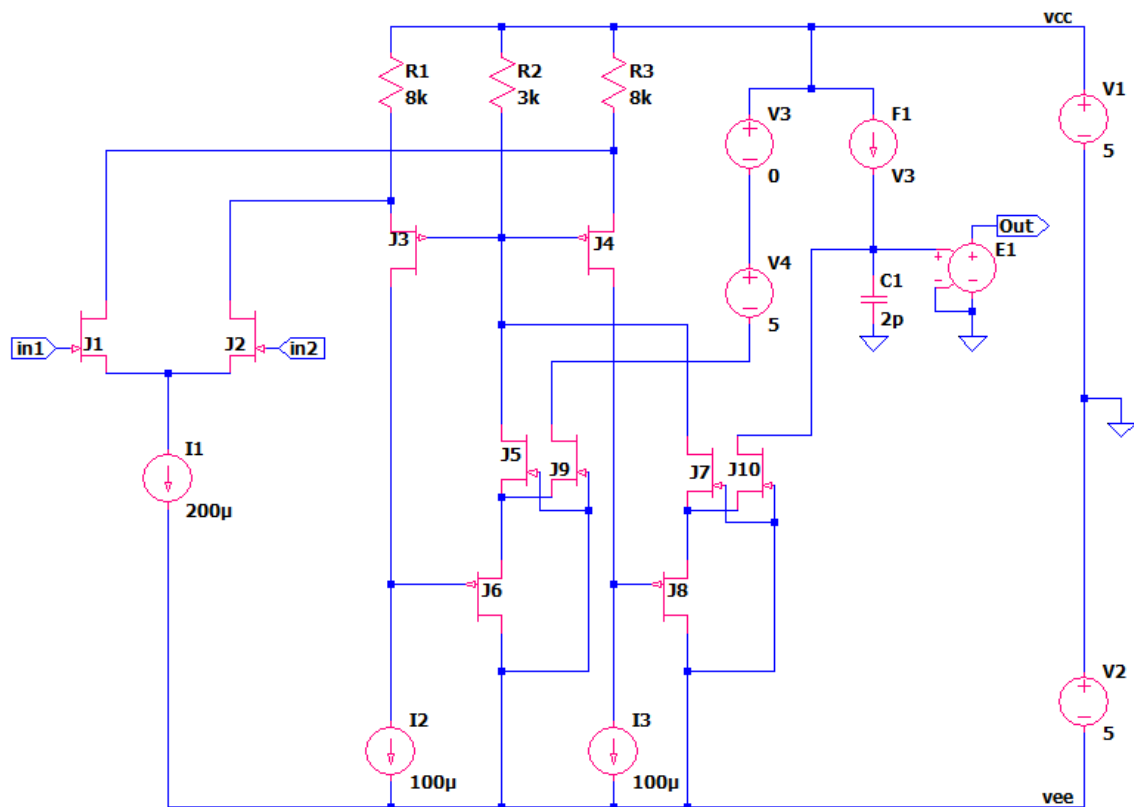


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpise на моделях CJFet_5

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4-7.

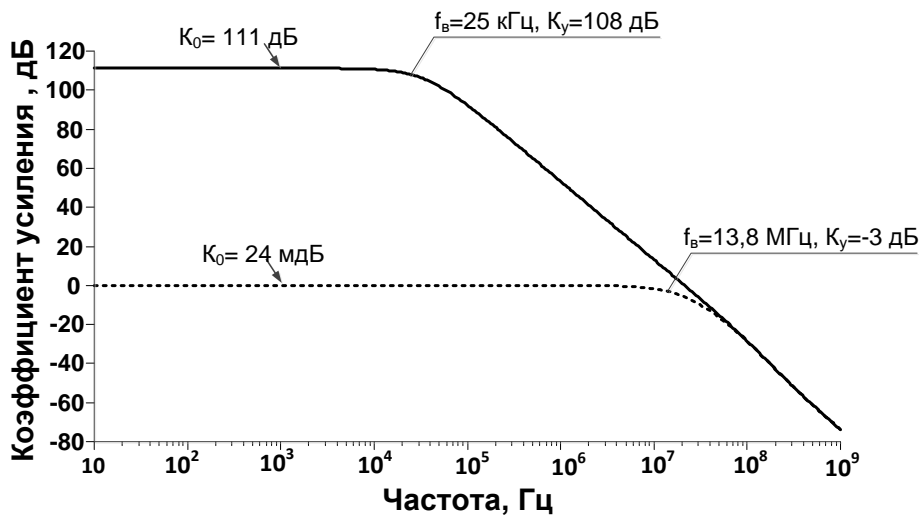
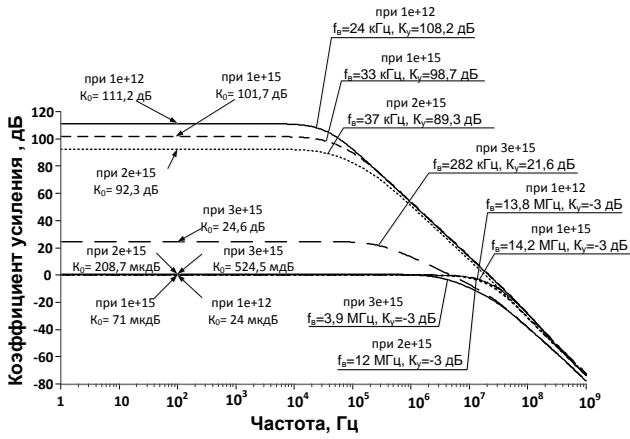
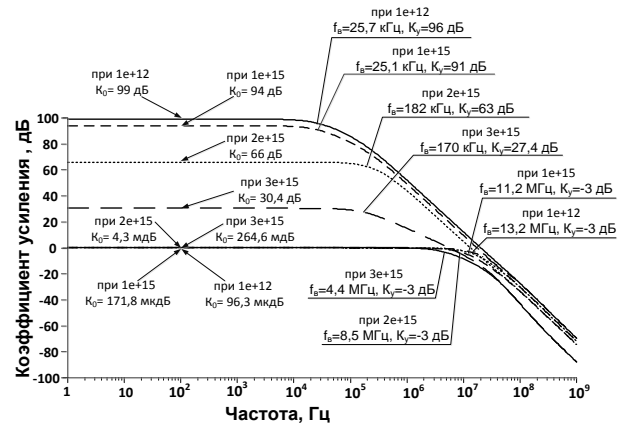


Рис. 4. АЧХ ОУ с 100% ООС и без ООС при температуре 27 °С

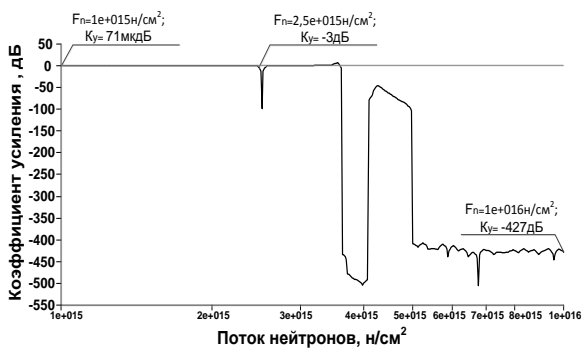


а)

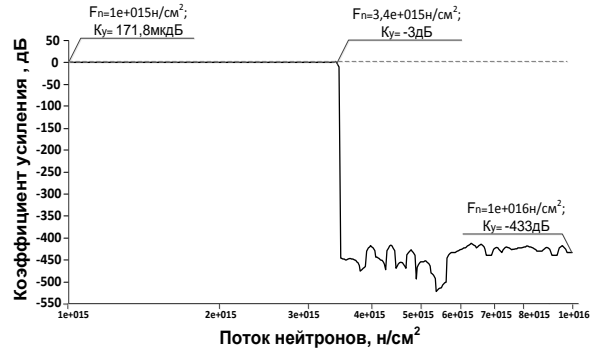


б)

Рис. 5. Влияние потока нейтронов на АЧХ ОУ с 100% ООС и без ООС при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$

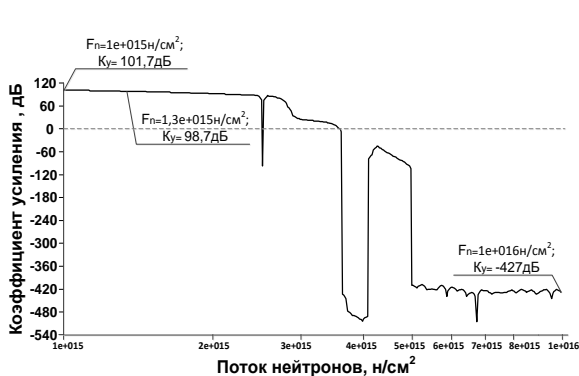


а)

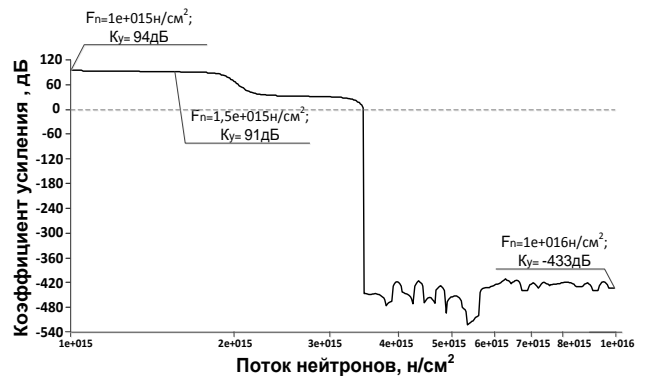


б)

Рис. 6. Зависимость АЧХ ОУ с 100% ООС от потока нейтронов при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$



а)



б)

Рис. 7. Зависимость АЧХ ОУ без 100% ООС от потока нейтронов при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$

Netlist ОУ Рис. 3

```
* Scheme_8995\8995.asc
J1 N001 in1 N007 JN260_2 {JNV}
J2 N002 Out N007 JN260_2 {JNV}
I1 N007 vee 200μ
R1 vcc N002 8k
R2 vcc N003 3k
R3 vcc N001 8k
J3 N010 N003 N002 JP50_2 {JPV}
J4 N011 N003 N001 JP50_2 {JPV}
J6 vee N010 N008 JP50_2 {JPV}
J5 N003 vee N008 JN260_2 {JNV}
E1 Out 0 N004 0 1
F1 vcc N004 V3 1
V3 vcc N005 0
C1 N004 0 2p
V4 N005 N006 5
J9 N006 vee N008 JN260_2 {JNV}
I2 N010 vee 100μ
I3 N011 vee 100μ
J7 N003 vee N009 JN260_2 {JNV}
J10 N004 vee N009 JN260_2 {JNV}
J8 vee N011 N009 JP50_2 {JPV}
V1 vcc 0 5
V2 0 vee 5
V5 in1 0 AC 1
.model NJF NJF
.model PJF PJF
.lib C:\Users\1\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib C:\LT\CJFET_5.lib
.param LT=27
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.param Fn=1
* .step dec param fn 1e12 1e18 1e2
.step param fn list 1 1e12 1e15
* .meas AC meas2 FIND V(out)/V(in1) AT 1k
.ac dec 100 1 1G
.backanno
.end
```

1.3 Макромодель ОУ и ее netlist

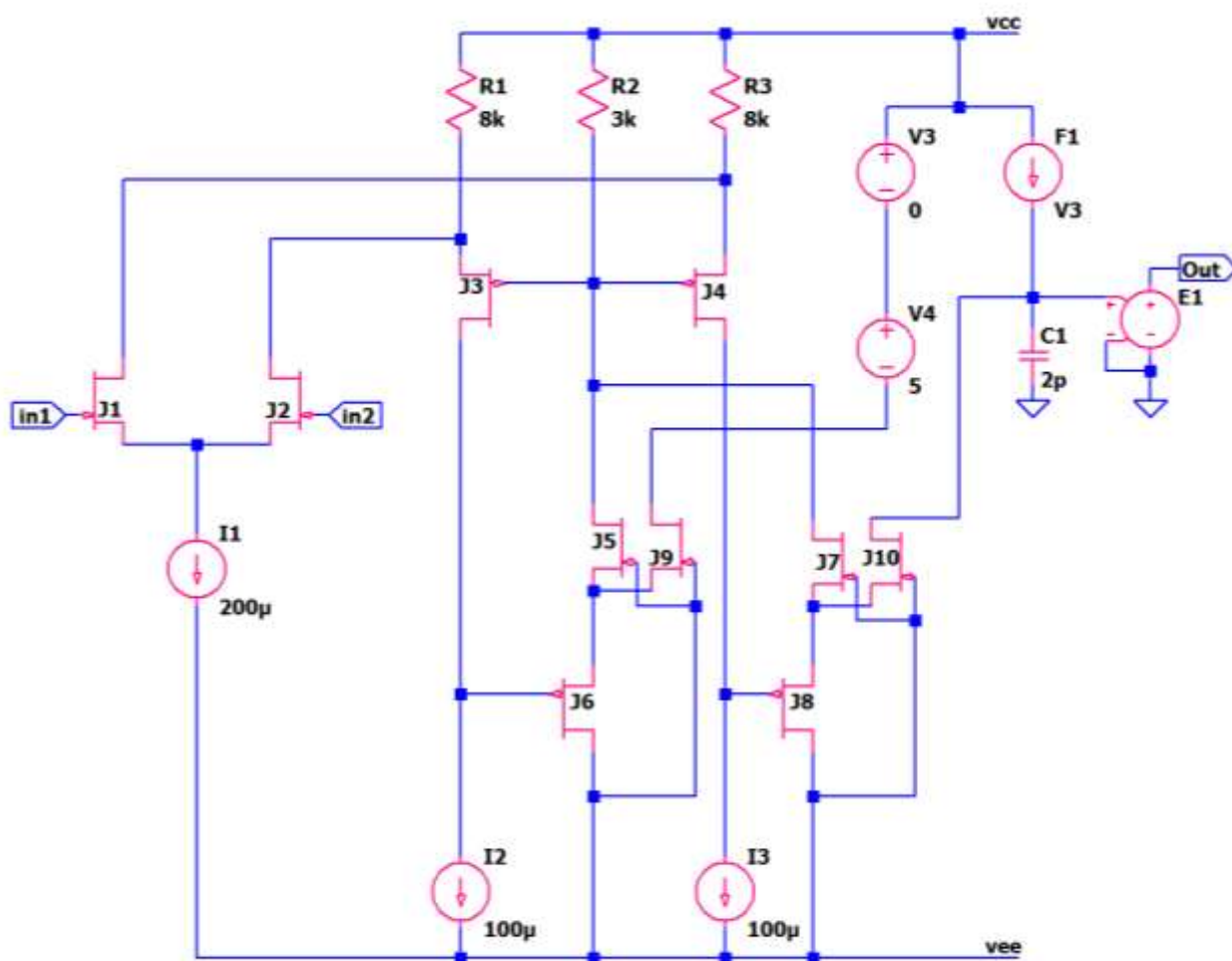


Рис. 8. Представление собранной подсхемы ОУ в среде LTspice

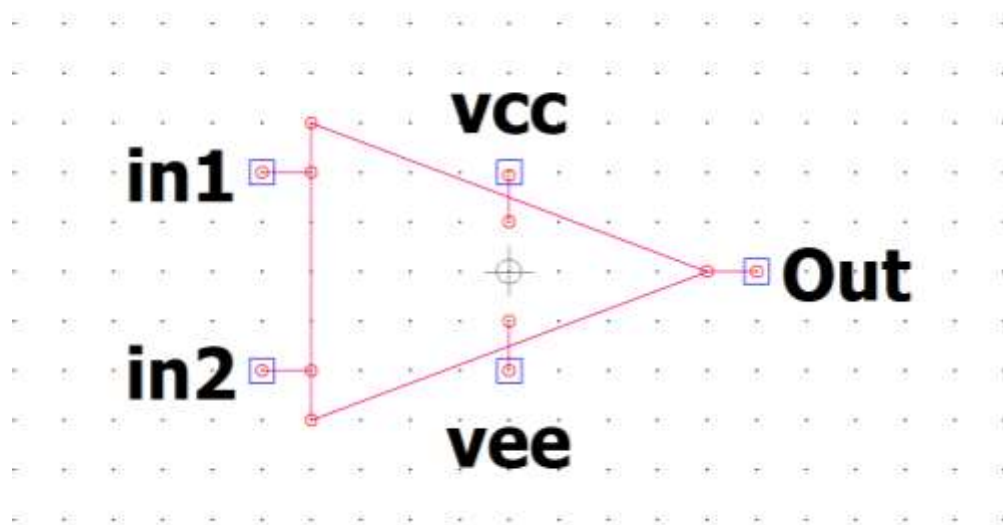


Рис. 9. Вид символа макромодели ОУ в среде LTspice

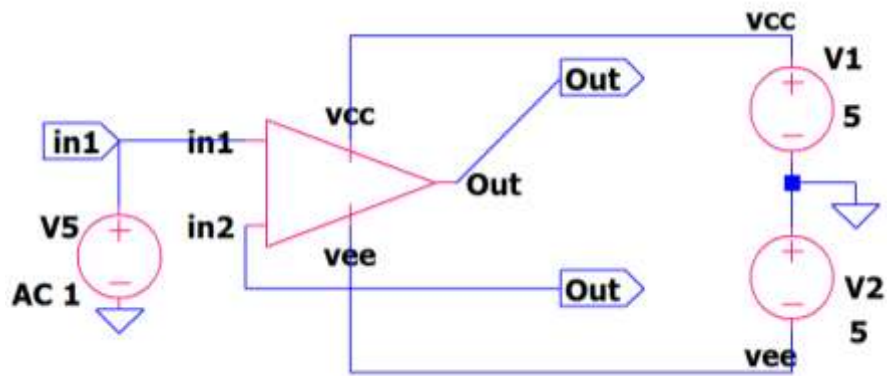


Рис. 10. Схема макромодели ОУ с «обвязкой» в среде LTspice

Netlist макромодели Рис. 10

```
* Scheme_8995(1)\8995.asc
V1 vcc 0 5
V2 0 vee 5
V5 in1 0 AC 1
XX1 in1 Out vcc vee Out macr8995

* block symbol definitions
.subckt macr8995 in1 in2 vcc vee Out
J1 N001 in1 N007 JN260_2 {JNV}
J2 N002 in2 N007 JN260_2 {JNV}
I1 N007 vee 200µ
R1 vcc N002 8k
R2 vcc N003 3k
R3 vcc N001 8k
J3 N010 N003 N002 JP50_2 {JPV}
J4 N011 N003 N001 JP50_2 {JPV}
J6 vee N010 N008 JP50_2 {JPV}
J5 N003 vee N008 JN260_2 {JNV}
E1 Out 0 N004 0 1
F1 vcc N004 V3 1
V3 vcc N005 0
C1 N004 0 2p
V4 N005 N006 5
J9 N006 vee N008 JN260_2 {JNV}
I2 N010 vee 100µ
I3 N011 vee 100µ
J7 N003 vee N009 JN260_2 {JNV}
J10 N004 vee N009 JN260_2 {JNV}
J8 vee N011 N009 JP50_2 {JPV}
.param Fn=1
.ends macr8995

.model NJF NJF
.model PJF PJF
.lib C:\Users\yotova\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib C:\\LT\CJFET_5.lib
```

```
.param LT=27
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.param Fn=1
* .ac dec 0.001 1 1k
* .step dec param fn 1e12 1e18 1e2
.step param fn list 1 1e12 1e15
* .meas AC meas2 FIND V(out)/V(in1) AT 1k
.ac dec 100 1 1G
.backanno
.end
```

1.4. Выводы

Полученные результаты исследования АЧХ макромодели рис. 10 совпадают с ранее выполненными результатами моделирования схемы рис. 3. Таким образом, макромодель рис. 10 – работоспособна.

2. CJFET операционный усилитель: модификация ОУ- №2

2.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

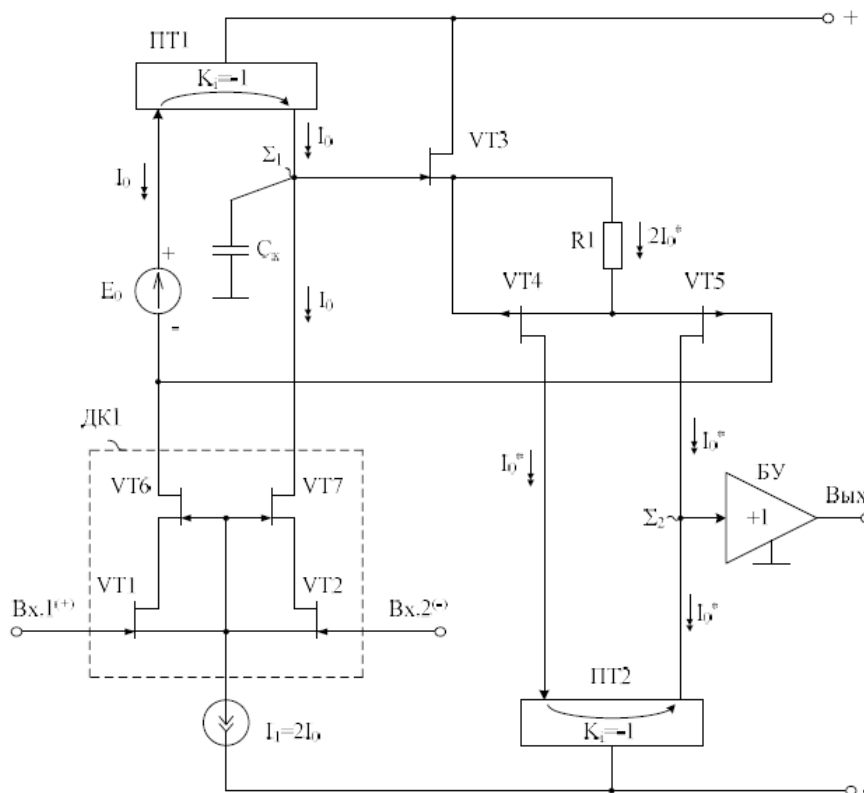


Рис. 1. Функциональная схема CJFet ОУ

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- Входной дифференциальный каскад (VT1, VT2, VT6, VT7, I1);
- Первый промежуточный каскад (VT3, VT4, VT5, R1);
- Интегрирующую цепь коррекции C_к;
- E₀ – минимизирует смещение нуля;
- ПТ1, ПТ2 – токовые зеркала;
- Выходной каскад – буферный усилитель (БУ)

Интегрирующая емкость коррекции C_k обеспечивает заданный запас устойчивости ОУ по фазе. Статический режим ОУ рис. 1 устанавливается источником тока I_1 , а так же резистором R_1 . Источник тока I_1 может изменяться в широких пределах (единицы микроампер – единицы миллиампер).

Цепь смещения потенциалов E_0 обеспечивает уменьшение напряжения смещения нуля ОУ за счет симметрирования статического режима по напряжению затвор–сток транзисторов VT_6, VT_7 . Численное значение E_0 , как правило, близко к напряжению питания. В качестве E_0 могут применяться цепочки из р-п переходов, стабилитроны, а также специальные двухполюсники с низким дифференциальным сопротивлением. Во многих случаях применение E_0 не обязательно.

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная структура ОУ в рамках CJFet технологического процесса, на которой можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой выходного каскада (БУ), статическим режимом VT_1-VT_7 , и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ и источником тока I_1 позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

2.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.

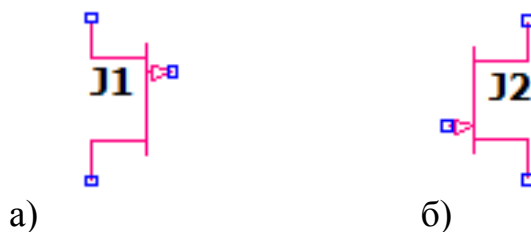


Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и п-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

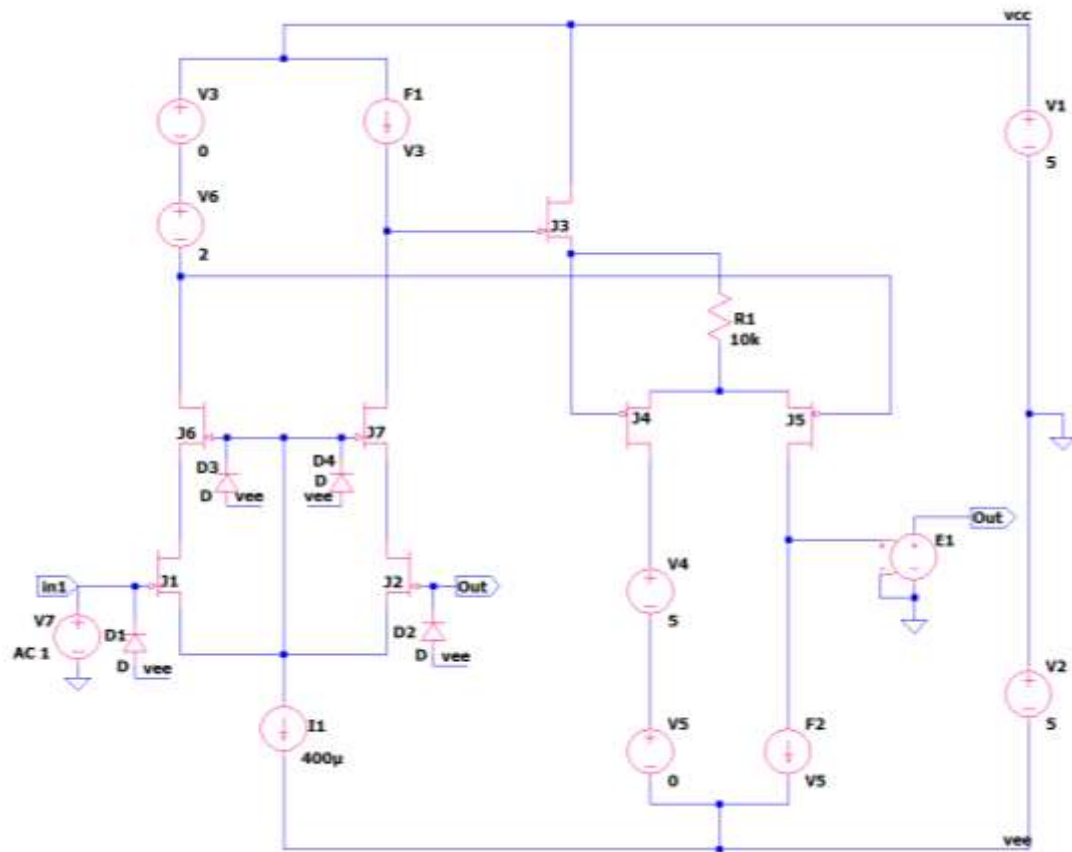


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpice на моделях CJFet_5

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4-7.

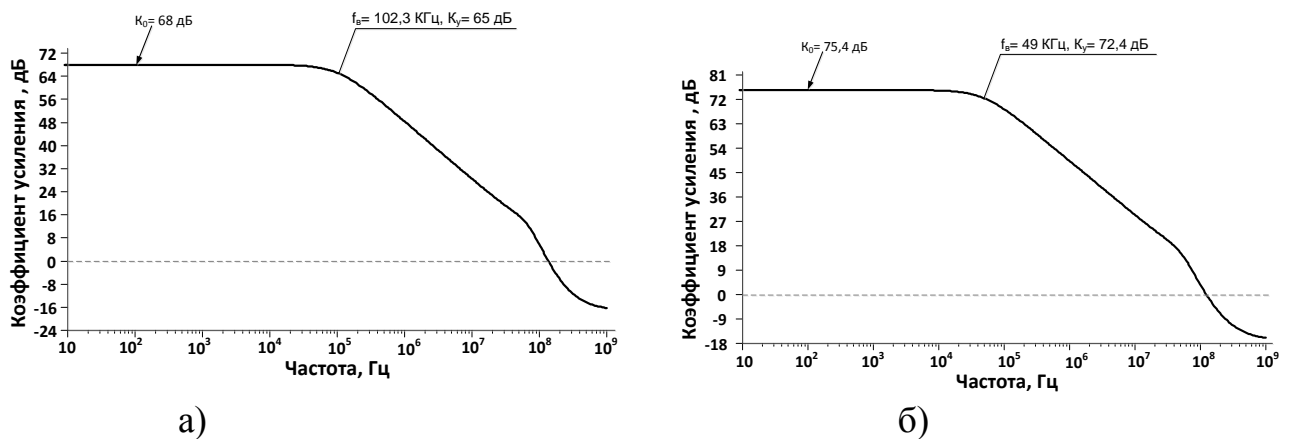
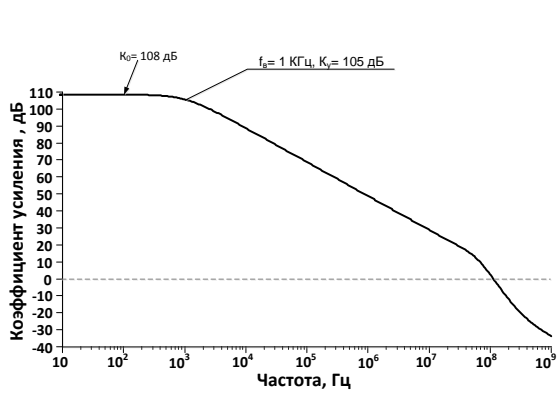
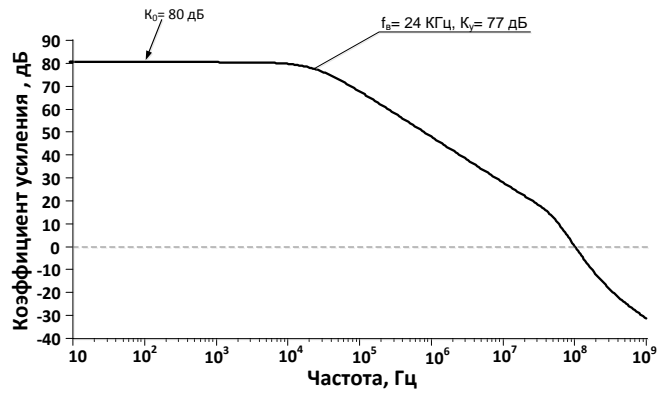


Рис. 4. АЧХ ОУ без ООС без каскодных составных транзисторов при (а) $t=27^\circ\text{C}$, (б) $t=-197^\circ\text{C}$

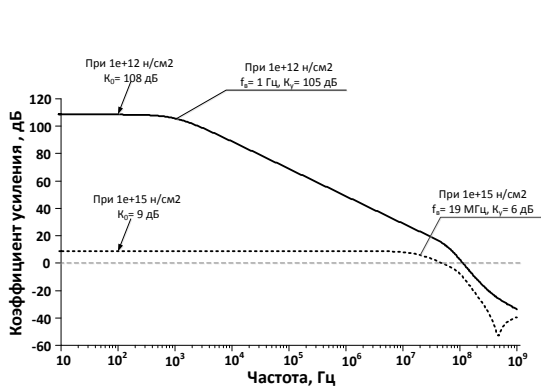


а)

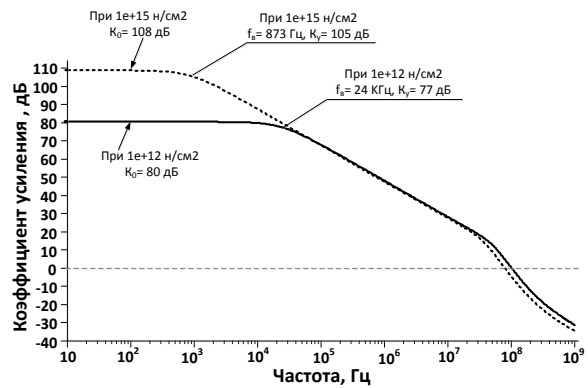


б)

Рис. 5. АЧХ ОУ без ООС с каскодными составными транзисторами при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$



а)



б)

Рис. 6. Влияние потока нейтронов (n/cm^2) на АЧХ ОУ без ООС с каскодными составными транзисторами при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$

Netlist ОУ Рис. 3

```
* Scheme_9307\9307.asc
J1 N007 in1 N006 JN260_2 {JNV}
J2 N008 Out N006 JN260_2 {JNV}
R1 N003 N005 10k
I1 N006 vee 400μ
V1 vcc 0 5
V2 0 vee 5
E1 Out 0 N009 0 1
J4 N010 N003 N005 JP50_2 {JPV}
J5 N009 N004 N005 JP50_2 {JPV}
F1 vcc N002 V3 1
V3 vcc N001 0
J3 vcc N002 N003 JN260_2 {JNV}
F2 N009 vee V5 1
V5 N011 vee 0
V4 N010 N011 5
V6 N001 N004 2
V7 in1 0 AC 1
J6 N004 N006 N007 JN260_2 {JNV}
```



```

J7 N002 N006 N008 JN260_2 {JNV}
D1 vee in1 D
D2 vee Out D
D3 vee N006 D
D4 vee N006 D
.model D D
.lib C:\Users\yotova\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\yotova\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib C:\\LT\CJFET_5.lib
.param LT=-197
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.param Fn=1
* .ac dec 0.001 1 1k
* .step dec param fn 1e12 1e15 1e16
.step param fn list 1e12 1e15
* .meas AC meas1 FIND V(out)/V(in1) AT 1k
.ac dec 1k 1 1G
.backanno
.end

```

2.3. Макромодель ОУ и ее netlist

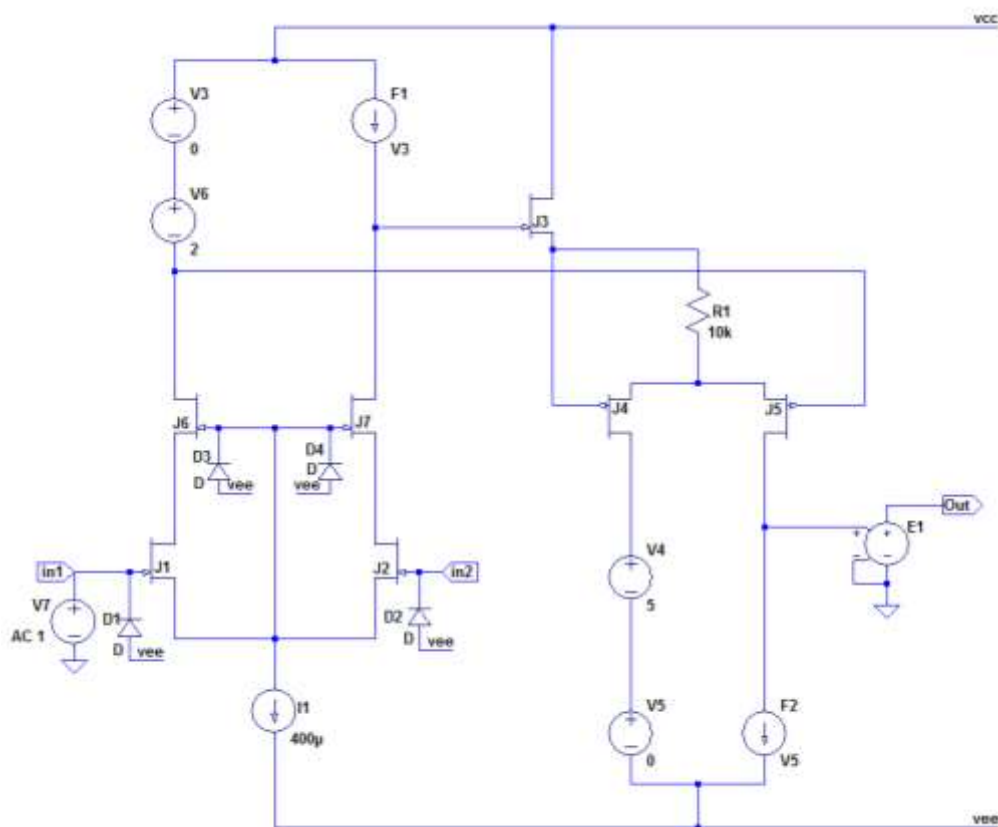


Рис. 7 Представление собранной подсхемы ОУ в среде LTspice

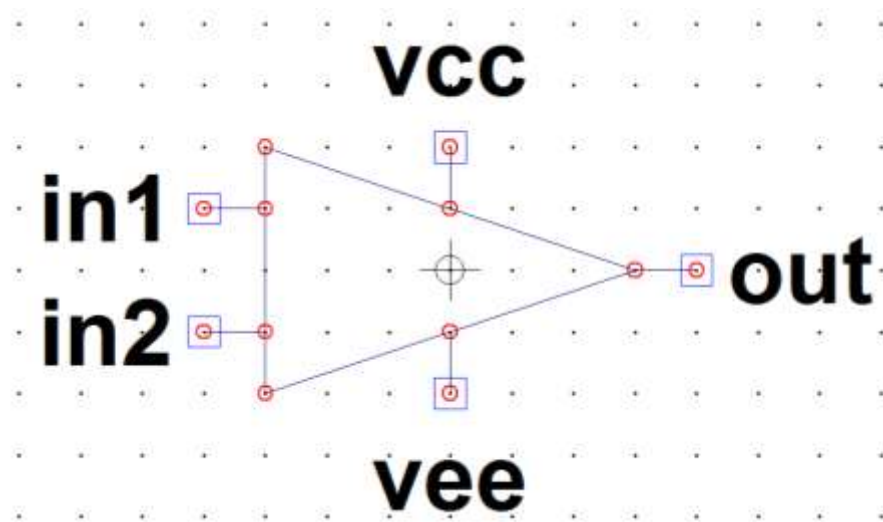


Рис. 8 Вид символа макромодели ОУ в среде LTspice

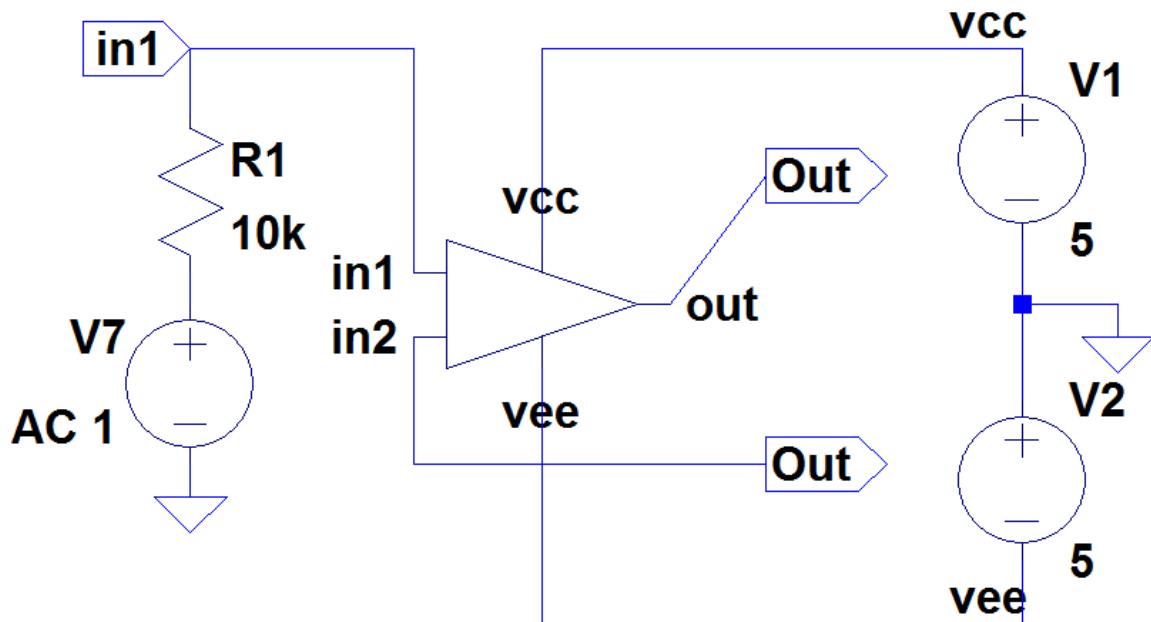


Рис. 9 Схема макромодели ОУ с «обвязкой» в среде LTspice

Netlist макромодели Рис. 9

* Scheme_9307\9307.asc

V1 vcc 0 5

V2 0 vee 5

V7 N001 0 AC 1

XX1 in1 Out Out vee vcc macr9307

R1 in1 N001 10k

* block symbol definitions

.subckt macr9307 in1 in2 out vee vcc

J1 N007 in1 N006 JN260_2 {JNV}

J2 N008 in2 N006 JN260_2 {JNV}

R1 N003 N005 10k

I1 N006 vee 400μ

```

E1 Out 0 N009 0 1
J4 N010 N003 N005 JP50_2 {JPV}
J5 N009 N004 N005 JP50_2 {JPV}
F1 vcc N002 V3 1
V3 vcc N001 0
J3 vcc N002 N003 JN260_2 {JNV}
F2 N009 vee V5 1
V5 N011 vee 0
V4 N010 N011 5
V6 N001 N004 2
V7 in1 0 AC 1
J6 N004 N006 N007 JN260_2 {JNV}
J7 N002 N006 N008 JN260_2 {JNV}
D1 vee in1 D
D2 vee in2 D
D3 vee N006 D
D4 vee N006 D
.param Fn=1
.ends macr9307

.model D D
.lib C:\Users\1\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\1\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib C:\\LT\CJFET_5.lib
.param LT=27
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.param Fn=1
* .ac dec 0.001 1 1k
* .step dec param fn 1e12 1e15 1e16
.step param fn list 1e12 1e15
* .meas AC meas1 FIND V(out)/V(in1) AT 1k
.ac dec 1k 1 1G
.backanno
.end

```

2.4 Выводы

Полученные результаты исследования АЧХ макромодели рис. 9 совпадают с ранее выполненными результатами моделирования схемы рис. 3. Таким образом, макромодель рис. 9 – работоспособна.

3. Базовая схема CJFet операционного усилителя без токовых зеркал: модификация ОУ- №3

3.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

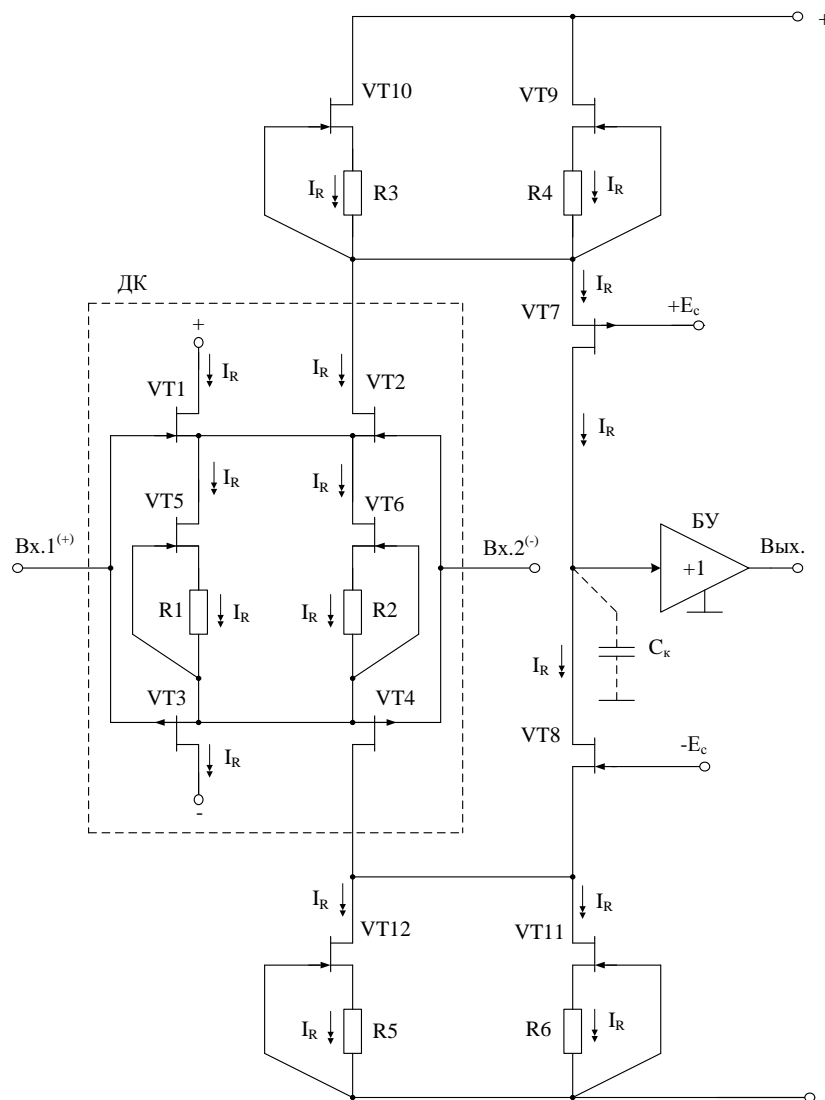


Рис. 1. Функциональная схема CJFet ОУ

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- Входной дифференциальный каскад (VT1, VT2, VT3, VT4, R1, R2);
- Первый промежуточный каскад (VT9, VT10, R3, R4);
- Второй промежуточный каскад (VT11, VT12, R5, R6);
- Выходные транзисторы (VT7-VT8),
- Интегрирующую цепь коррекции C_k ;
- Выходной каскад – буферный усилитель (БУ)

Интегрирующая емкость коррекции C_k обеспечивает заданный запас устойчивости ОУ по фазе. Статический режим ОУ рис. 1 устанавливается резисторами R1-R6.

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная структура ОУ в рамках CJFet технологического процесса, на которой можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой выходного каскада (БУ), статическим режимом VT1-VT12, и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

3.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.



Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и n-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

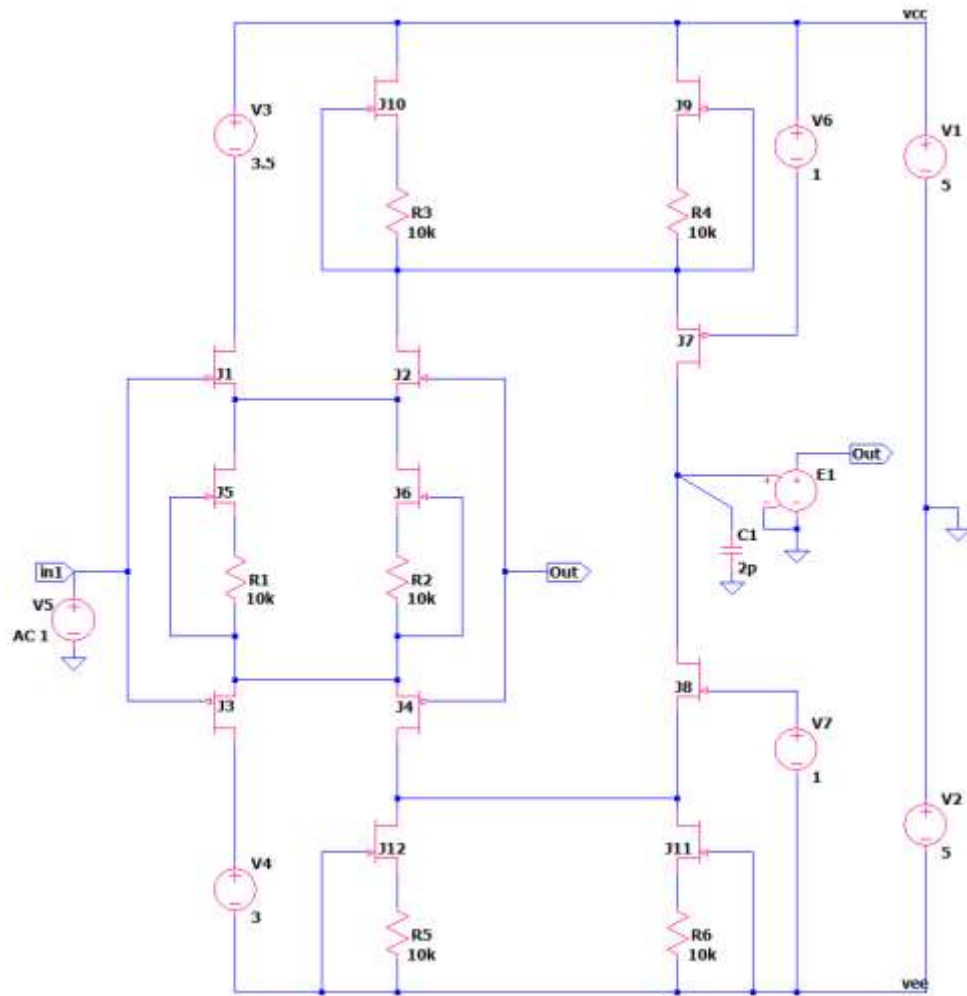


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpise на моделях CJFet_5

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4, рис. 5.

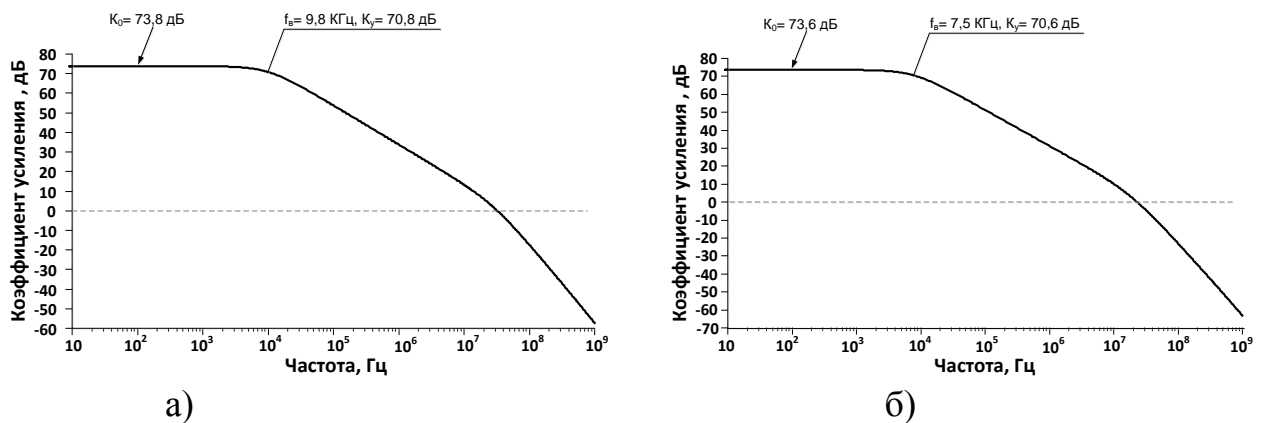
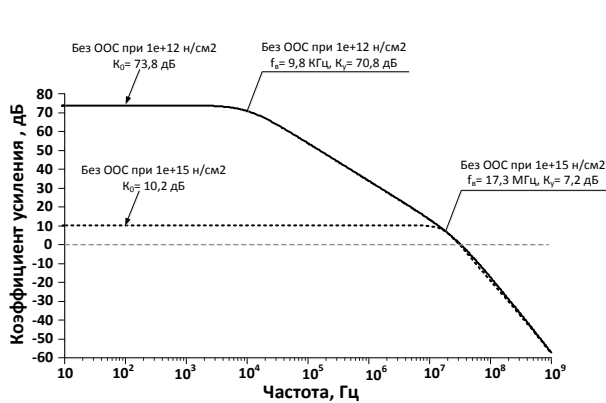
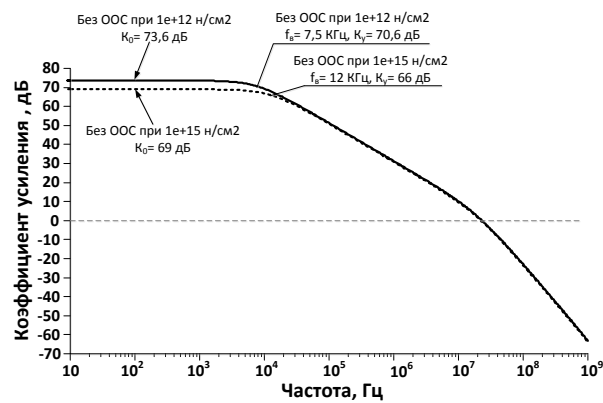


Рис. 4. АЧХ ОУ без ООС при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$.



а)



б)

Рис. 5. Влияние потока нейтронов (н/см²) на АЧХ ОУ без ООС с каскодными составными транзисторами при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$.

Netlist ОУ Рис. 3

* Scheme_9344\9344.asc

V1 vcc 0 5

V2 0 vee 5

E1 Out 0 N007 0 1

J10 vcc N001 N002 JN260_2 {JNV}

J9 vcc N001 N003 JN260_2 {JNV}

J5 N006 N008 N009 JN260_2 {JNV}

J6 N006 N008 N010 JN260_2 {JNV}

J3 N013 in1 N008 JP50_2 {JPV}

J4 N012 Out N008 JP50_2 {JPV}

R1 N009 N008 10k

R2 N010 N008 10k

R3 N002 N001 10k

R4 N003 N001 10k

J1 N004 in1 N006 JN260_2 {JNV}

J2 N001 Out N006 JN260_2 {JNV}

J7 N007 N005 N001 JP50_2 {JPV}

J12 N012 vee N014 JN260_2 {JNV}

J11 N012 vee N015 JN260_2 {JNV}

R5 N014 vee 10k

R6 N015 vee 10k

J8 N007 N011 N012 JN260_2 {JNV}

C1 N007 0 2p

V3 vcc N004 3.5

V4 N013 vee 3

V5 in1 0 AC 1

V6 vcc N005 1

V7 N011 vee 1

.model NJF NJF

.model PJF PJF

.lib C:\Users\yotova\Documents\LTspiceXVII\lib\cmp\standard.jft

.lib C:\LT\CJFET_5.lib

.param LT=27

.param weight=250

```

.param JNV={weight/260}
.param JPV={weight/50}
.op
.param Fn=1
* .ac dec 0.001 1 1k
* .step dec param fn 1e12 1e15 1e16
.step param fn list 1e12 1e15
* .meas AC meas1 FIND V(out)/V(in1) AT 1k
.ac dec 1k 1 1G
.backanno
.end

```

3.3. Макромодель ОУ и ее netlist

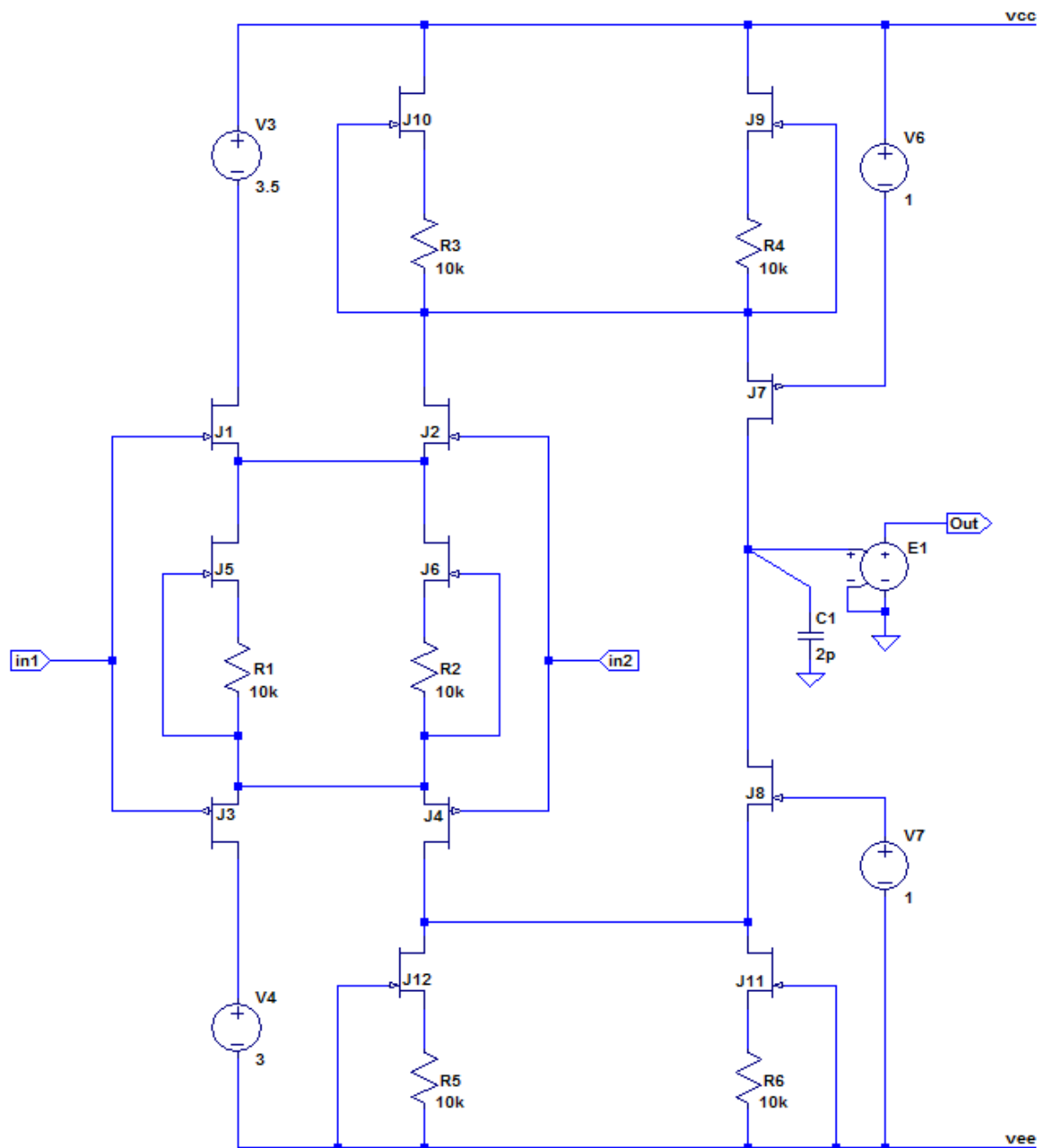


Рис. 6. Представление собранной подсистемы ОУ в среде LTspice

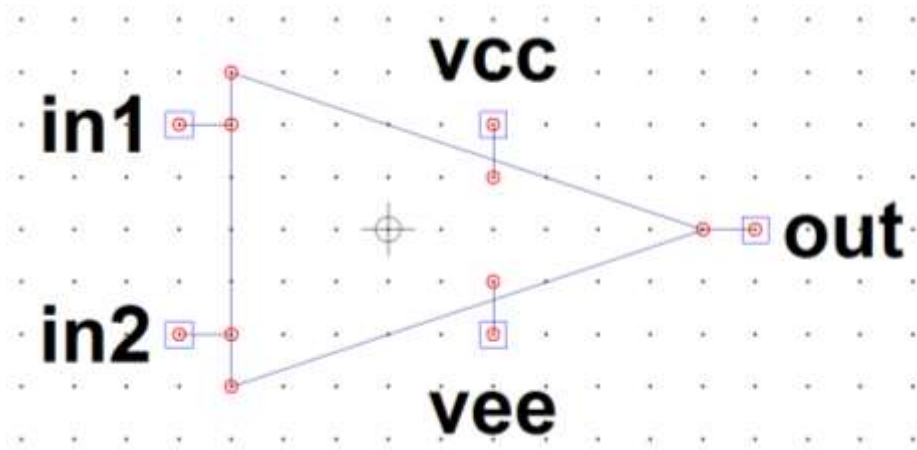


Рис. 7. Вид символа макромодели ОУ в среде LTspice

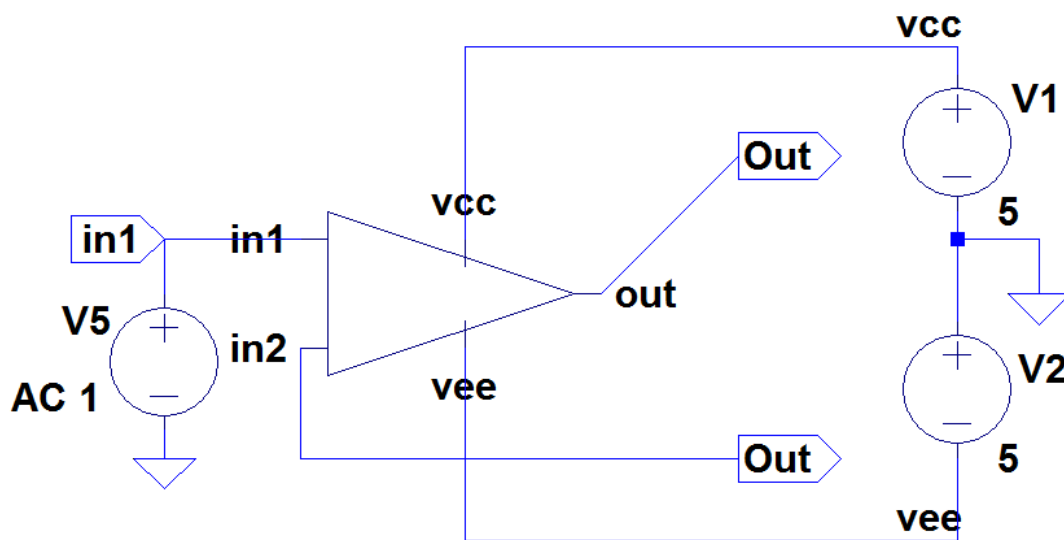


Рис. 8. Схема макромодели ОУ с «обвязкой» в среде LTspice

Netlist макромодели Рис. 8

```
* Scheme_9344\9344.asc
V1 vcc 0 5
V2 0 vee 5
V5 in1 0 AC 1
XX1 in1 Out vee vcc Out macr9344

* block symbol definitions
.subckt macr9344 in1 in2 vee vcc out
E1 Out 0 N007 0 1
J10 vcc N001 N002 JN260_2 {JNV}
J9 vcc N001 N003 JN260_2 {JNV}
J5 N006 N008 N009 JN260_2 {JNV}
J6 N006 N008 N010 JN260_2 {JNV}
J3 N013 in1 N008 JP50_2 {JPV}
J4 N012 in2 N008 JP50_2 {JPV}
R1 N009 N008 10k
```

```

R2 N010 N008 10k
R3 N002 N001 10k
R4 N003 N001 10k
J1 N004 in1 N006 JN260_2 {JNV}
J2 N001 in2 N006 JN260_2 {JNV}
J7 N007 N005 N001 JP50_2 {JPV}
J12 N012 vee N014 JN260_2 {JNV}
J11 N012 vee N015 JN260_2 {JNV}
R5 N014 vee 10k
R6 N015 vee 10k
J8 N007 N011 N012 JN260_2 {JNV}
C1 N007 0 2p
V3 vcc N004 3.5
V4 N013 vee 3
V6 vcc N005 1
V7 N011 vee 1
.lib C:\\LT\\CJFET_5.lib
.param LT=27
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param Fn=1
.ends macr9344

.model NJF NJF
.model PJF PJF
.lib C:\\Users\\1\\Documents\\LTspiceXVII\\lib\\cmp\\standard.jft
.lib C:\\LT\\CJFET_5.lib
.param LT=27
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.param Fn=1
* .ac dec 0.001 1 1k
* .step dec param fn 1e12 1e15 1e16
.step param fn list 1e12 1e15
* .meas AC meas1 FIND V(out)/V(in1) AT 1k
.ac dec 1k 1 1G
.backanno
.end

```

3.4. Выводы

Полученные результаты исследования АЧХ макромодели рис. 8 совпадают с ранее выполненными результатами моделирования схемы рис. 3. Таким образом, макромодель рис. 8 – работоспособна.

4. CJFet ОУ с парафазным выходом и входным ДК класса Floating complementary DS: модификация ОУ- №4

4.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

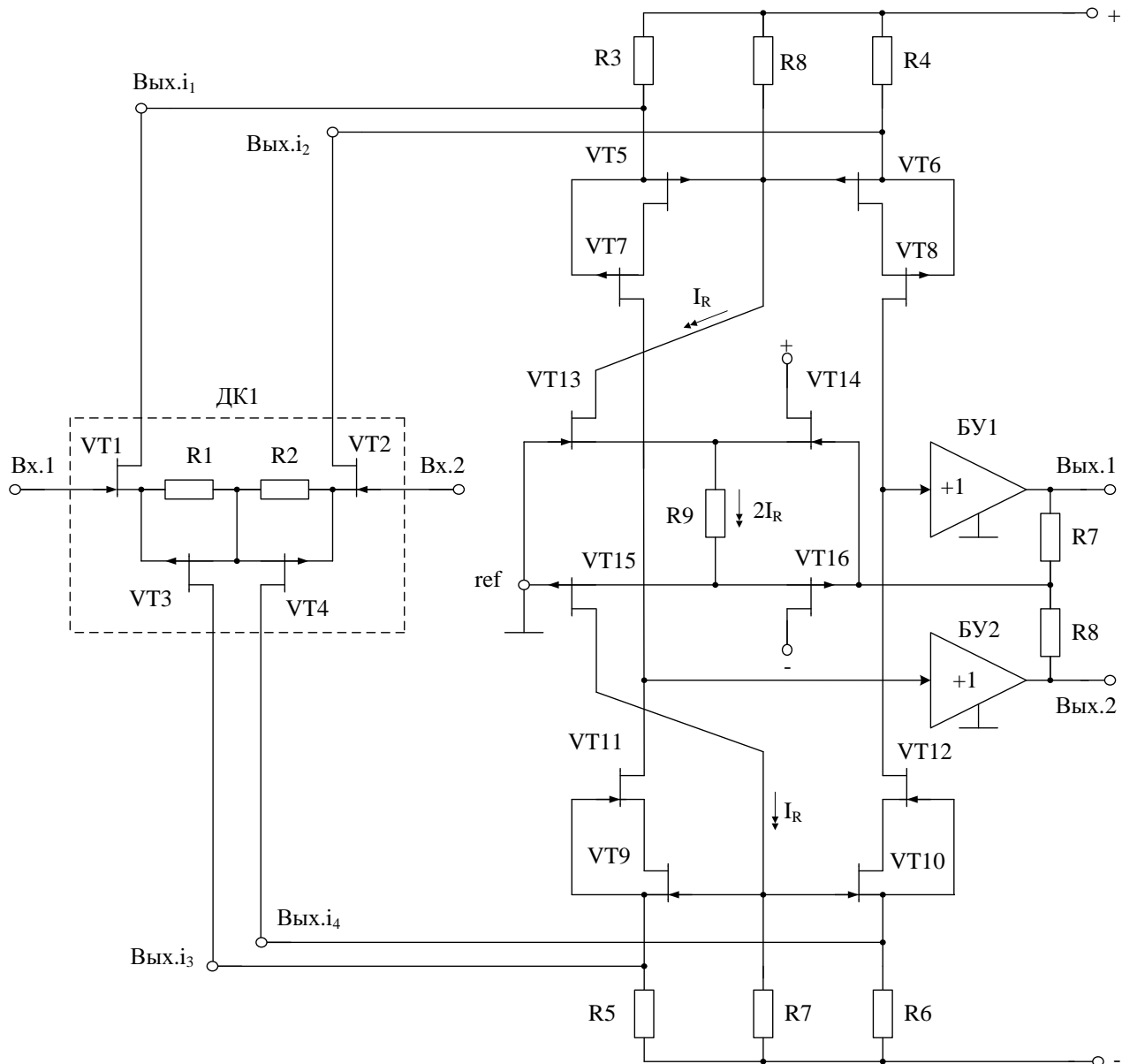


Рис. 1. Функциональная схема CJFet ОУ

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- Входной дифференциальный каскад (ДК: VT1, VT2, VT3, VT4, R1, R2);
- Выходной каскад – буферный усилитель (БУ1);
- Выходной каскад – буферный усилитель (БУ2).

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная структура ОУ в рамках CJFet технологического процесса, на которой можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой выходного каскада (БУ), статическим режимом VT1-VT16, и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

4.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.



Рис. 2. Графическое изображение моделей CJFet с p-канальными (а) и n-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

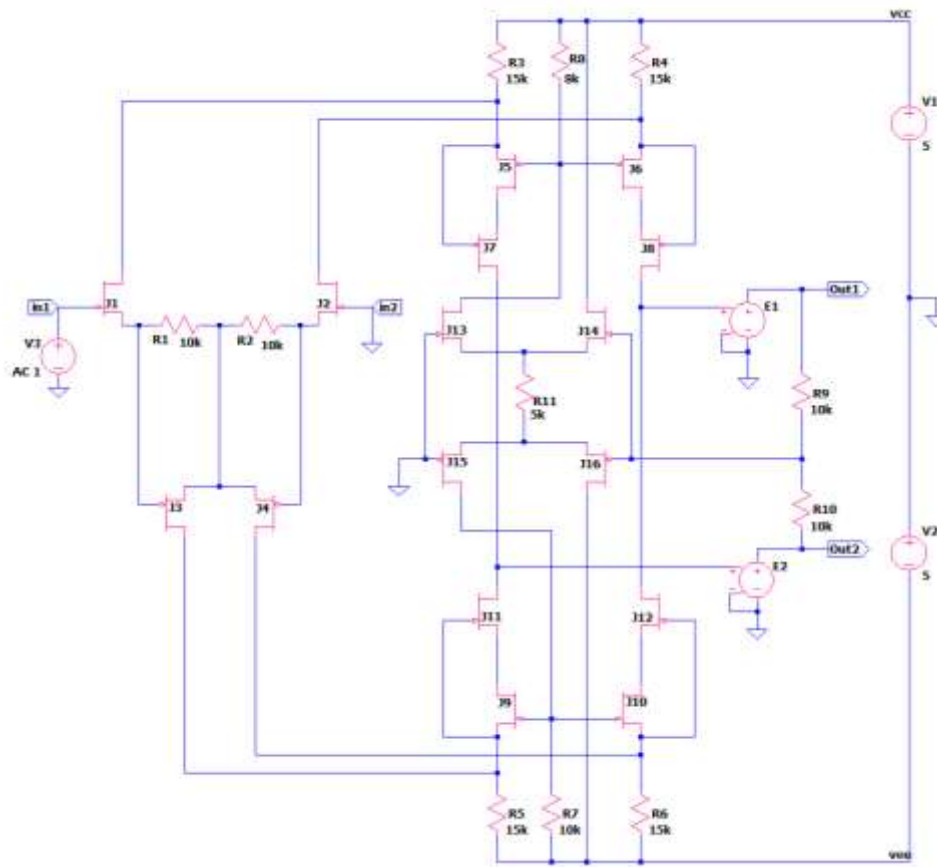


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpice на моделях CJFet_5

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4, рис. 5.

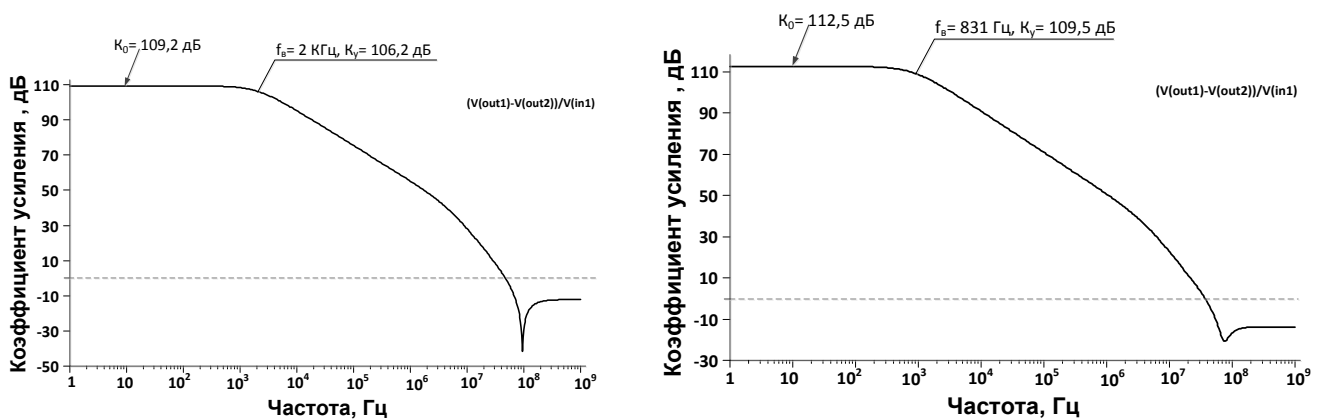


Рис. 4. АЧХ ОУ без ООС при (а) $t=27^\circ\text{C}$, (б) $t=-197^\circ\text{C}$

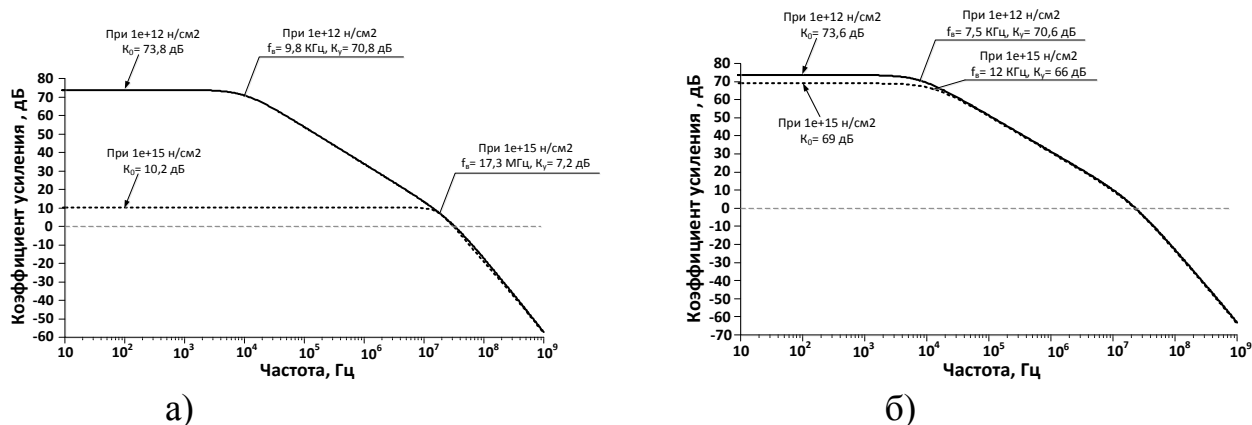


Рис. 5. Влияние потока нейтронов (н/см²) на АЧХ ОУ без ООС при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$

Netlist ОУ Рис. 3

```
* Scheme_91856\91856.asc
J1 N001 in1 N007 JN260_2 {JNV}
J12 N006 N016 N018 JN260_2 {JNV}
R3 vcc N001 15k
R1 N007 N008 10k
V1 vcc 0 5
V2 0 vee 5
E1 Out1 0 N006 0 1
R2 N008 N009 10k
J7 N014 N001 N004 JP50_2 {JPV}
J8 N006 N002 N005 JP50_2 {JPV}
J2 N002 0 N009 JN260_2 {JNV}
J11 N014 N015 N017 JN260_2 {JNV}
E2 Out2 0 N014 0 1
R4 vcc N002 15k
R5 N015 vee 15k
R6 N016 vee 15k
R7 N013 vee 10k
J5 N004 N003 N001 JP50_2 {JPV}
J6 N005 N003 N002 JP50_2 {JPV}
R9 Out1 N010 10k
R10 N010 Out2 10k
J15 N013 0 N012 JP50_2 {JPV}
J16 vee N010 N012 JP50_2 {JPV}
J9 N017 N013 N015 JN260_2 {JNV}
J10 N018 N013 N016 JN260_2 {JNV}
J3 N015 N007 N008 JP50_2 {JPV}
J4 N016 N009 N008 JP50_2 {JPV}
V3 in1 0 AC 1
R8 vcc N003 8k
J13 N003 0 N011 JN260_2 {JNV}
J14 vcc N010 N011 JN260_2 {JNV}
R11 N011 N012 5k
.model NJF NJF
.model PJF PJF
.lib C:\Users\yotova\Documents\LTspiceXVII\lib\cmp\standard.jft
```

```

.lib C:\\LT\\CJFET_5.lib
.param LT=27
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.param Fn=1
* .ac dec 0.001 1 1k
* .step dec param fn 1e12 1e18 1e2
.step param fn list 1e12 1e15.9
* .meas AC meas1 FIND V(out)/V(in1) AT 1k
.ac dec 100 1 1G
.backanno
.end

```

4.3. Макромодель ОУ и ее netlist

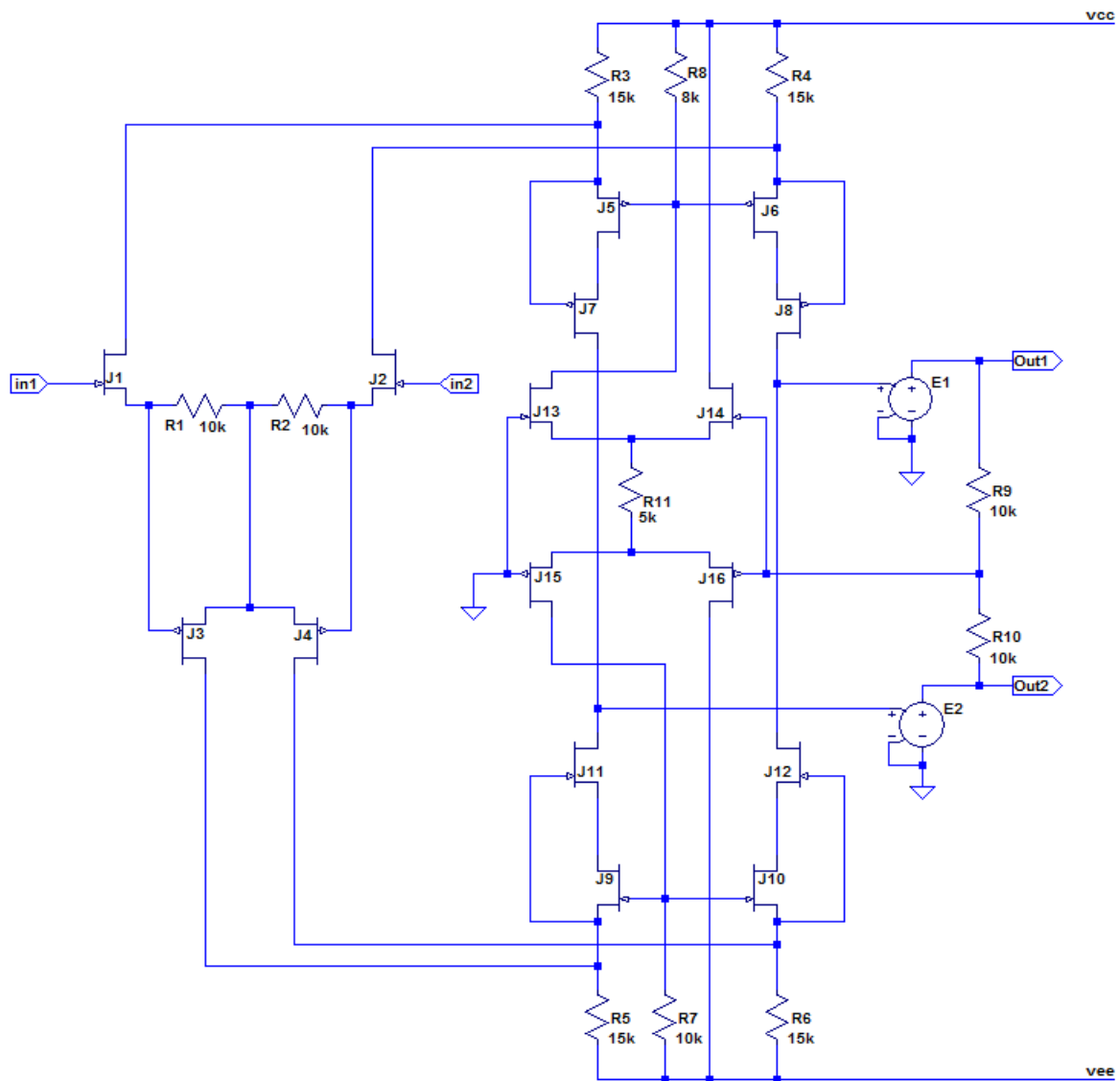


Рис. 6. Представление собранной подсхемы ОУ в среде LTspice

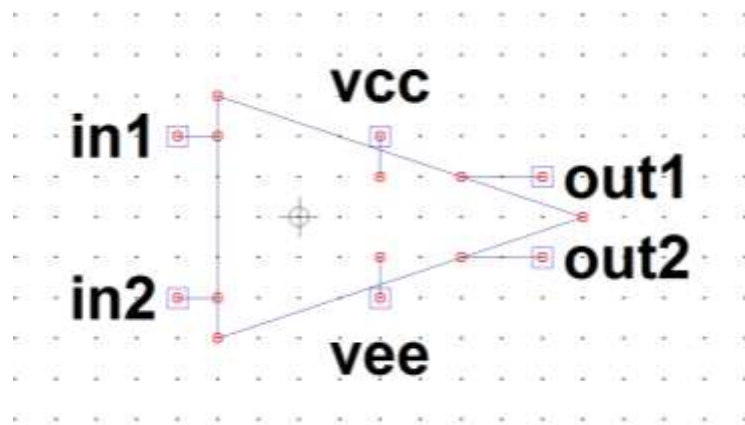


Рис. 7. Вид символа макромодели ОУ в среде LTspice

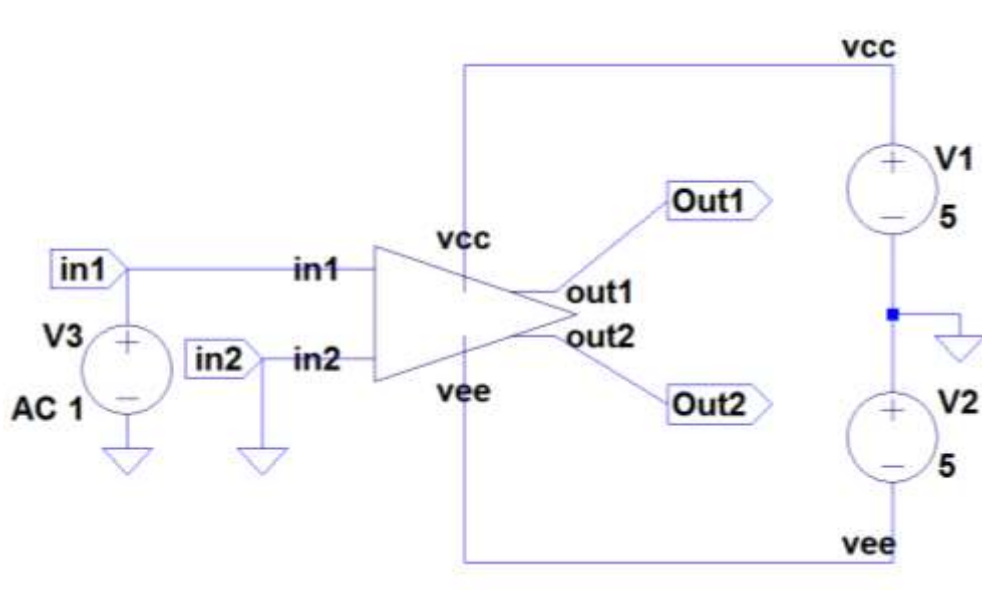


Рис. 8. Схема макромодели ОУ с «обвязкой» в среде LTspice

Netlist макромодели Рис. 8

* Scheme_91856 - макромодель\91856.asc

V1 vcc 0 5

V2 0 vee 5

V3 in1 0 AC 1

XX1 in1 0 Out1 Out2 vee vcc macr91856

* block symbol definitions

.subckt macr91856 in1 in2 out1 out2 vee vcc

J1 N001 in1 N007 JN260_2 {JNV}

J12 N006 N016 N018 JN260_2 {JNV}

R3 vcc N001 15k

R1 N007 N008 10k

E1 Out1 0 N006 0 1

R2 N008 N009 10k

J7 N014 N001 N004 JP50_2 {JPV}

J8 N006 N002 N005 JP50_2 {JPV}


```

J2 N002 in2 N009 JN260_2 {JNV}
J11 N014 N015 N017 JN260_2 {JNV}
E2 Out2 0 N014 0 1
R4 vcc N002 15k
R5 N015 vee 15k
R6 N016 vee 15k
R7 N013 vee 10k
J5 N004 N003 N001 JP50_2 {JPV}
J6 N005 N003 N002 JP50_2 {JPV}
R9 Out1 N010 10k
R10 N010 Out2 10k
J15 N013 0 N012 JP50_2 {JPV}
J16 vee N010 N012 JP50_2 {JPV}
J9 N017 N013 N015 JN260_2 {JNV}
J10 N018 N013 N016 JN260_2 {JNV}
J3 N015 N007 N008 JP50_2 {JPV}
J4 N016 N009 N008 JP50_2 {JPV}
R8 vcc N003 8k
J13 N003 0 N011 JN260_2 {JNV}
J14 vcc N010 N011 JN260_2 {JNV}
R11 N011 N012 5k
.param Fn=1
.ends macr91856

.model NJF NJF
.model PJF PJF
.lib C:\Users\1\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib C:\LT\CJFET_5.lib
.param LT=27
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.param Fn=1
* .ac dec 0.001 1 1k
* .step dec param fn 1e12 1e18 1e2
.step param fn list 1e12 1e15.9
* .meas AC meas1 FIND V(out)/V(in1) AT 1k
.ac dec 100 1 1G
.backanno
.end

```

4.4. ВЫВОДЫ

Полученные результаты исследования АЧХ макромодели рис. 8 совпадают с ранее выполненными результатами моделирования схемы рис. 3. Таким образом, макромодель рис. 8 – работоспособна.

5. Радиационно-стойкий операционный усилитель для работы при низких температурах: модификация ОУ- №5

5.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

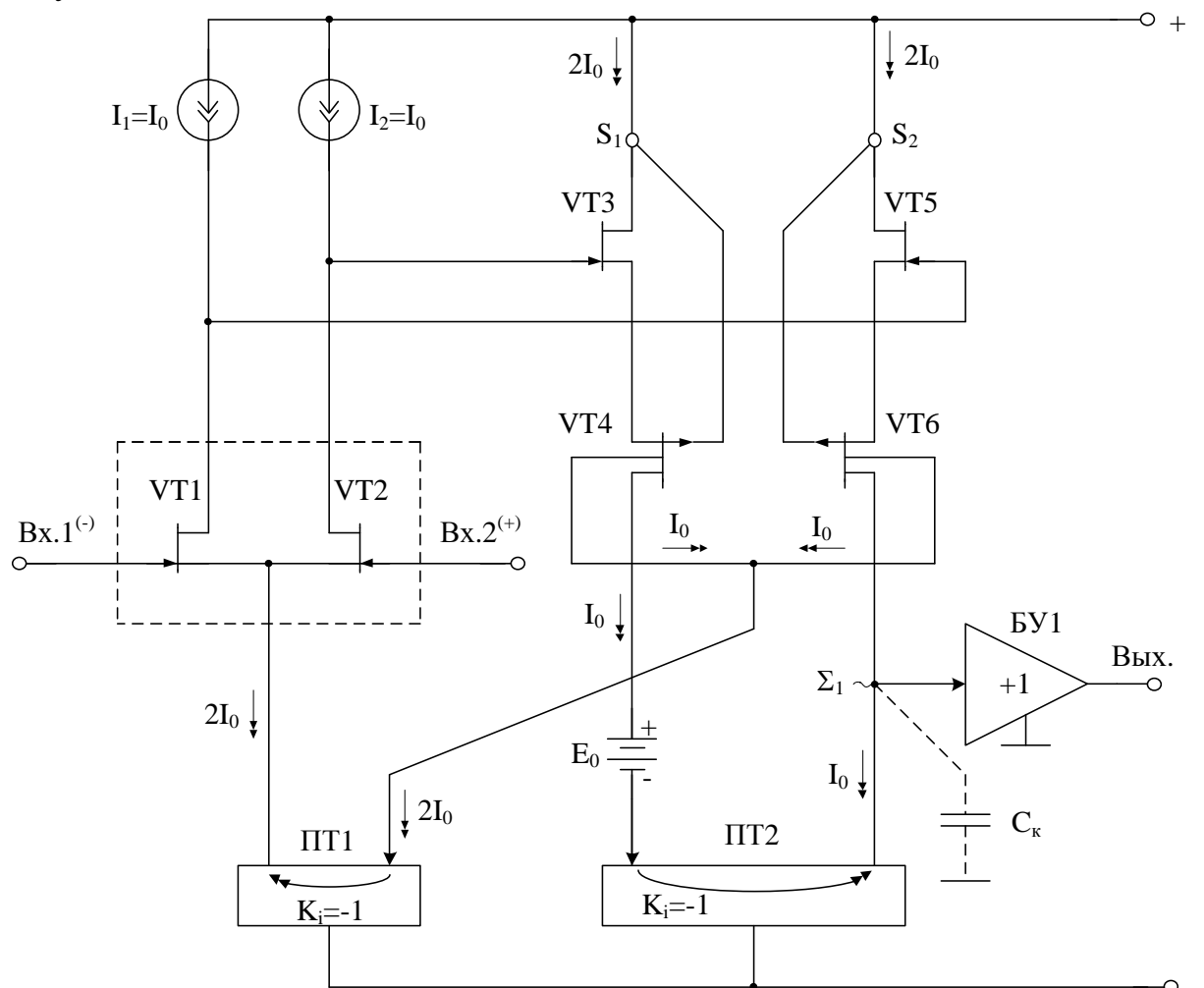


Рис. 1. Функциональная схема ОУ

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках SiFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiSiFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- Входной дифференциальный каскад (VT1, VT2, I1, I2);
- Первый промежуточный каскад (VT3, VT5);

- Второй промежуточный каскад (VT4, VT6);
- Интегрирующую цепь коррекции C_k ;
- E_0 – минимизирует смещение нуля;
- ПТ1 – токовое зеркало;
- ПТ2 – токовое зеркало;
- Выходной каскад – буферный усилитель (БУ)

Интегрирующая емкость коррекции C_k обеспечивает заданный запас устойчивости ОУ по фазе. Статический режим ОУ рис. 1 устанавливается источниками тока I_1 и I_2 , которые могут изменяться в широких пределах (единицы микроампер – единицы миллиампер)

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная структура ОУ в рамках CJFet технологического процесса, на которой можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой выходного каскада (БУ), статическим режимом VT1-VT6, и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

5.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.



Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и n-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

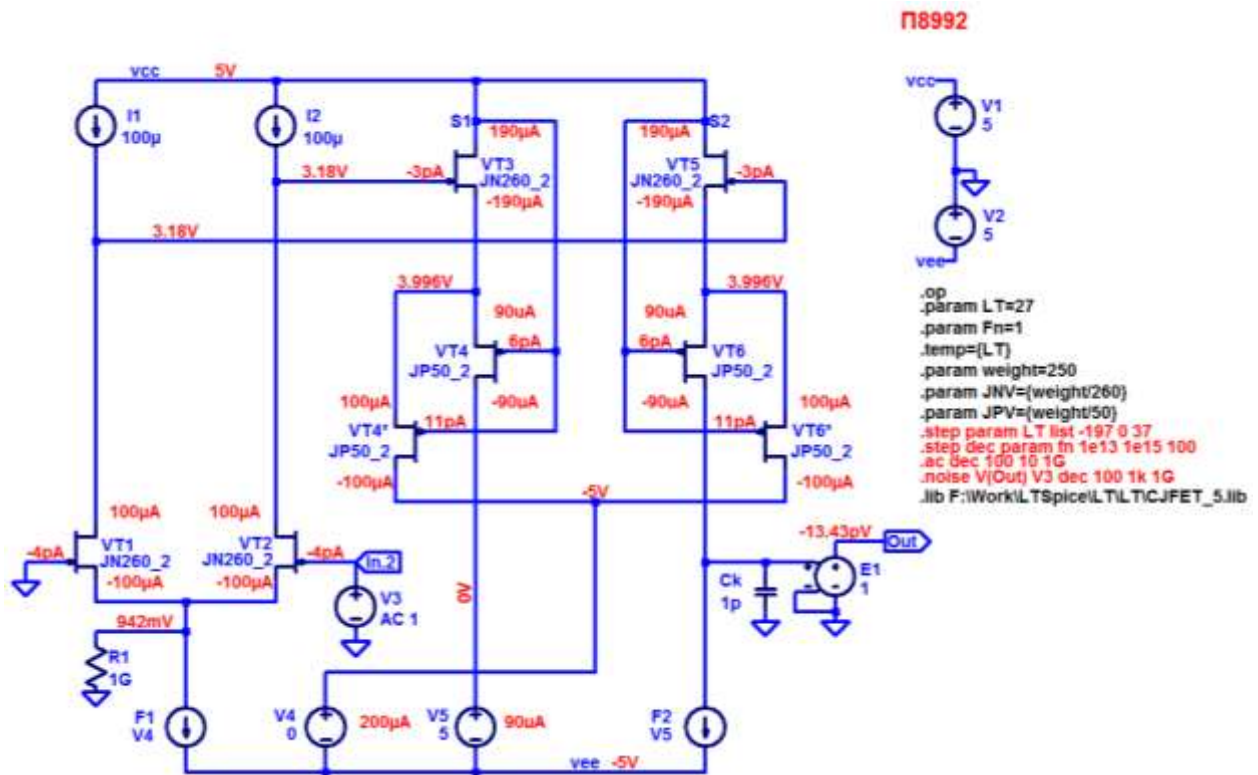


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpise на моделях CJFet_5

Netlist ОУ Рис. 3

```
* scheme379.asc
V1 S2 0 5
V2 0 vee 5
I2 S2 N001 100µ
I1 S2 N002 100µ
J$VT1 N002 Out N007 JN260_2
J$VT2 N001 In.2 N007 JN260_2
J$VT3 S2 N001 N003 JN260_2
J$VT5 S2 N002 N004 JN260_2
J$VT4* N005 S2 N003 JP50_2
J$VT4 N008 S2 N003 JP50_2
J$VT6* N005 S2 N004 JP50_2
J$VT6 N006 S2 N004 JP50_2
V4 N005 vee 0
V5 N008 vee 5
F1 N007 vee V4 1
F2 N006 vee V5 1
E1 Out 0 N006 0 1
Ck N006 0 1p
R1 N007 0 1G
V3 In.2 0 AC 1
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
* П8992
.param LT=27
```

```

.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
* .step param LT list -197 30 0.001
* .step dec param fn 1e13 1e15 100
* .ac dec 100 10 1G
.backanno
.end

```

5.3. Макромодель ОУ и ее netlist

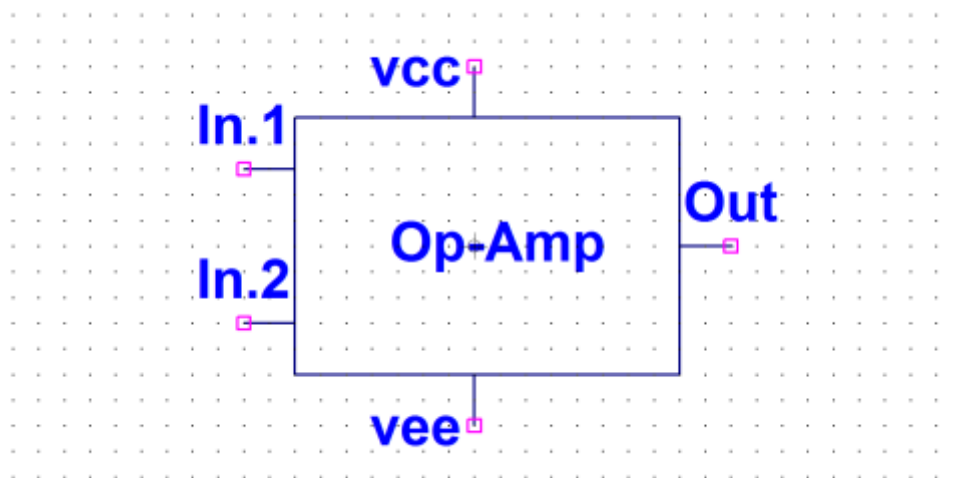
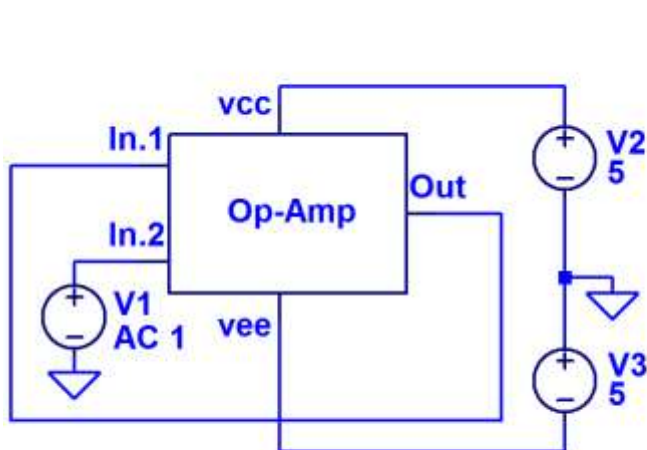


Рис. 4. Вид символа макромодели ОУ в среде LTspice



П8992

```

.op
.param LT=27
.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.step param LT -197 30 0.1
.step dec param fn 1e13 1e15 100
.ac dec 1k 1G 100
.noise V(Out) V3 dec 100 1k 1G
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
.step param Rvar list 0.01 1k 10k
.param Rvar 1k

```

Рис. 5. Схема макромодели ОУ с «обвязкой» в среде LTspice

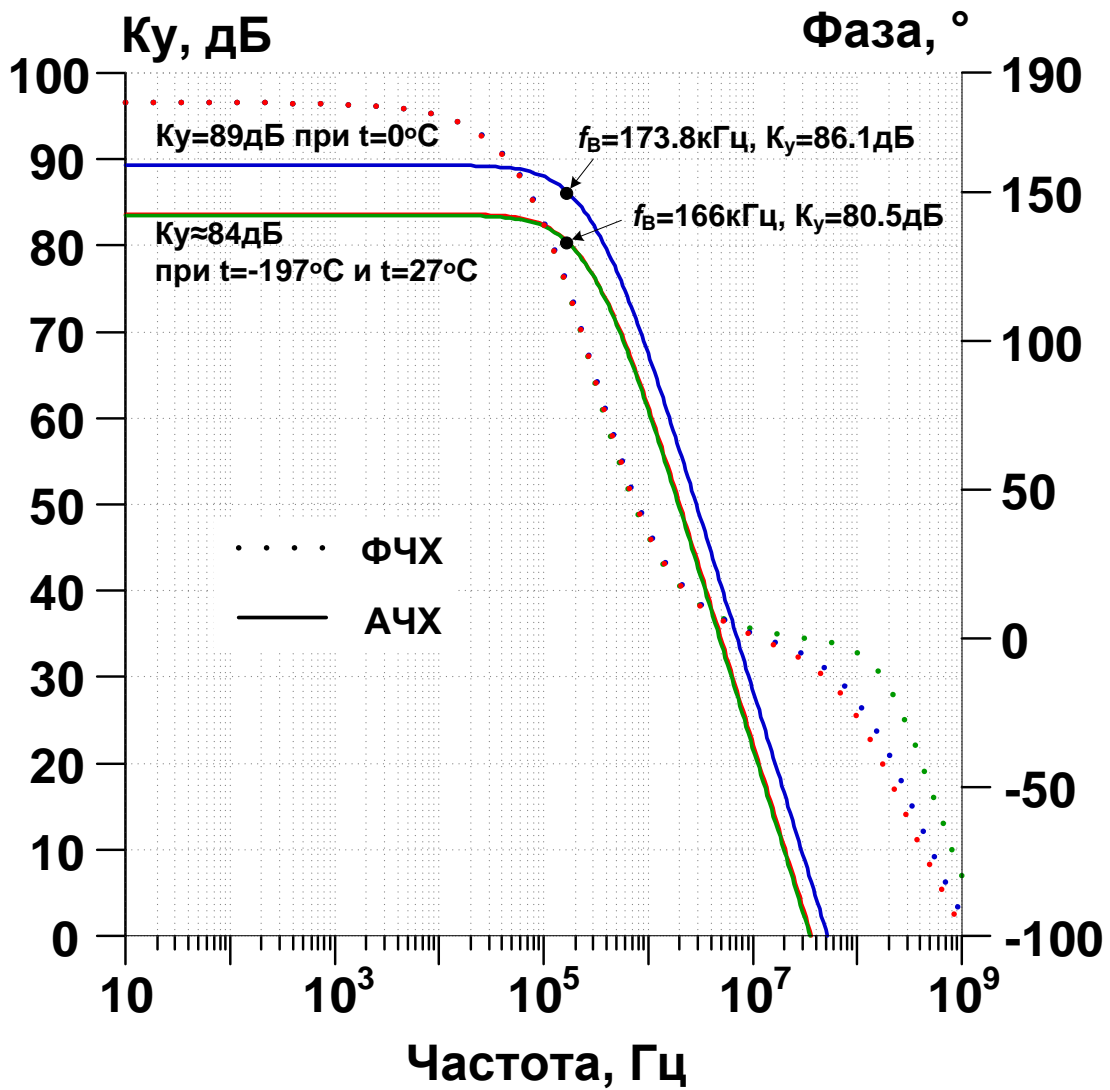


Рис. 6. ФЧХ и АЧХ макромодели рис. 4

Netlist макромодели Рис. 5

```
* macromodel_379\scheme379_1.asc
XX1 N002 N003 N002 N001 N004 scheme379
V1 N003 0 AC 1
V2 N001 0 5
V3 0 N004 5
```

```
* block symbol definitions
.subckt scheme379 In.1 In.2 Out vcc vee
I2 vcc N001 100μ
I1 vcc N002 100μ
J§VT1 N002 In.1 N007 JN260_2
J§VT2 N001 In.2 N007 JN260_2
J§VT3 vcc N001 N003 JN260_2
J§VT5 vcc N002 N004 JN260_2
J§VT4* N005 vcc N003 JP50_2
J§VT4 N008 vcc N003 JP50_2
J§VT6* N005 vcc N004 JP50_2
J§VT6 N006 vcc N004 JP50_2
```

```

V4 N005 vee 0
V5 N008 vee 5
F1 N007 vee V4 1
F2 N006 vee V5 1
E1 Out 0 N006 0 1
Ck N006 0 1p
R1 N007 0 1G
.ends scheme379

.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
* П8992
.param LT=27
.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
* .step param LT -197 30 0.1
* .step dec param fn 1e13 1e15 100
* .noise V(Out) V3 dec 100 1k 1G
* .step param Rvar list 0.01 1k 10k
.param Rvar 1k
.ac dec 1k 1G 100
.backanno
.end

```

5.4. Выводы

Полученные результаты исследования ФЧХ и АЧХ макромодели рис. 5 совпадают с ранее выполненными результатами моделирования схемы schem379 (П8992).

6. CJFet ОУ с комплементарным промежуточным каскадом: модификация ОУ- №6

6.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

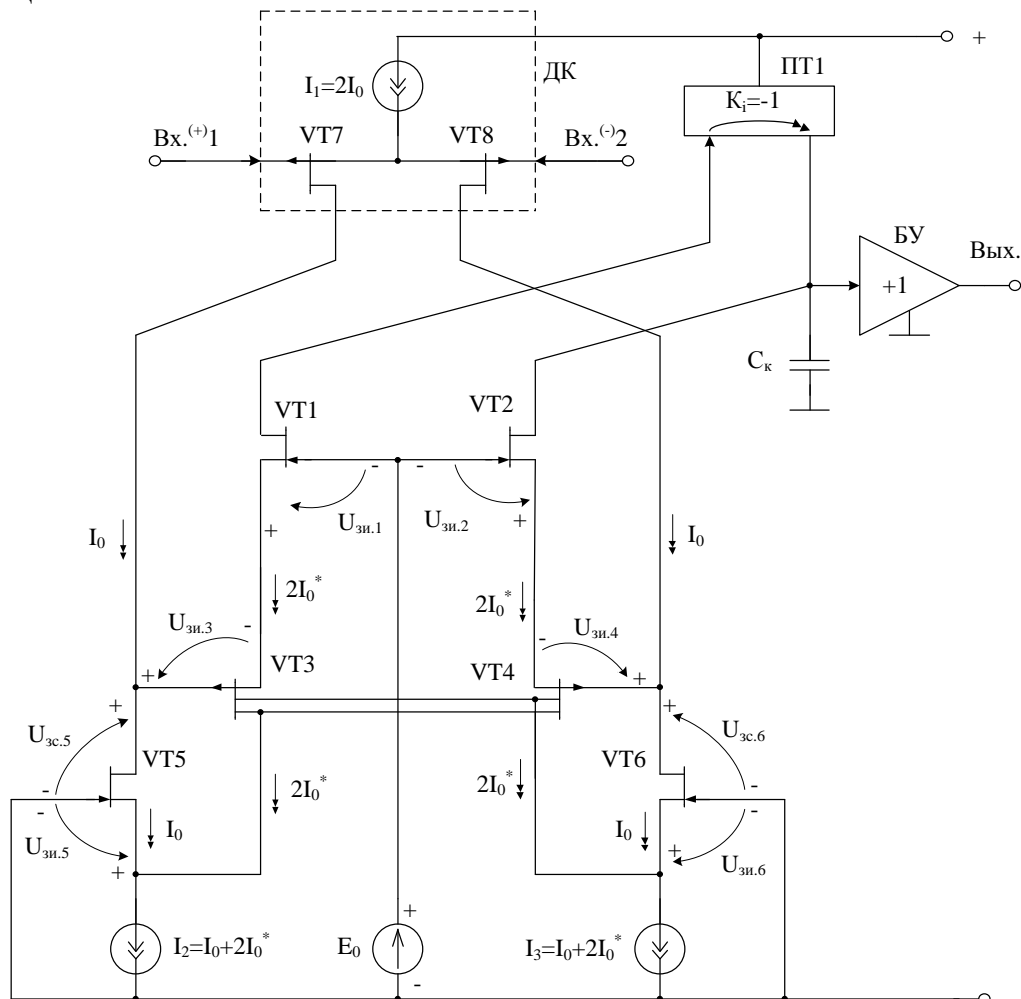


Рис. 1. Функциональная схема ОУ

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- Входной дифференциальный каскад (VT7, VT8, I1);
- Первый промежуточный каскад (VT5, VT6);

- Второй промежуточный каскад (VT1, VT2);
- Интегрирующую цепь коррекции C_k ;
- E_0 – минимизирует смещение нуля;
- ПТ1 – токовое зеркало;
- Выходной каскад – буферный усилитель (БУ)

Интегрирующая емкость коррекции C_k обеспечивает заданный запас устойчивости ОУ по фазе. Статический режим ОУ рис. 1 устанавливается источниками тока I_1, I_2, I_3 , которые могут изменяться в широких пределах (единицы микроампер – единицы миллиампер)

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная структура ОУ в рамках CJFet технологического процесса, на которой можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой выходного каскада (БУ), статическим режимом VT1-VT8, и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

6.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_3.



Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и n-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

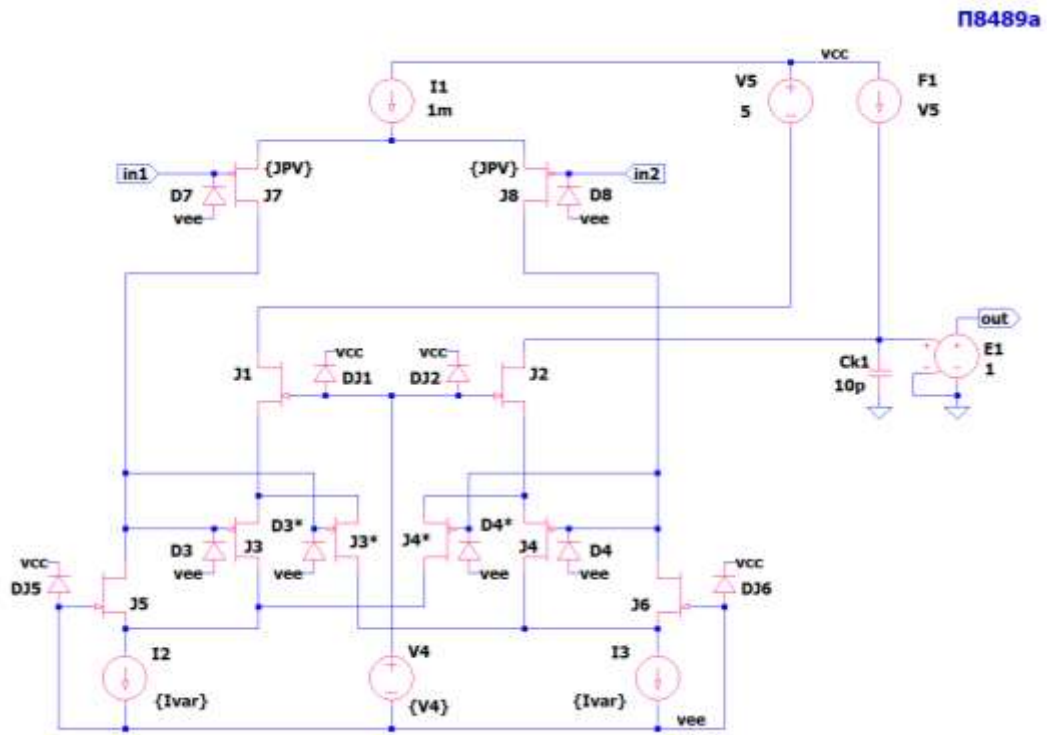


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpise на моделях CJFet_3

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4-11.

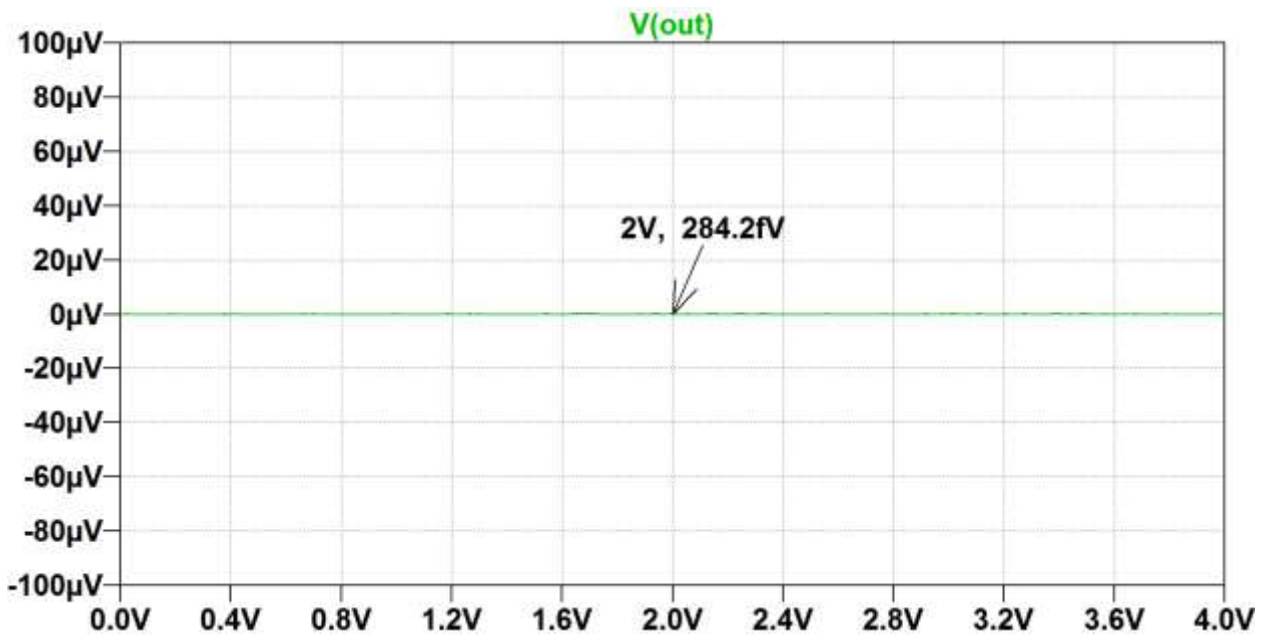


Рис. 4. Зависимость выходного напряжения $V(\text{Out})$ от источника напряжения $V4=0\div 4\text{В}$ при $t=27^\circ\text{C}$, статических токах $I1=I2=I3=200\text{мкА}$, напряжении питания $V1=V2=\pm 5\text{В}$

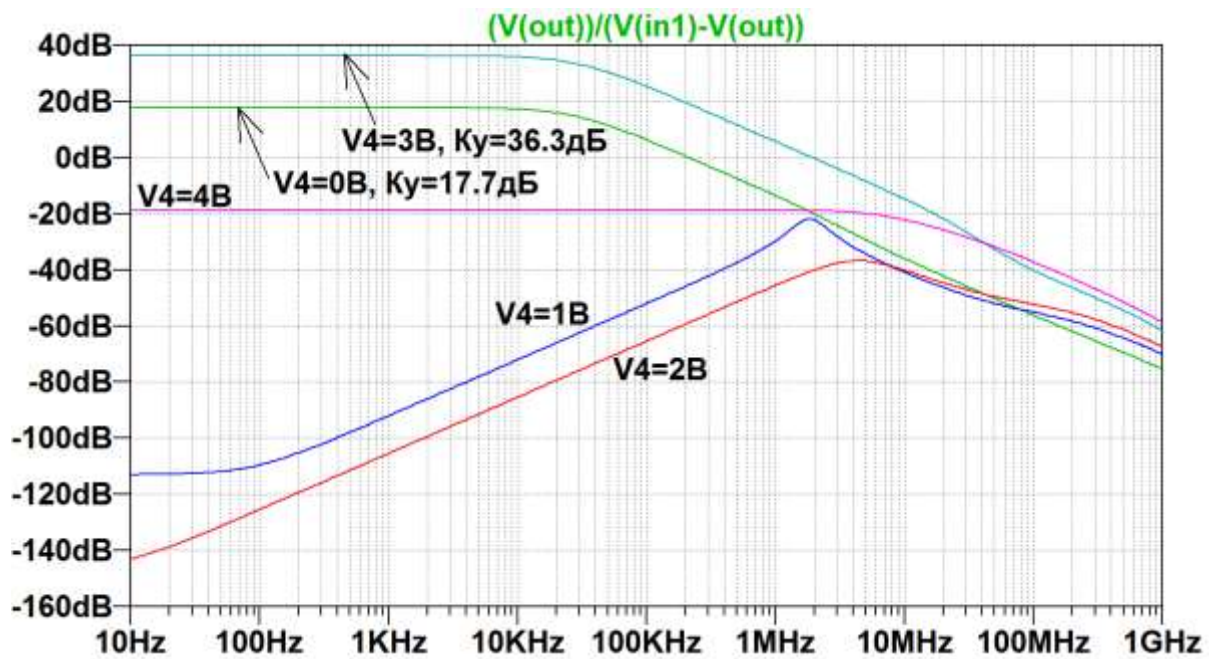


Рис. 5. АЧХ при $t=27^{\circ}\text{C}$, $V_4=0$; 1В; 2В; 3В; 4В, статических токах $I_1=I_2=I_3=200\mu\text{A}$, напряжении питания $V_1=V_2=\pm 5\text{В}$

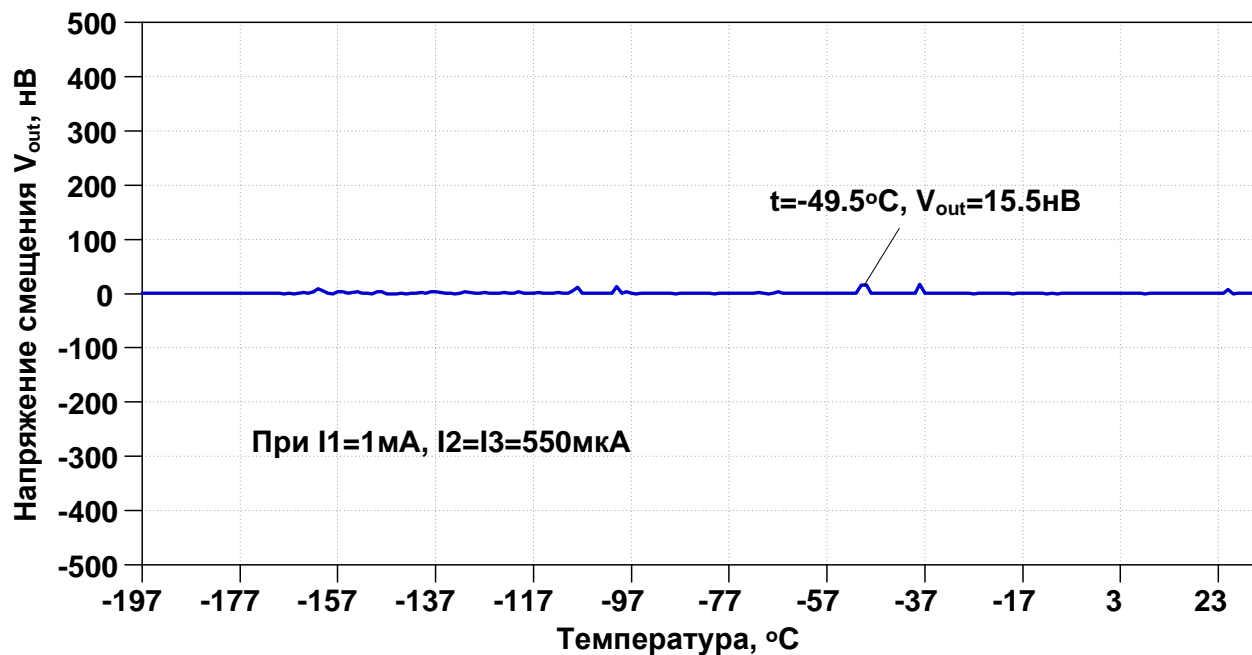
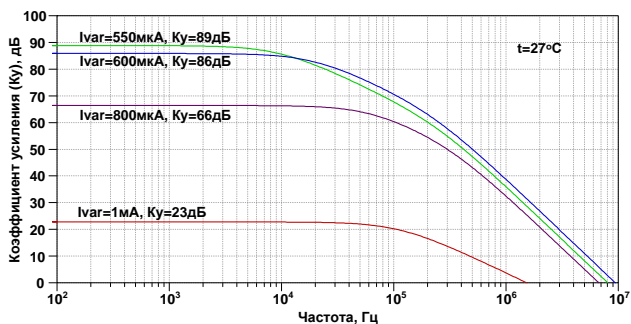
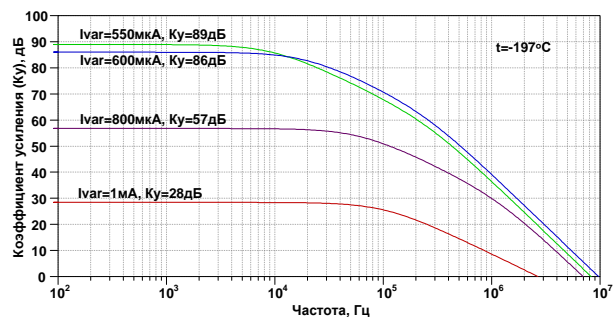


Рис. 6. Зависимость выходного напряжения от температуры при статических токах $I_1=1\text{mA}$, $I_2=I_3=550\mu\text{A}$, источнике напряжения $V_4=0\text{В}$, напряжении питания $V_1=V_2=\pm 5\text{В}$

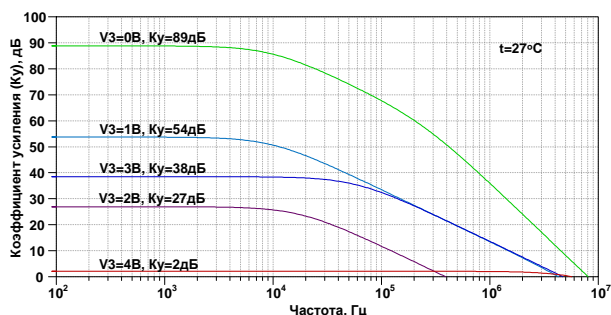


а)

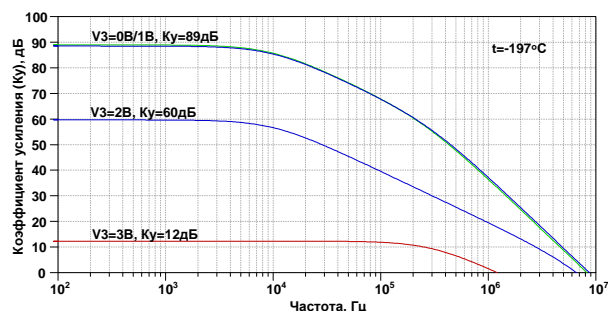


б)

Рис. 7. АЧХ ($V(\text{out})/(V(\text{out})-V(\text{in}1))$) при $t=27^\circ\text{C}$ (а) и $t=-197^\circ\text{C}$ (б), статических токах $I1=1\text{mA}$, $I2=I3=550\mu\text{A}$; $600\mu\text{A}$; $800\mu\text{A}$; 1mA ;, разных значениях источника напряжения $V4=0\text{В}$, напряжении питания $V1=V2=\pm 5\text{В}$.



а)



б)

Рис. 8. АЧХ ($V(\text{out})/(V(\text{out})-V(\text{in}1))$) при $t=27^\circ\text{C}$ (а) и $t=-197^\circ\text{C}$ (б), статических токах $I1=1\text{mA}$, $I2=I3=550\mu\text{A}$, разных значениях источника напряжения $V4=0\text{В}$; 1В ; 2В ; 3В ; 4В , напряжении питания $V1=V2=\pm 5\text{В}$

Netlist ОУ Рис. 3

```
scheme363.asc
I1 vcc N001 1m
I2 N009 vee {Ivar}
I3 N010 vee {Ivar}
J7 N002 in1 N001 JP50_2 {JPV}
D7 vee in1 DJP50_2 {JPV}
J8 N003 in2 N001 JP50_2 {JPV}
D8 vee in2 DJP50_2 {JPV}
V4 N006 vee {V4}
J1 N004 N006 N007 JN260_2 {JNV}
J2 N005 N006 N008 JN260_2 {JNV}
J5 N002 vee N009 JN260_2 {JNV}
J6 N003 vee N010 JN260_2 {JNV}
J3 N009 N002 N007 JP50_2 {JPV}
J3* N010 N002 N007 JP50_2 {JPV}
J4 N010 N003 N008 JP50_2 {JPV}
J4* N009 N003 N008 JP50_2 {JPV}
V5 vcc N004 5
F1 vcc N005 V5 1
E1 out 0 N005 0 1
Ck1 N005 0 10p
D3 vee N002 DJP50_2 {JPV}
```

```

D4 vee N003 DJP50_2 {JPV}
DJ6 vee vcc DJN260_2 {JNV}
DJ5 vee vcc DJN260_2 {JNV}
DJ1 N006 vcc DJN260_2 {JNV}
DJ2 N006 vcc DJN260_2 {JNV}
D3* vee N002 DJP50_2 {JPV}
D4* vee N003 DJP50_2 {JPV}
.model D D
.lib C:\Users\yotova\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\yotova\Documents\LTspiceXVII\lib\cmp\standard.jft
* П8489а
.backanno
.end

```

6.3. Макромодель ОУ и ее netlist

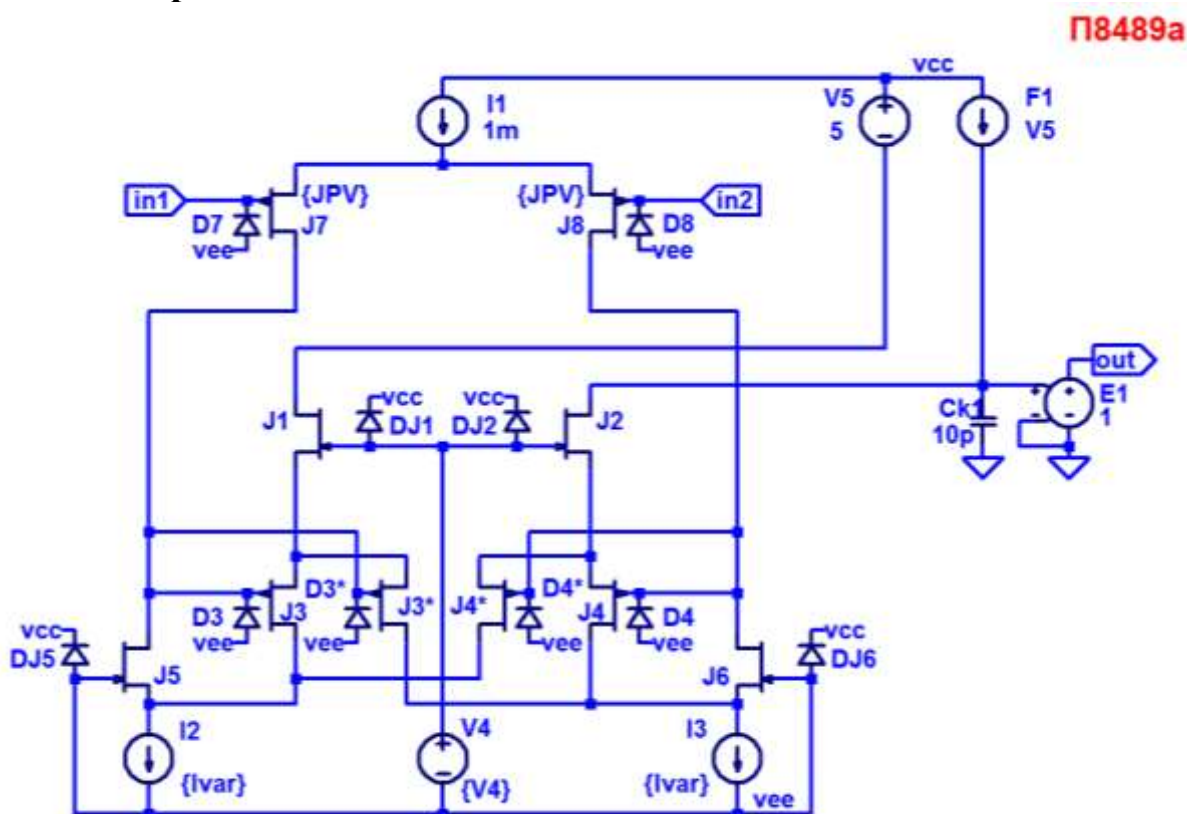


Рис. 9. Подсхема CJFet ОУ с комплементарным промежуточным каскадом

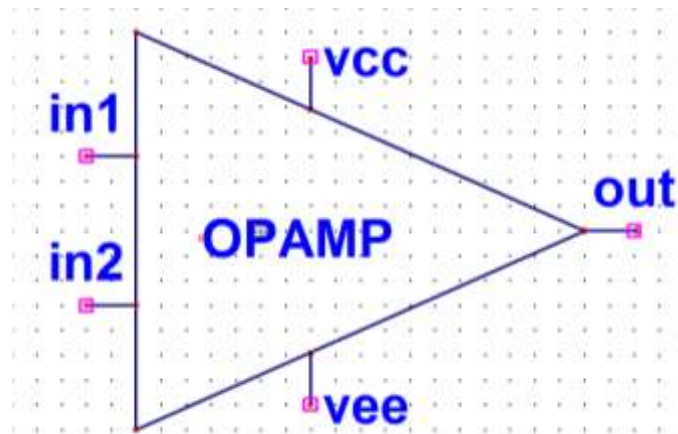


Рис. 10. Вид символа макромодели ОУ в среде LTspice

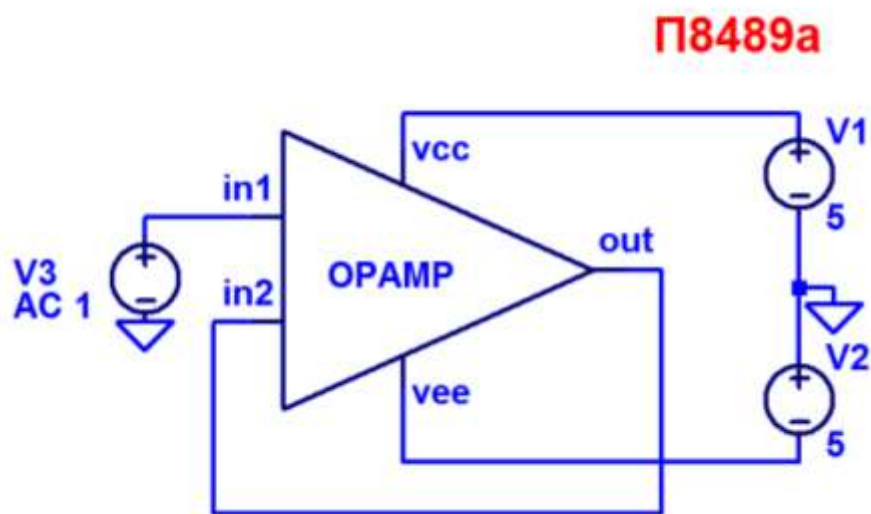


Рис. 11. Схема макромодели ОУ с «обвязкой» в среде LTspice

Netlist макромодели Рис. 5

```

**scheme363.asc
I1 vcc N001 1m
I2 N009 vee {Ivar}
I3 N010 vee {Ivar}
J7 N002 in1 N001 JP50_2 {JPV}
D7 vee in1 DJP50_2 {JPV}
J8 N003 in2 N001 JP50_2 {JPV}
D8 vee in2 DJP50_2 {JPV}
V4 N006 vee {V4}
J1 N004 N006 N007 JN260_2 {JNV}
J2 N005 N006 N008 JN260_2 {JNV}
J5 N002 vee N009 JN260_2 {JNV}
J6 N003 vee N010 JN260_2 {JNV}
J3 N009 N002 N007 JP50_2 {JPV}
J3* N010 N002 N007 JP50_2 {JPV}

```

```
J4 N010 N003 N008 JP50_2 {JPV}
J4* N009 N003 N008 JP50_2 {JPV}
V5 vcc N004 5
F1 vcc N005 V5 1
E1 out 0 N005 0 1
Ck1 N005 0 10p
D3 vee N002 DJP50_2 {JPV}
D4 vee N003 DJP50_2 {JPV}
DJ6 vee vcc DJN260_2 {JNV}
DJ5 vee vcc DJN260_2 {JNV}
DJ1 N006 vcc DJN260_2 {JNV}
DJ2 N006 vcc DJN260_2 {JNV}
D3* vee N002 DJP50_2 {JPV}
D4* vee N003 DJP50_2 {JPV}
.model D D
.lib C:\Users\yotova\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\yotova\Documents\LTspiceXVII\lib\cmp\standard.jft
* П8489а
.backanno
.end
```

6.4. Выводы

Результаты моделирования рис. 11 полностью совпадают с результатами моделирования схемы рис. 1. Таким образом, макромодель рис. 11 – работоспособна.

7. CJFET ОУ с каскодным промежуточным каскадом: модификация ОУ-№7

7.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

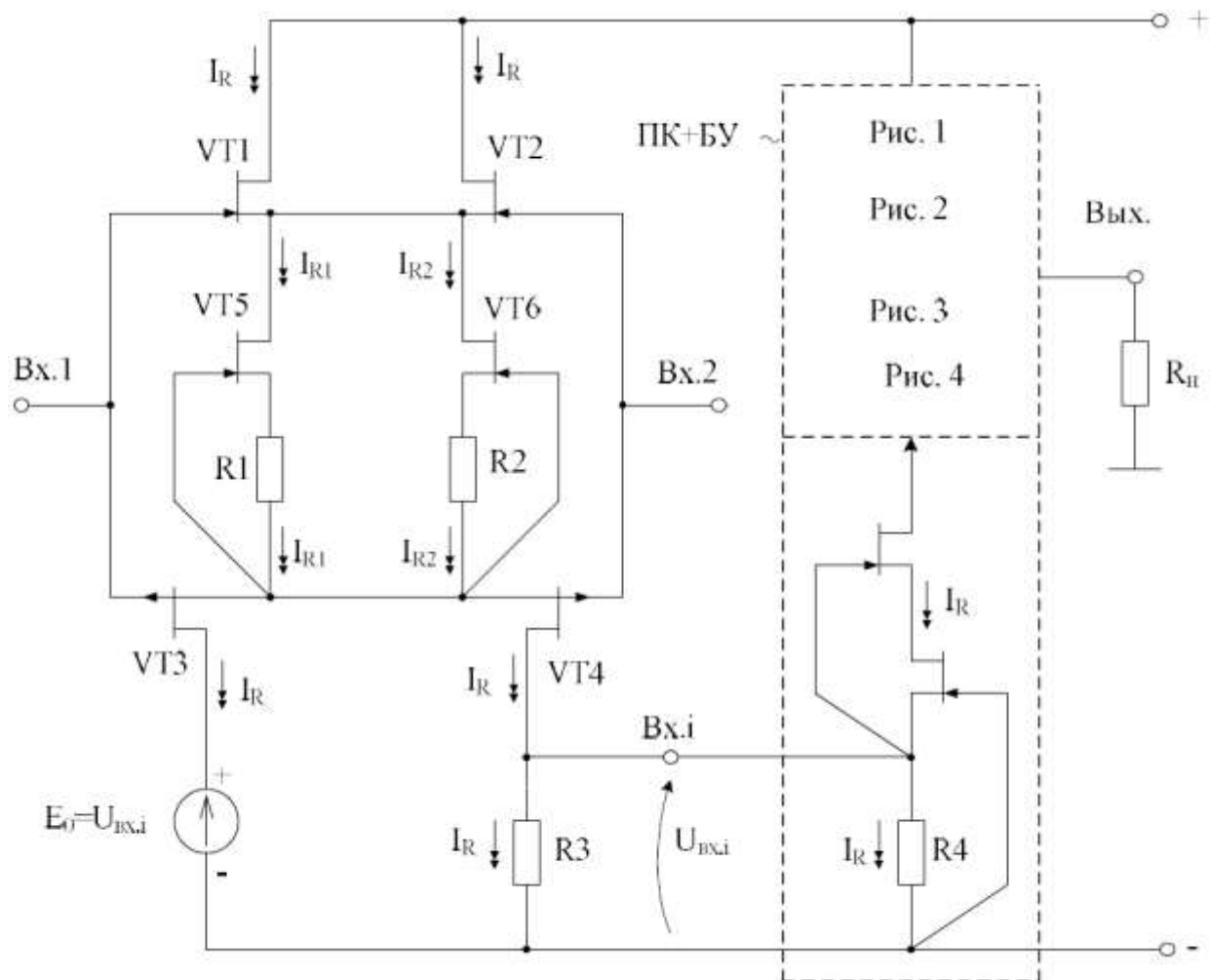


Рис. 1. Практическая схема ОУ с каскодным промежуточным каскадом

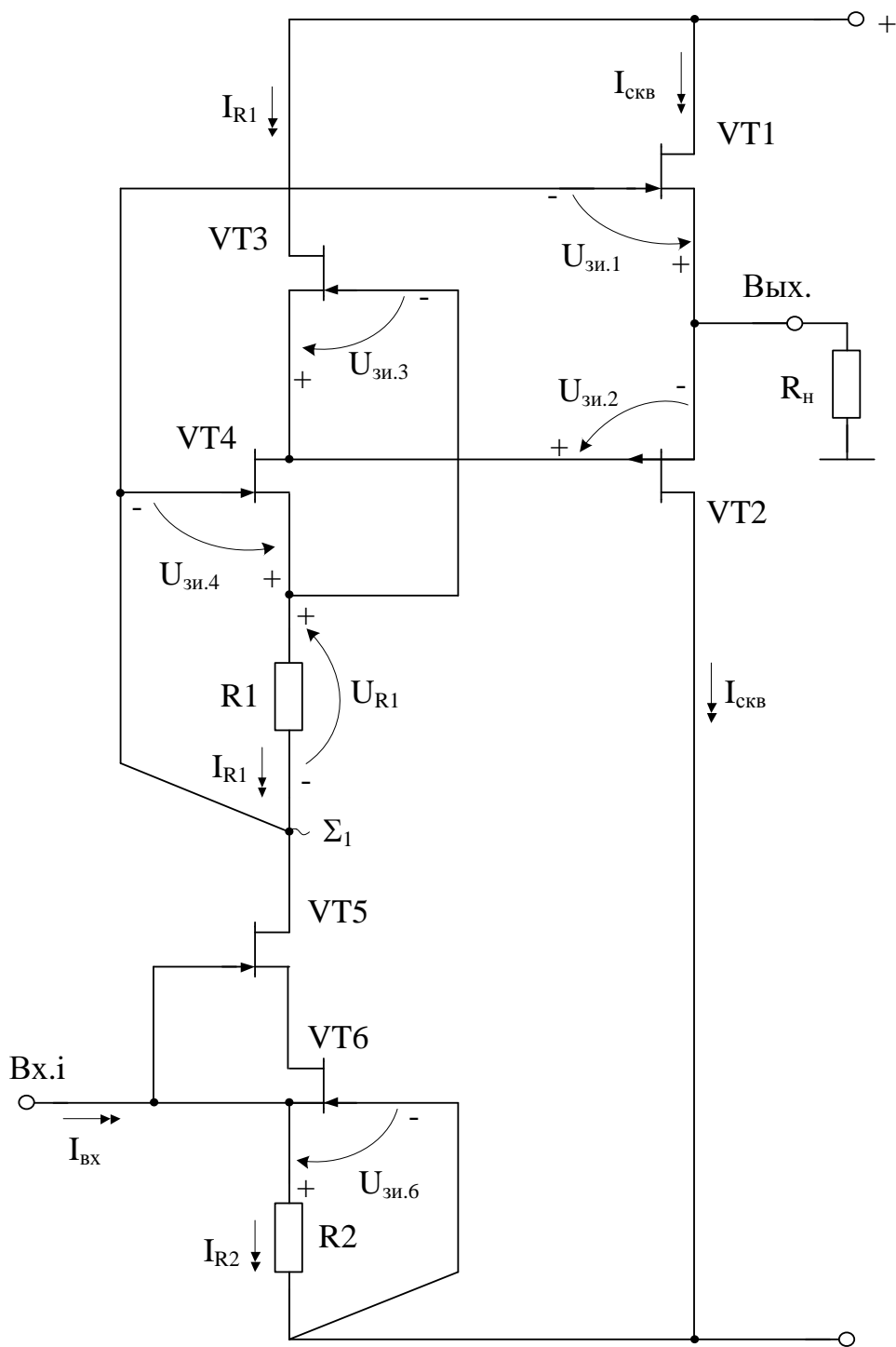


Рис. 2. Промежуточный «перегнутый» каскод и буферный усилитель

$$U_{зи.1} + U_{зи.2} = U_{зи.4} + U_{зи.3}$$

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис. 1 включает:

- Входной дифференциальный каскад (VT1-VT4),
- Выходной промежуточный каскад с разными вариантами построения выходного буферного усилителя. Например, в промежуточном каскаде рис. 2 буферный усилитель реализован на транзисторах VT1-VT2, с цепями смещения статического режима на транзисторах VT3-VT4.

7.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.



Рис. 3. Графическое изображение моделей CJFet с р-канальными (а) и n-канальными (б) транзисторами

На рис. 4 показана схема ОУ рис. 1 в среде моделирования LTSpice.

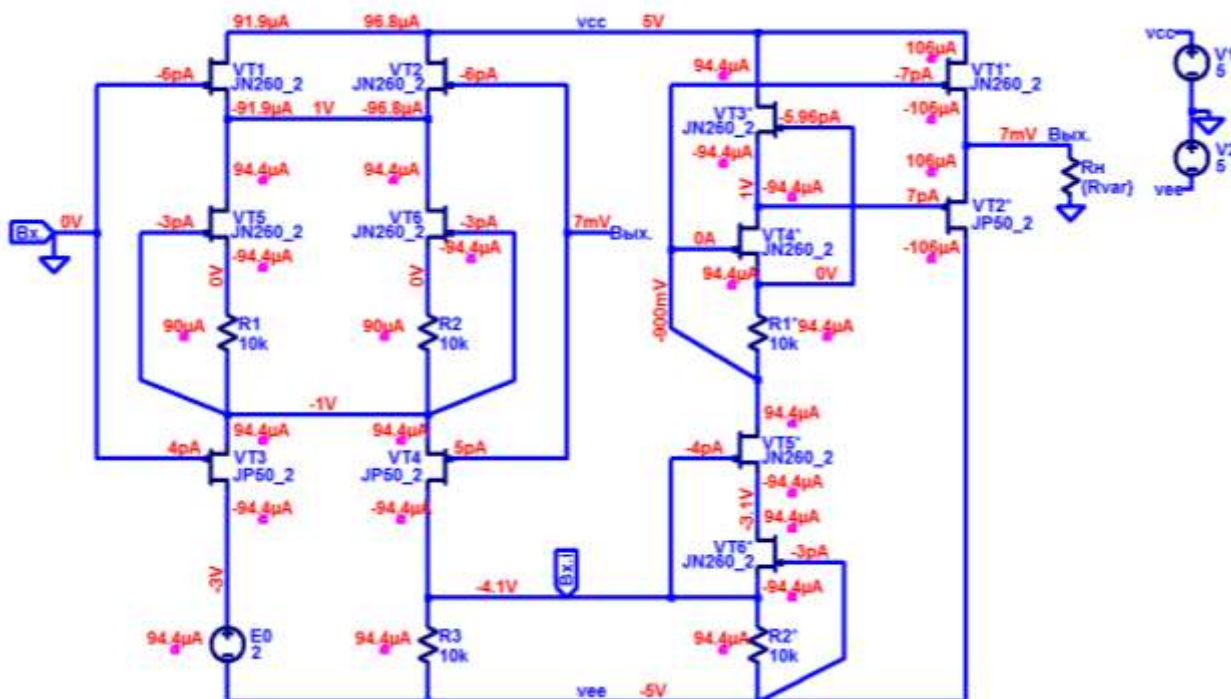
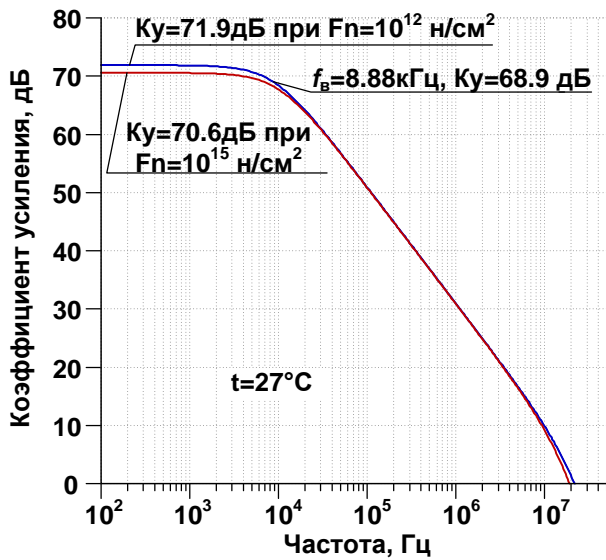
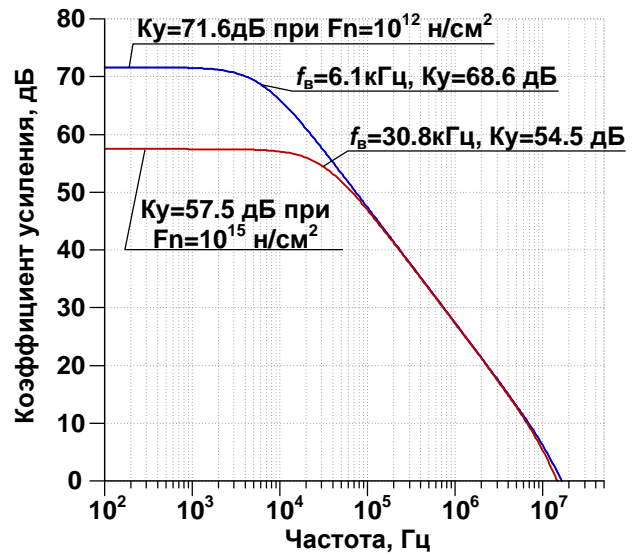


Рис. 4. Функциональная схема ОУ рис. 1 в среде LTSpice на моделях CJFet_5

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 5-7.



а)



б)

Рис. 5. АЧХ без ООС при $t=27^\circ\text{C}$ (а) и $t=-197^\circ\text{C}$ (б)

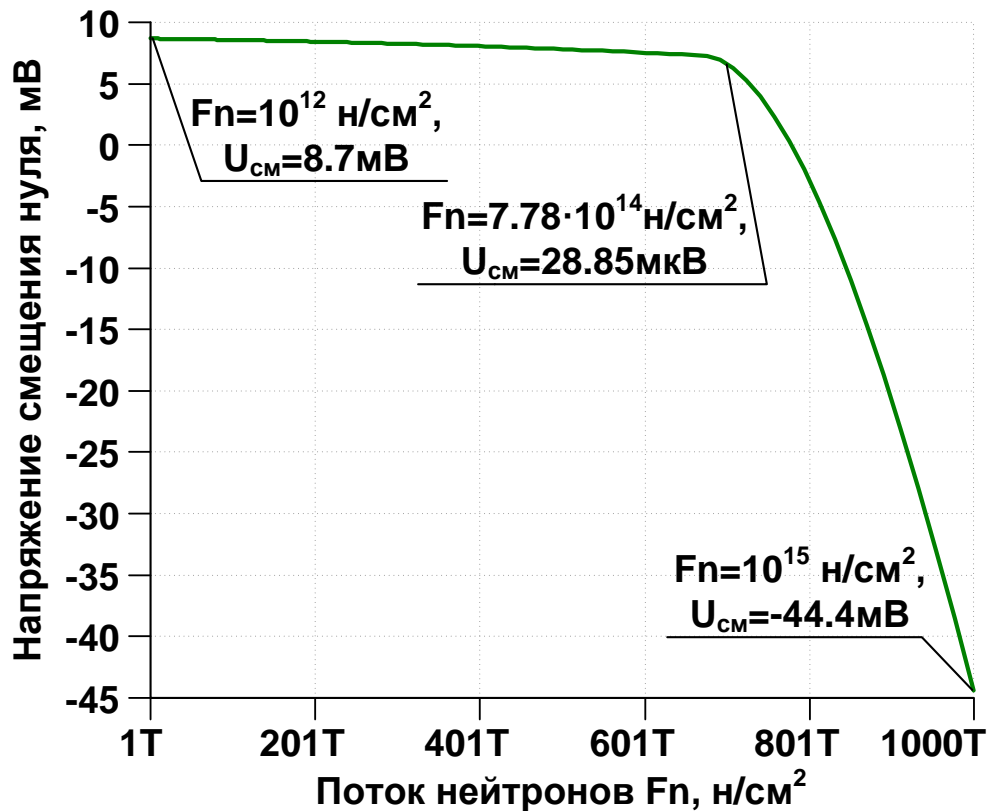


Рис. 6. Зависимость напряжения смещения нуля схемы рис. 3 при $t=27^\circ\text{C}$ от потока нейтронов в диапазоне от 10^{12} н/см^2 до 10^{15} н/см^2

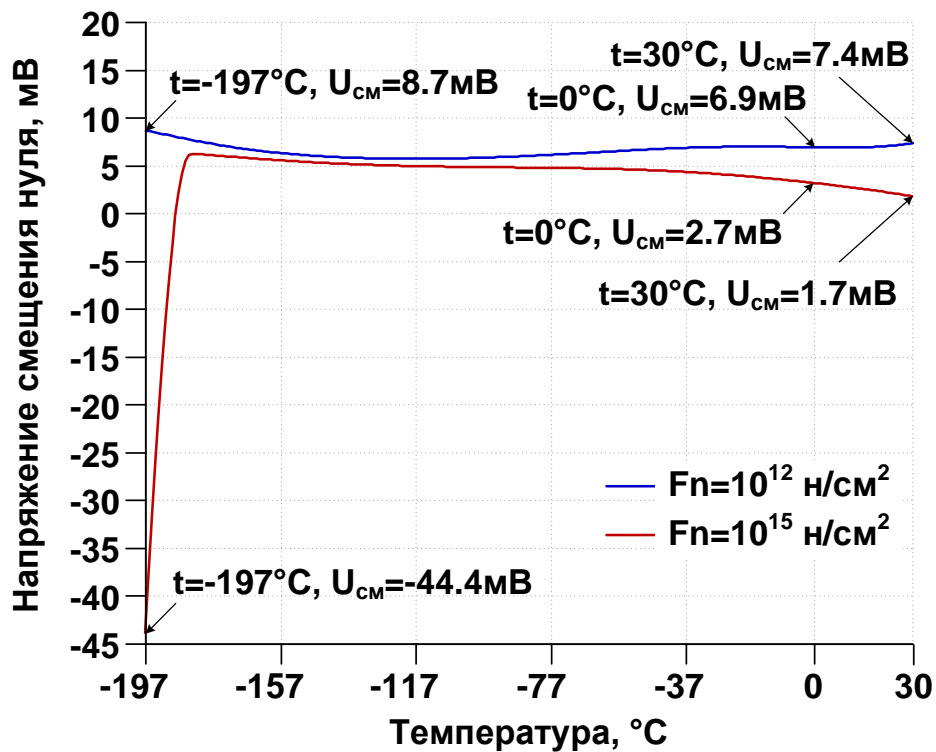


Рис. 7. Зависимость напряжения смещения нуля схемы рис. 3 при $F_n=10^{12}$ н/см² и $F_n=10^{15}$ н/см² от температуры в диапазоне от -197°C до 30°C

Netlist ОУ Рис. 3

```
* schem389.asc
V1 vcc 0 5
V2 0 vee 5
J§VT1 vcc 0 N002 JN260_2
J§VT3 N009 0 N005 JP50_2
Rн Вых. 0 {Rvar}
J§VT2 vcc Вых. N002 JN260_2
J§VT5 N002 N005 N006 JN260_2
J§VT6 N002 N005 N007 JN260_2
R1 N006 N005 10k
R2 N007 N005 10k
J§VT4 Вх.и Вых. N005 JP50_2
V§E0 N009 vee 2
R3 Вх.и vee 10k
J§VT3* vcc N003 N004 JN260_2
R1* N003 N001 10k
J§VT5* N001 Вх.и N008 JN260_2
J§VT6* N008 vee Вх.и JN260_2
R2* Вх.и vee 10k
J§VT1* vcc N001 Вых. JN260_2
J§VT2* vee N004 Вых. JP50_2
J§VT4* N004 N001 N003 JN260_2
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
```

```

.param LT=27
.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
* .step param LT -197 27 1
* .step dec param fn 1e13 1e15 100
* .step param Rvar list 5k 10k 20k 50k 500k 100Meg
.param Rvar 10Meg
* .ac dec 1k 1G 100
.backanno

```

7.3. Макромодель ОУ и ее netlist

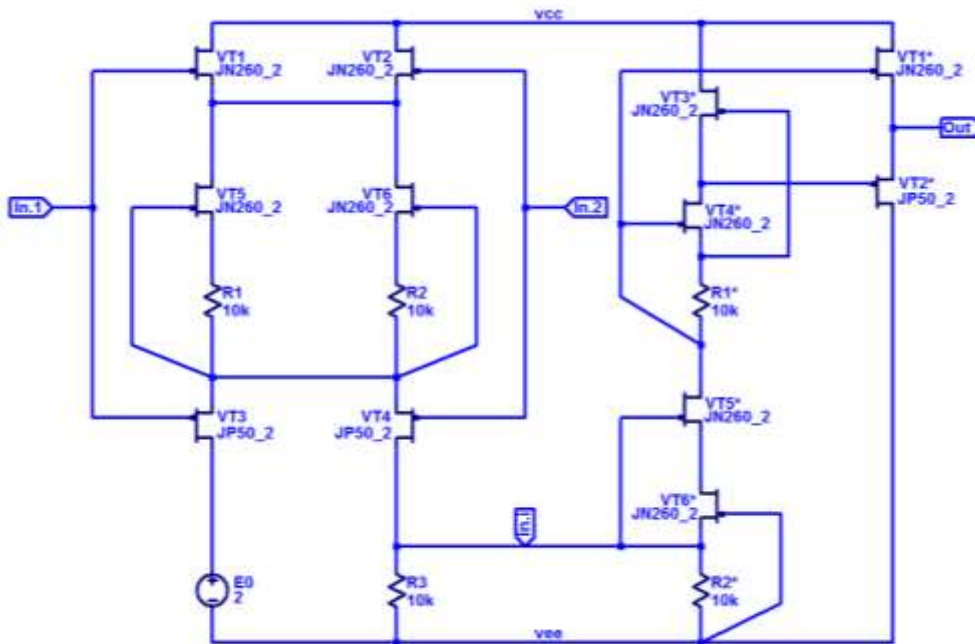


Рис. 8. Подсхема JFet ОУ со встроенным промежуточным и выходным каскадами

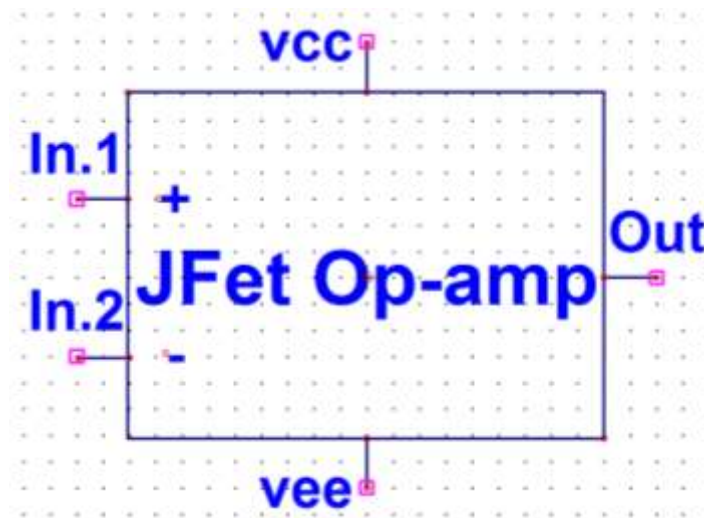
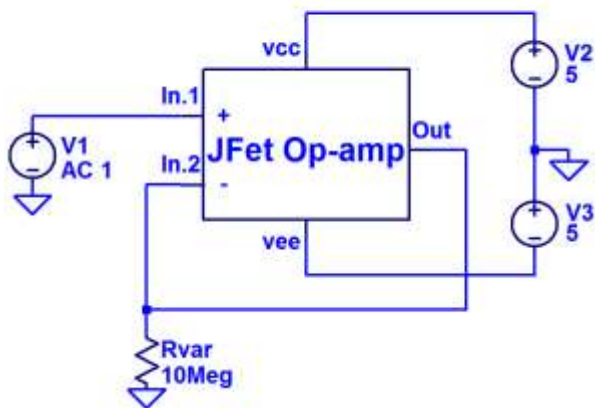


Рис. 9. Символ макромодели JFet ОУ со встроенным промежуточным и выходным каскадами



П9371+П9366

```
.op
.param LT=-197
.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.step param fn list 1e12 1e15
.step param LT -197 30 1
.ac dec 1k 1G 100
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
.step param Rvar list 5k 10k 20k 50k 500k 100Meg
```

Рис. 10. Макромодель к схеме JFet ОУ со встроенным промежуточным и выходным каскадами

Netlist макромодели Рис. 5

```
* schem389.asc
V1 vcc 0 5
V2 0 vee 5
J$VT1 vcc 0 N002 JN260_2
J$VT3 N009 0 N005 JP50_2
Rн Вых. 0 {Rvar}
J$VT2 vcc Вых. N002 JN260_2
J$VT5 N002 N005 N006 JN260_2
J$VT6 N002 N005 N007 JN260_2
R1 N006 N005 10k
R2 N007 N005 10k
J$VT4 Вх.і Вых. N005 JP50_2
V$E0 N009 vee 2
R3 Вх.і vee 10k
J$VT3* vcc N003 N004 JN260_2
R1* N003 N001 10k
J$VT5* N001 Вх.і N008 JN260_2
J$VT6* N008 vee Вх.і JN260_2
R2* Вх.і vee 10k
J$VT1* vcc N001 Вых. JN260_2
J$VT2* vee N004 Вых. JP50_2
J$VT4* N004 N001 N003 JN260_2
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
.param LT=27
.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
```

```
.op
* .step param LT -197 27 1
* .step dec param fn 1e13 1e15 100
* .step param Rvar list 5k 10k 20k 50k 500k 100Meg
.param Rvar 10Meg
* .ac dec 1k 1G 100
.backanno
```

7.4. Выводы

Результаты моделирования рис. 10 полностью совпадают с результатами моделирования схемы рис. 4. Таким образом, макромодель рис. 10 – работоспособна.

8. CJFET операционный усилитель на составных JFET транзисторах в промежуточном каскаде: модификация ОУ-№8

8.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

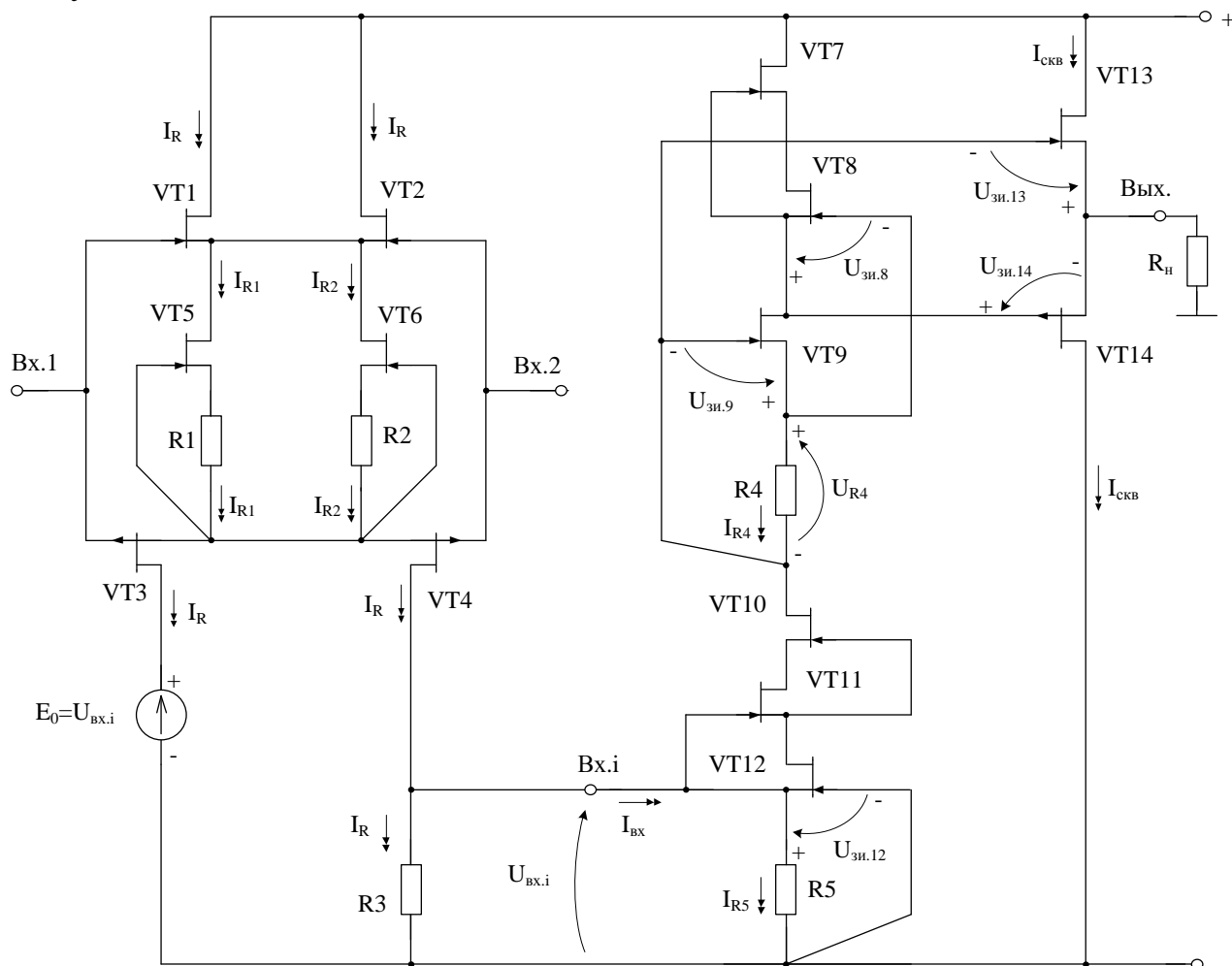


Рис. 1. Практическая схема для моделирования ОУ с составными транзисторами в промежуточном каскаде

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис. 1 включает:

- Входной дифференциальный каскад (VT1-VT4),

- Выходной промежуточный каскад (VT7-VT12),
- Буферный усилитель (VT13-VT14).

8.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.

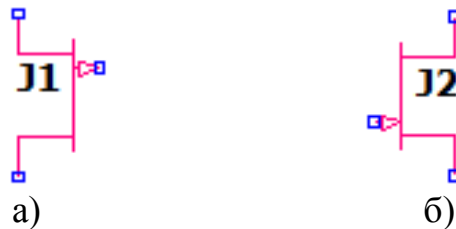


Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и n-канальными (б) транзисторами

На рис. 4 показана схема ОУ рис. 1 в среде моделирования LTSpice.

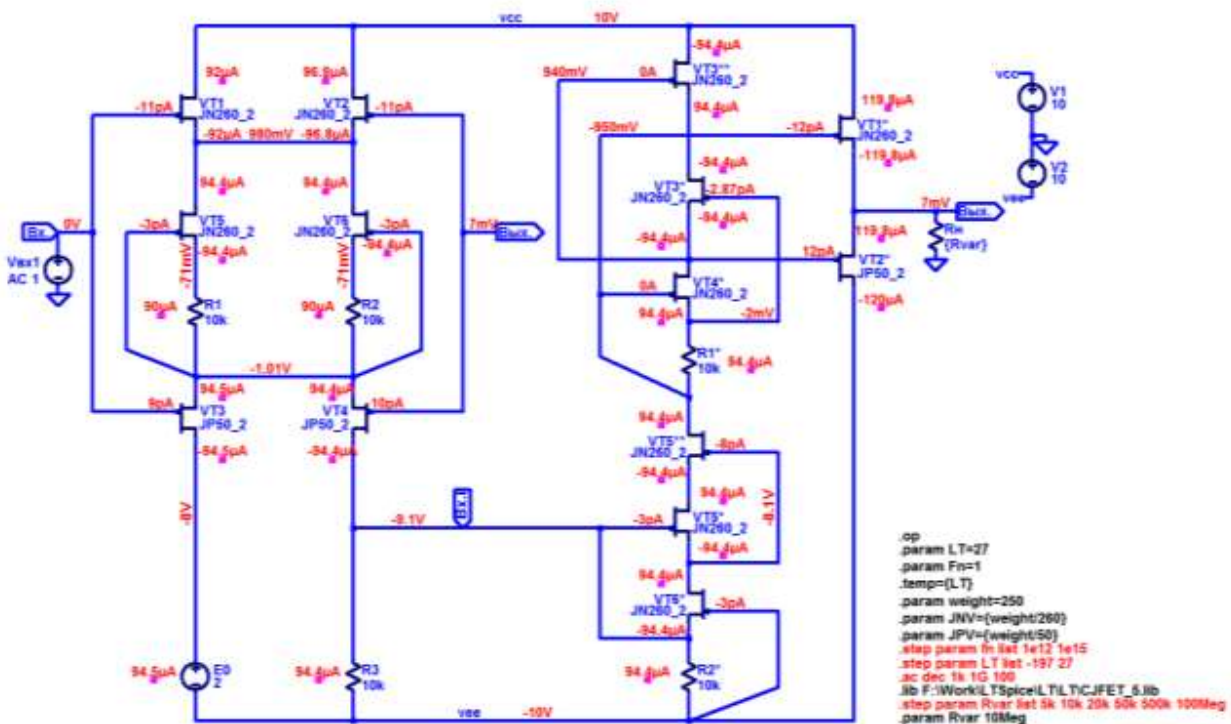


Рис. 4. Функциональная схема ОУ рис. 1 в среде LTSpice на моделях CJFet_5

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 5-7.

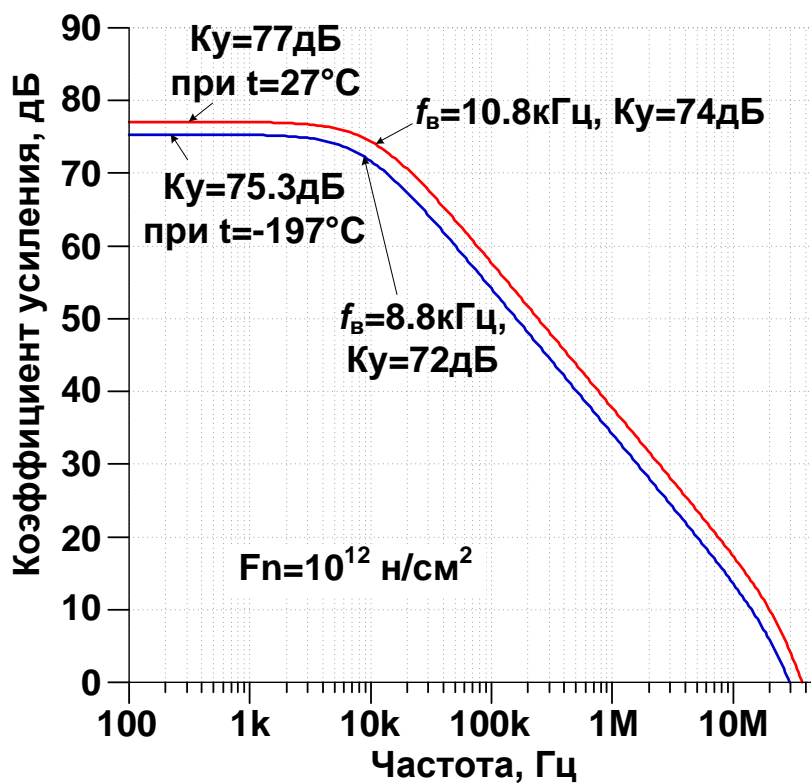


Рис. 5. Амплитудно-частотные характеристики схемы рис. 2 при н.у. потока нейтронов и $t=27^\circ\text{C}$ / $t=-197^\circ\text{C}$

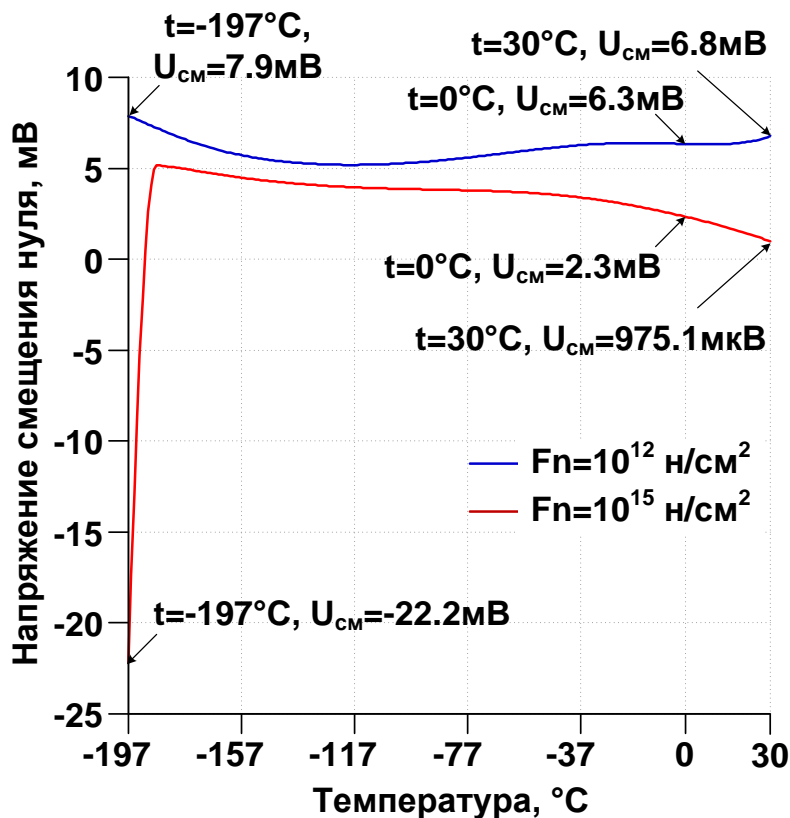


Рис. 6. Зависимость напряжения смещения нуля схемы рис. 2 при $F_n=10^{12}\text{ n/cm}^2$ и $F_n=10^{15}\text{ n/cm}^2$ от температуры в диапазоне от -197°C до 30°C

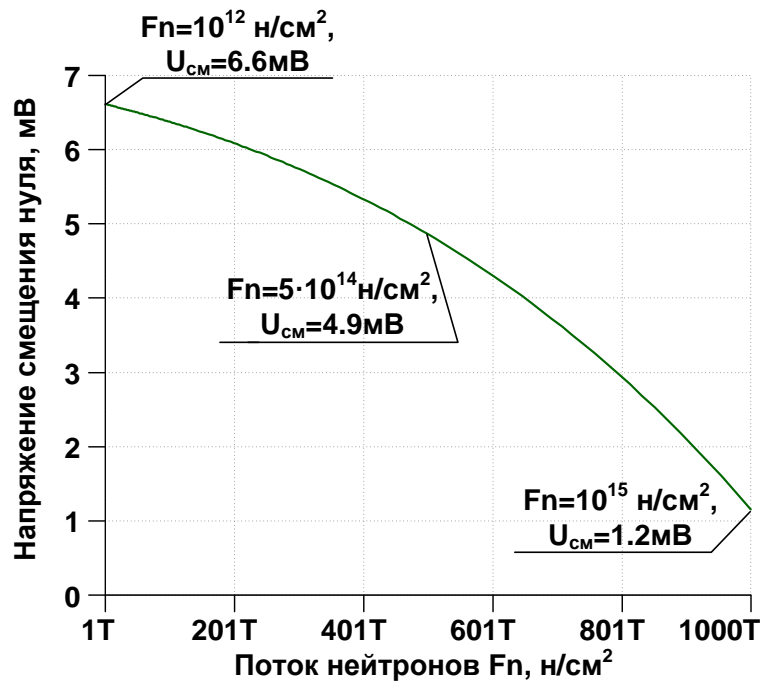


Рис. 7. Зависимость напряжения смещения нуля схемы рис. 2 при $t=27^\circ\text{C}$ от потока нейтронов в диапазоне от 10^{12} н/см² до 10^{15} н/см²

Netlist ОУ Рис. 3

```
* F:\Work\LTSpice\LT\scheme391.asc
V1 vcc 0 10
V2 0 vee 10
J§VT1 vcc In.1 N003 JN260_2
J§VT3 N011 In.1 N006 JP50_2
RH Out 0 {Rvar}
J§VT2 vcc Out N003 JN260_2
J§VT5 N003 N006 N007 JN260_2
J§VT6 N003 N006 N008 JN260_2
R1 N007 N006 10k
R2 N008 N006 10k
J§VT4 In.i Out N006 JP50_2
V§E0 N011 vee 2
R3 In.i vee 10k
J§VT3* N004 N005 N001 JN260_2
R1* N005 N002 10k
J§VT5* N010 In.i N009 JN260_2
J§VT6* N009 vee In.i JN260_2
R2* In.i vee 10k
J§VT1* vcc N002 Out JN260_2
J§VT2* vee N001 Out JP50_2
J§VT4* N001 N002 N005 JN260_2
Vbx1 In.1 0 AC 1
J§VT3** vcc N001 N004 JN260_2
J§VT5** N002 N009 N010 JN260_2
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
```

```

.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
.param LT=27
.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.step param LT list -197 27
* .step param fn list 1e12 1e15
* .step param Rvar list 5k 10k 20k 50k 500k 100Meg
.param Rvar 10Meg
.ac dec 1k 1G 100
.backanno
.end

```

8.3. Макромодель ОУ и ее netlist

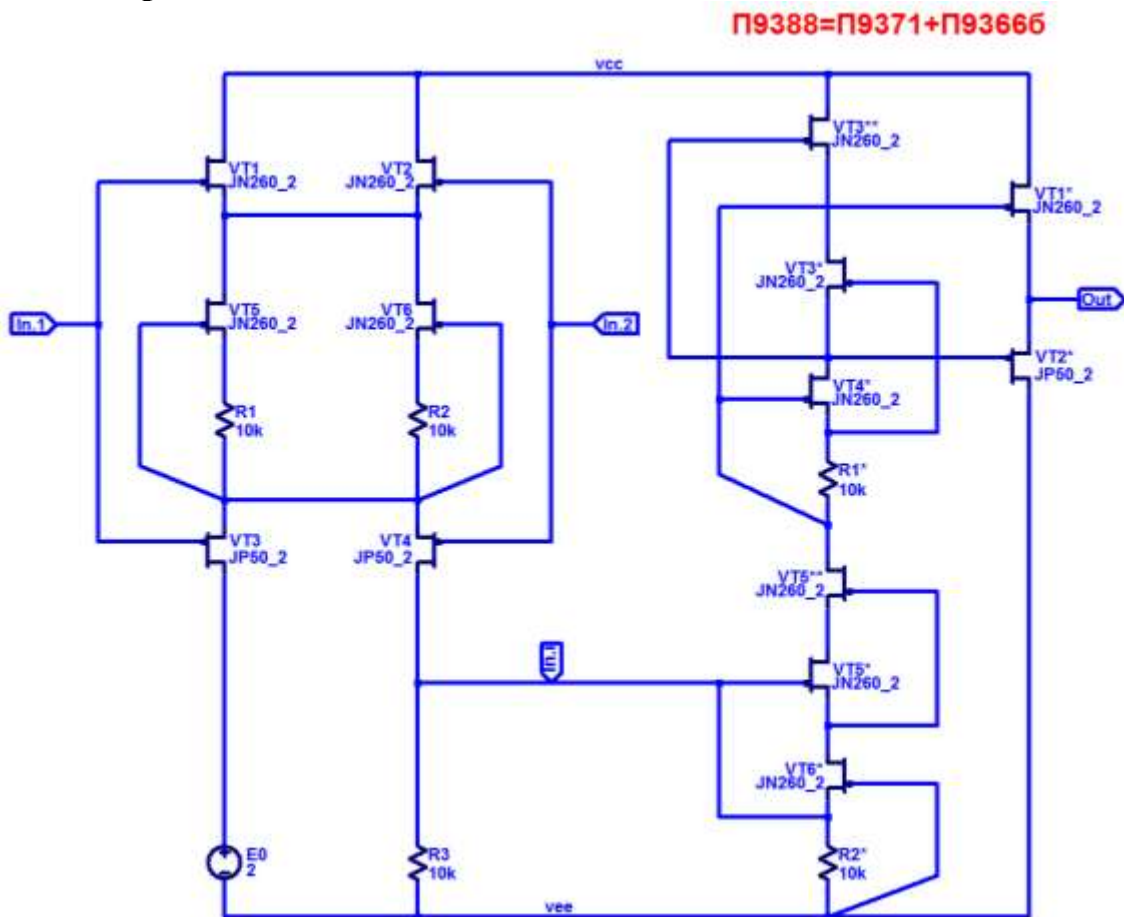


Рис. 7. Подсхема JFet ОУ рис. 9

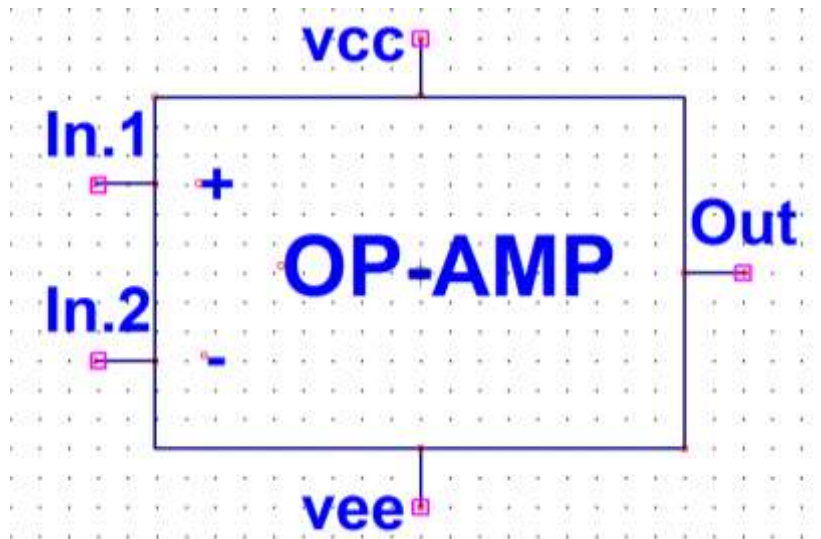


Рис. 8. Символ макромодели JFet ОУ рис. 9

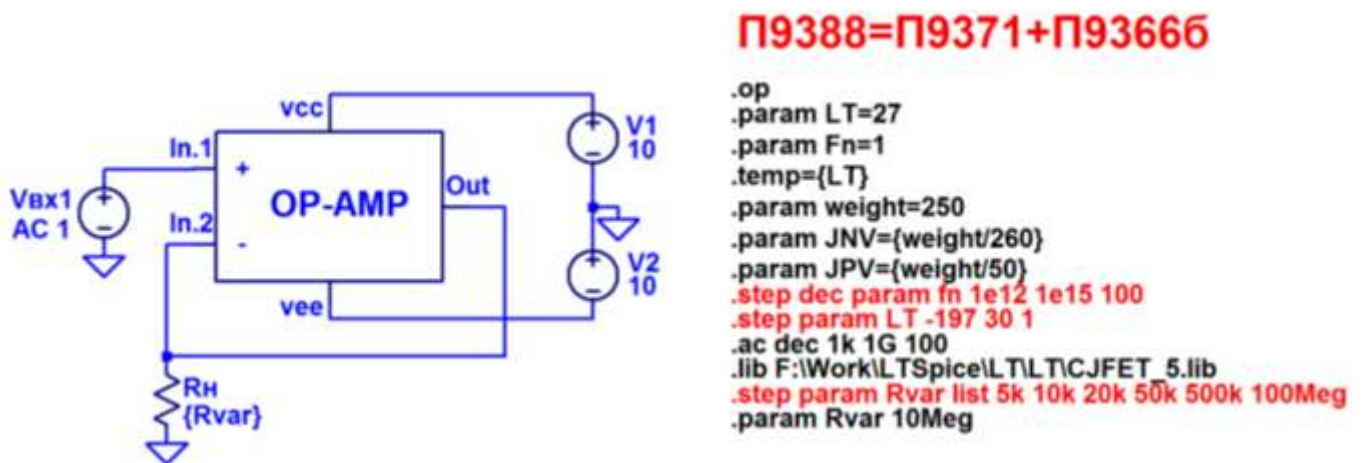


Рис. 9. Макромодель к схеме JFet ОУ рис. 1

Netlist макромодели Рис. 9

```

* F:\Work\LTSpice\LT\scheme391.asc
V1 vcc 0 10
V2 0 vee 10
J$VT1 vcc In.1 N003 JN260_2
J$VT3 N011 In.1 N006 JP50_2
Rn Out 0 {Rvar}
J$VT2 vcc Out N003 JN260_2
J$VT5 N003 N006 N007 JN260_2
J$VT6 N003 N006 N008 JN260_2
R1 N007 N006 10k
R2 N008 N006 10k
J$VT4 In.i Out N006 JP50_2
V$E0 N011 vee 2
R3 In.i vee 10k
J$VT3* N004 N005 N001 JN260_2
R1* N005 N002 10k

```

```

J§VT5* N010 In.i N009 JN260_2
J§VT6* N009 vee In.i JN260_2
R2* In.i vee 10k
J§VT1* vcc N002 Out JN260_2
J§VT2* vee N001 Out JP50_2
J§VT4* N001 N002 N005 JN260_2
VBx1 In.1 0 AC 1
J§VT3** vcc N001 N004 JN260_2
J§VT5** N002 N009 N010 JN260_2
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
.param LT=27
.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.step param LT list -197 27
* .step param fn list 1e12 1e15
* .step param Rvar list 5k 10k 20k 50k 500k 100Meg
.param Rvar 10Meg
.ac dec 1k 1G 100
.backanno
.end

```

8.4. Выводы

Результаты моделирования рис. 9 полностью совпадают с результатами моделирования схемы рис. 1. Таким образом, макромодель рис. 9 – работоспособна.

9. Операционный усилитель с CJFET входным каскадом и дифференцирующими цепями коррекции: модификация ОУ-№9

9.1. Входной дифференциальный каскад и быстродействующий ОУ на его основе

Входной каскад рис. 1 ОУ включает дифференцирующие цепи коррекции C1 и C2, которые обеспечивают форсирование выходных токов ДК при импульсных изменениях входного дифференциального напряжения.

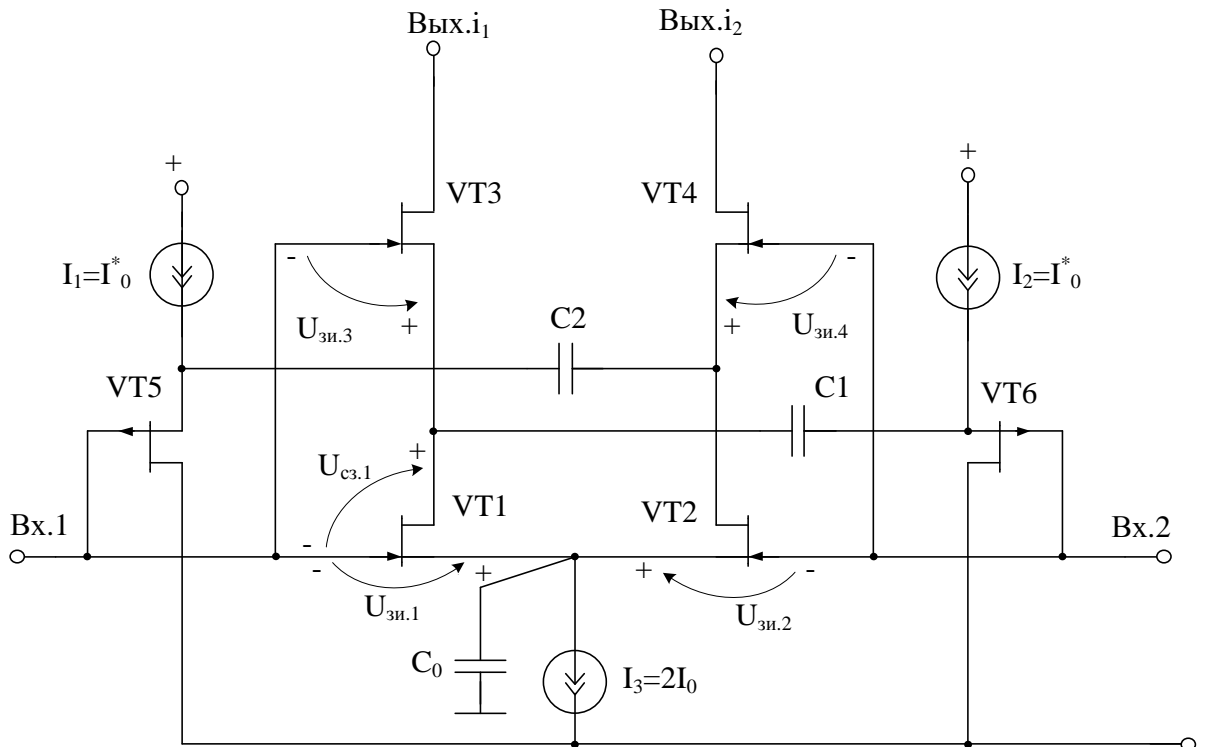


Рис. 1. Структура входного CJFet ДК

9.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_3.



Рис. 2. Графическое изображение моделей CJFet с p-канальными (а) и n-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

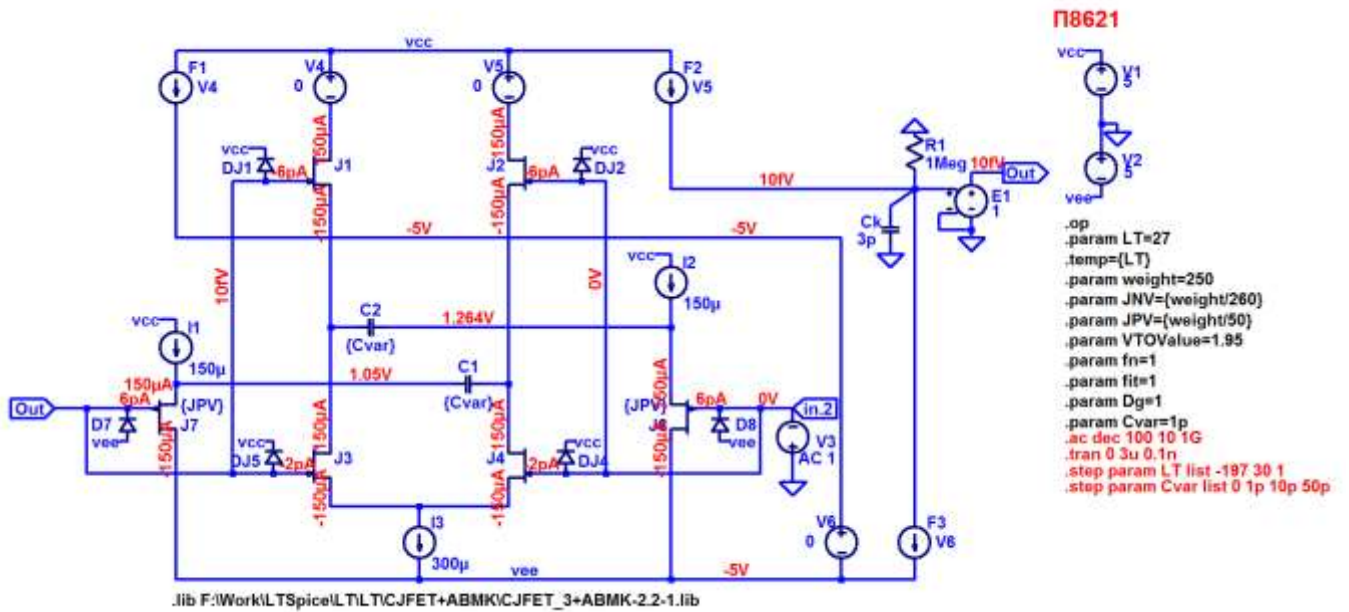
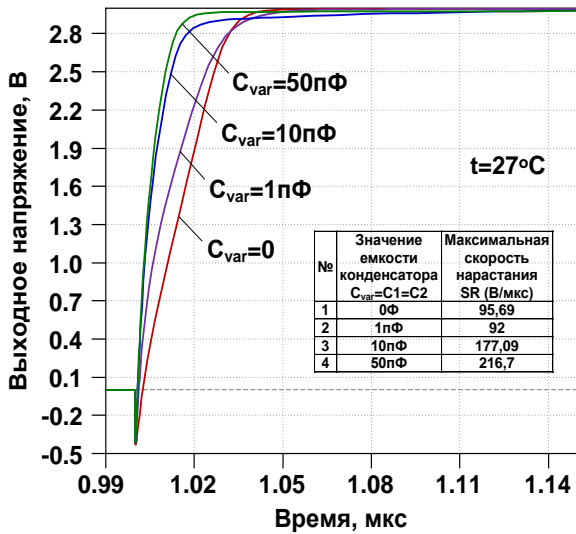
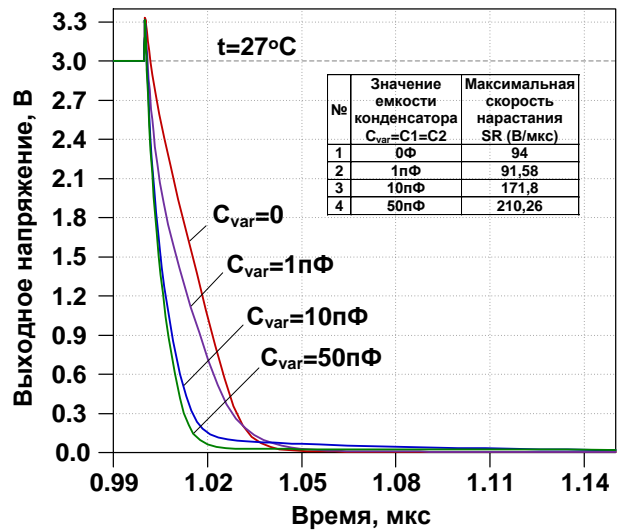


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpice на моделях CJFet_3

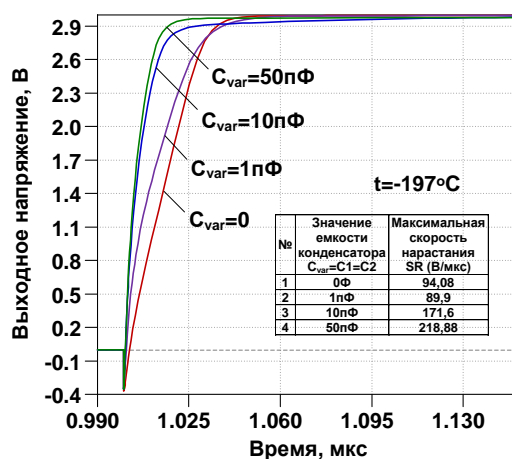
Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4.



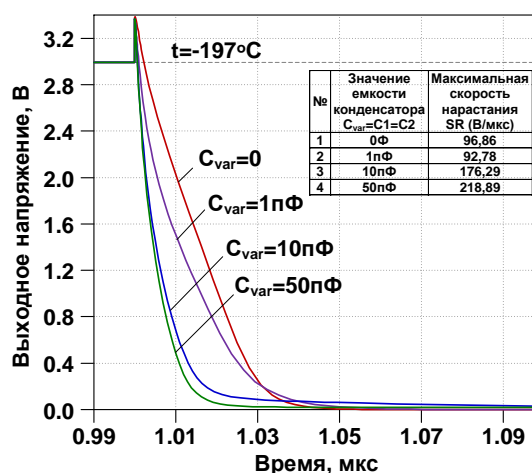
(а)



(б)



(B)



(Г)

Рис. 4. Переходный процесс схемы рис. 3 при:
 а) $t=27^{\circ}\text{C}$ переднего фронта; б) $t=27^{\circ}\text{C}$ заднего фронта;
 в) $t=-197^{\circ}\text{C}$ переднего фронта; г) $t=-197^{\circ}\text{C}$ заднего фронта

Формула для расчета максимальной скорости нарастания выходного напряжений ОУ:

$$\vartheta_{\text{ВЫХ.}} = \frac{0.9 \cdot U_{\text{ВЫХ.маx}} - 0.1 \cdot U_{\text{ВЫХ.маx}}}{\Delta t_{\text{уст.}}}$$

где t_0, t_1 – время при амплитуде сигнала $0.9 \cdot U_{\text{ВЫХ.маx}}$ и $0.1 \cdot U_{\text{ВЫХ.маx}}$ соответственно; $\Delta t_{\text{уст.}} = t_0 - t_1$.

Таблица 1 – Взаимосвязь значений емкости конденсатора $C_{\text{var}}=C1=C2$ и максимальной скорости нарастания SR при комнатной температуре $t=27^{\circ}\text{C}$

№	Значение емкости конденсатора C _{var} =C1=C2	Максимальная скорость нарастания SR (В/мкс) – передний фронт	Максимальная скорость нарастания SR (В/мкс) – задний фронт
1	0Ф	94,08	96,86
2	1пФ	89,9	92,78
3	10пФ	171,6	176,29
4	50пФ	218,88	218,89

Таблица 2 – Взаимосвязь значений емкости конденсатора $C_{\text{var}}=C1=C2$ и максимальной скорости нарастания SR при комнатной температуре $t=-197^{\circ}\text{C}$

№	Значение емкости конденсатора C _{var} =C1=C2	Максимальная скорость нарастания SR (В/мкс) – передний фронт	Максимальная скорость нарастания SR (В/мкс) – задний фронт
1	0Ф	95,69	94
2	1пФ	92	91,58
3	10пФ	177,09	171,8
4	50пФ	216,7	210,26

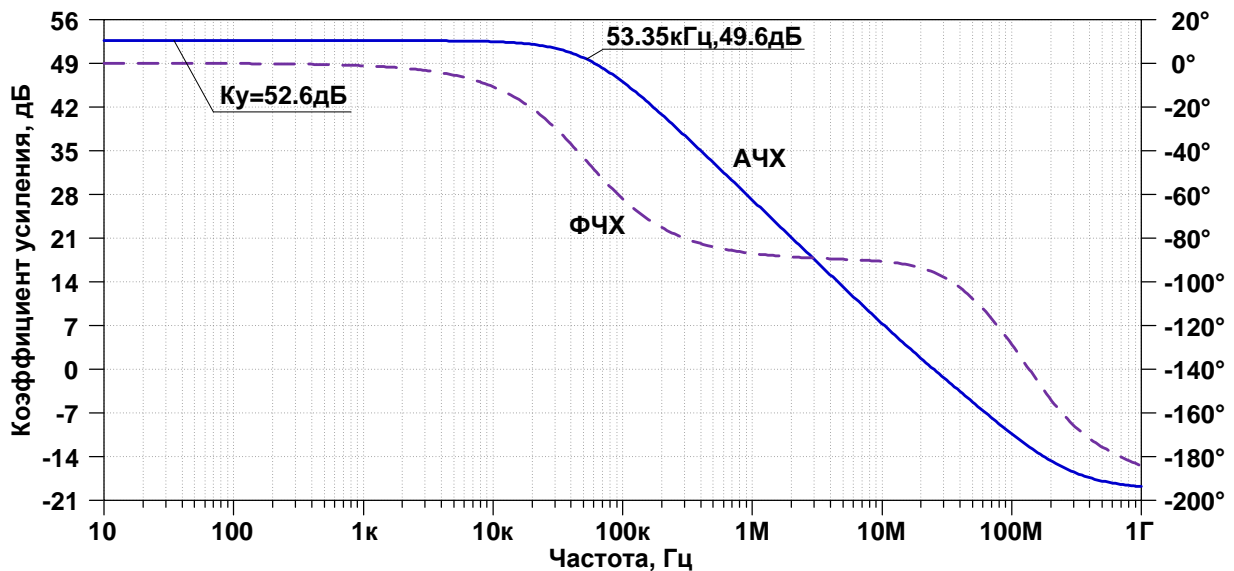


Рис. 5. Амплитудно-частотная и фазово-частотная характеристики рис. 3

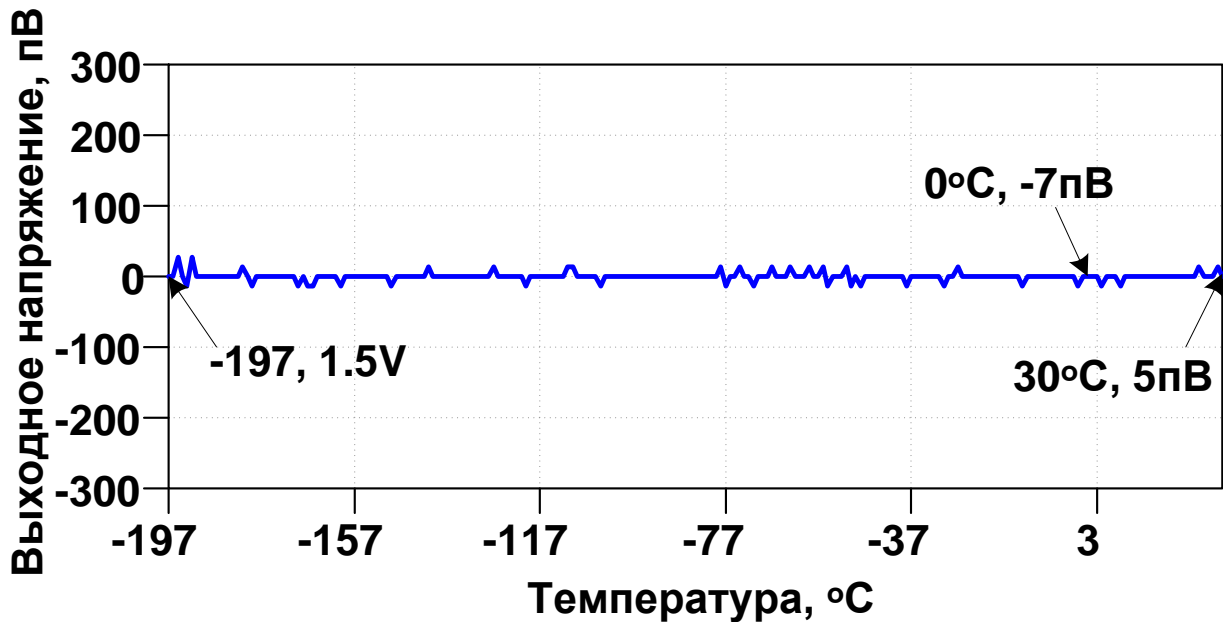


Рис. 6. Температурная характеристика схемы рис. 3

Netlist ОУ Рис. 3

```
* F:\Work\LTSpice\LT\scheme373.asc
V1 vcc 0 5
V2 0 vee 5
J1 N001 Out N005 JN260_2 {JNV}
DJ1 Out vcc DJN260_2 {JNV}
J2 N002 in1 N008 JN260_2 {JNV}
DJ2 in1 vcc DJN260_2 {JNV}
J7 vee Out N007 JP50_2
D7 vee Out DJP50_2 {JPV}
J8 vee in1 N006 JP50_2
D8 vee in1 DJP50_2 {JPV}
J4 N008 in1 N009 JN260_2 {JNV}
DJ4 in1 vcc DJN260_2 {JNV}
J3 N005 Out N009 JN260_2 {JNV}
```

```

DJ5 Out vcc DJN260_2 {JNV}
V4 vcc N001 0
F1 vcc N004 V4 1
E1 Out 0 N003 0 1
Ck N003 0 3p
C1 N008 N007 {Cvar}
C2 N006 N005 {Cvar}
I3 N009 vee 300μ
V6 N004 vee 0
F3 N003 vee V6 1
V5 vcc N002 0
F2 vcc N003 V5 1
I1 vcc N007 150μ
I2 vcc N006 150μ
R1 0 N003 1Meg
V3 in1 0 PULSE(0 3 1u 1f 1f 2u 4u 10) AC 0
.model D D
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib F:\Work\LTSpice\LT\LT\CJFET+ABMK\CJFET_3+ABMK-2.2-1.lib
* Π8621
.param LT=27
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param VTOValue=1.95
.param fn=1
.param fit=1
.param Dg=1
.param Cvar=1p
.op
* .step param LT -197 30 1
* .dc V3 -5 5 0.0001
* .step param Cvar list 0 1p 10p 50p
* .ac dec 100 10 1G
* .tran 0 3u 0.1n
.backanno
.end

```

9.3. Макромодель ОУ и ее netlist

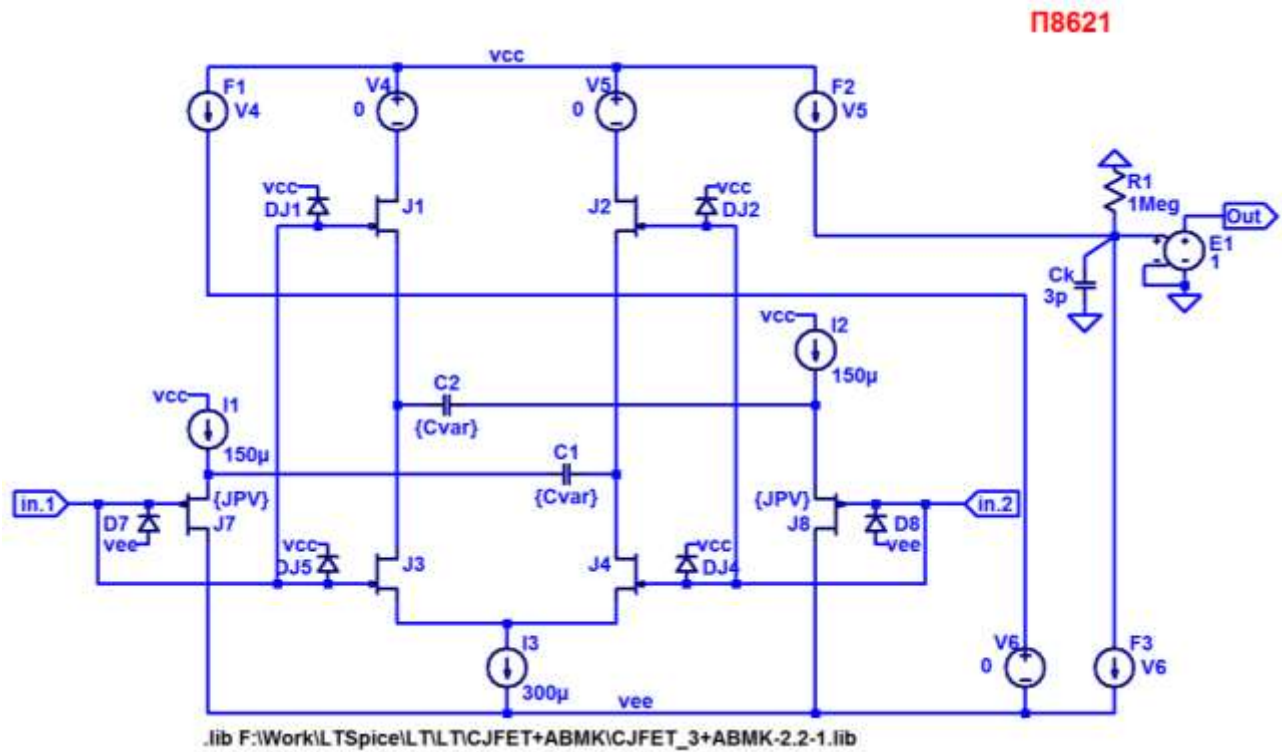


Рис. 7. Подсхема CJFet ОУ с дифференцирующими цепями коррекции

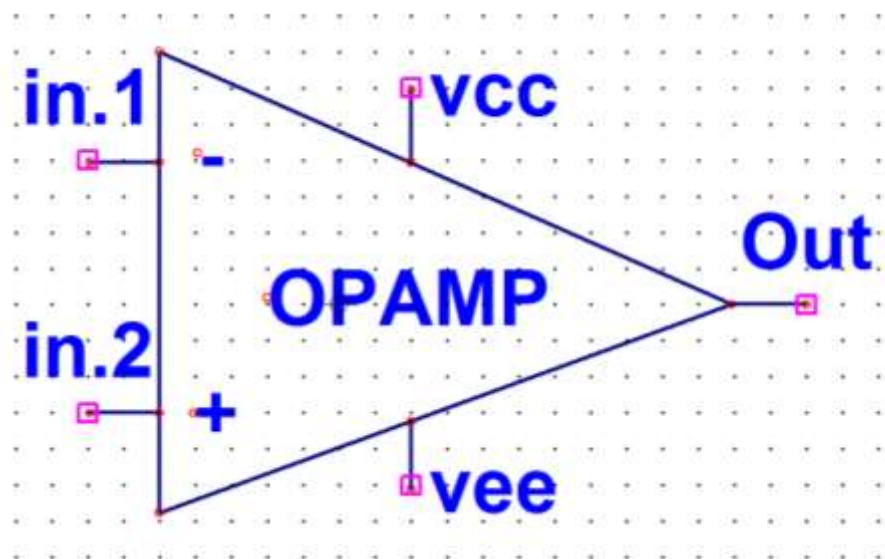
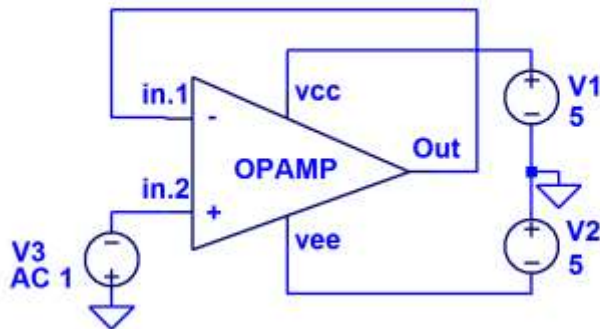


Рис. 8. Символ макромодели CJFet ОУ с дифференцирующими цепями коррекции



П8621

```
.op
.param LT=27
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param VTOValue=1.95
.param fn=1
.param fit=1
.param Dg=1
.param Cvar=1p
.ac dec 100 10 1G
.tran 0 3u 0.1n
.step param LT list -197 30 1
.step param Cvar list 0 1p 10p 50p
```

.lib F:\Work\LTSpice\LT\LT\CJFET+ABMK\CJFET_3+ABMK-2.2-1.lib

Рис. 9. Макромодель схемы CJFet ОУ с дифференцирующими цепями коррекции

Netlist макромодели Рис. 9

```
* F:\Work\LTSpice\LT\scheme373.asc
V1 vcc 0 5
V2 0 vee 5
J1 N001 Out N005 JN260_2 {JNV}
DJ1 Out vcc DJN260_2 {JNV}
J2 N002 in1 N008 JN260_2 {JNV}
DJ2 in1 vcc DJN260_2 {JNV}
J7 vee Out N007 JP50_2
D7 vee Out DJP50_2 {JPV}
J8 vee in1 N006 JP50_2
D8 vee in1 DJP50_2 {JPV}
J4 N008 in1 N009 JN260_2 {JNV}
DJ4 in1 vcc DJN260_2 {JNV}
J3 N005 Out N009 JN260_2 {JNV}
DJ5 Out vcc DJN260_2 {JNV}
V4 vcc N001 0
F1 vcc N004 V4 1
E1 Out 0 N003 0 1
Ck N003 0 3p
C1 N008 N007 {Cvar}
C2 N006 N005 {Cvar}
I3 N009 vee 300µ
V6 N004 vee 0
F3 N003 vee V6 1
V5 vcc N002 0
F2 vcc N003 V5 1
I1 vcc N007 150µ
I2 vcc N006 150µ
R1 0 N003 1Meg
V3 in1 0 PULSE(0 3 1u 1f 1f 2u 4u 10) AC 0
.model D D
.lib C:\Users\Anna\Documents\LTSpiceXVII\lib\cmp\standard.dio
```

```
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib F:\Work\LTSpice\LT\LT\CJFET+ABMK\CJFET_3+ABMK-2.2-1.lib
* П8621
.param LT=27
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param VTOValue=1.95
.param fn=1
.param fit=1
.param Dg=1
.param Cvar=1p
.op
* .step param LT -197 30 1
* .dc V3 -5 5 0.0001
* .step param Cvar list 0 1p 10p 50p
* .ac dec 100 10 1G
* .tran 0 3u 0.1n
.backanno
.end
```

9.4. Выводы

Результаты моделирования рис. 9 полностью совпадают с результатами моделирования схемы рис. 1. Таким образом, макромодель рис. 9 – работоспособна.

10. CJFet операционный усилитель с каскодным промежуточным каскадом: модификация ОУ- №10

10.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

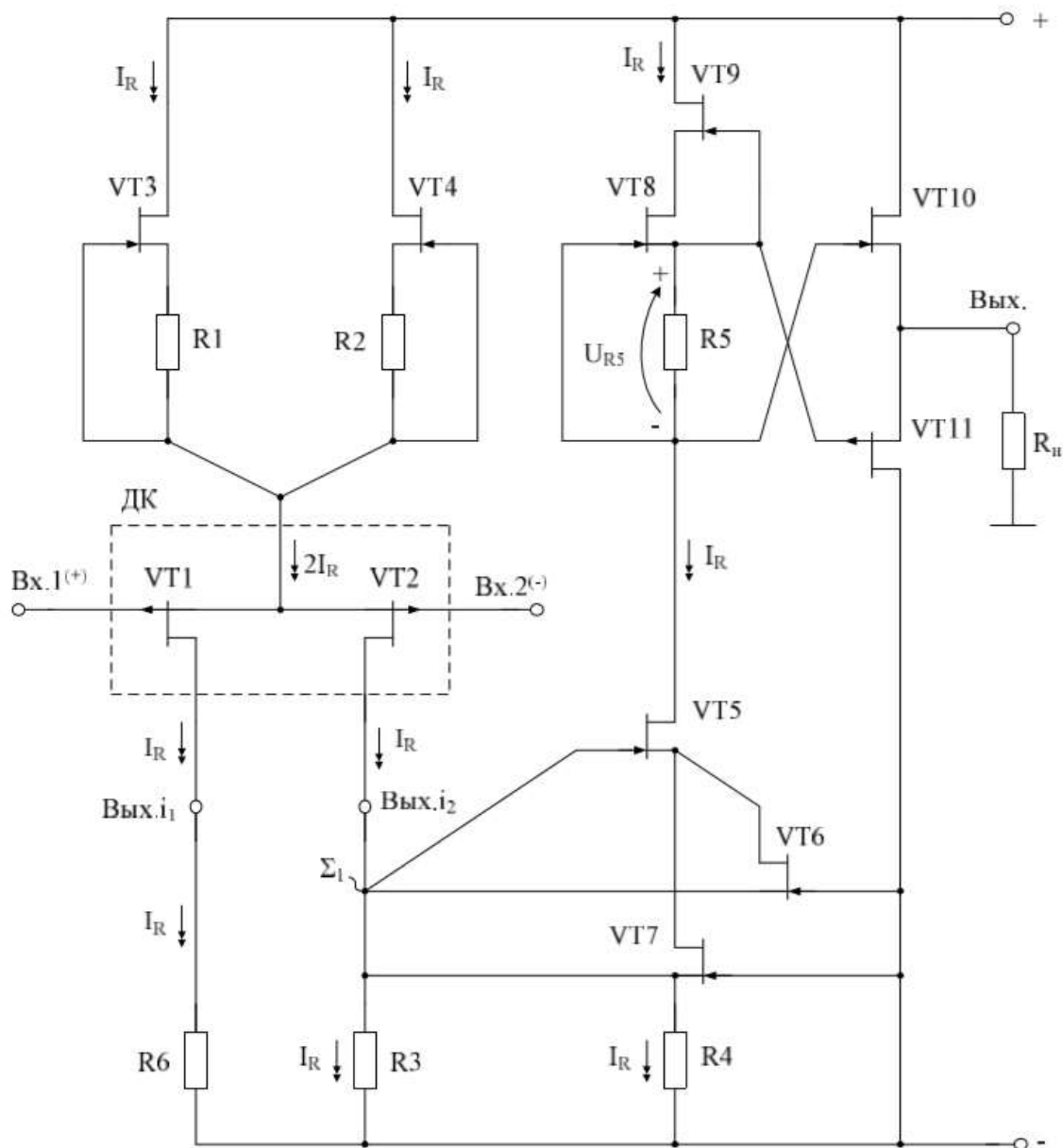


Рис. 1. Функциональная схема ОУ

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис. 1 включает:

- Входной дифференциальный каскад (VT1-VT2) с цепями стабилизации статического режима (VT3-VT4),
- Выходной промежуточный каскад (VT5-VT9),
- Бufferный усилитель (VT10-VT11).

10.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_15_04_20.



Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и n-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

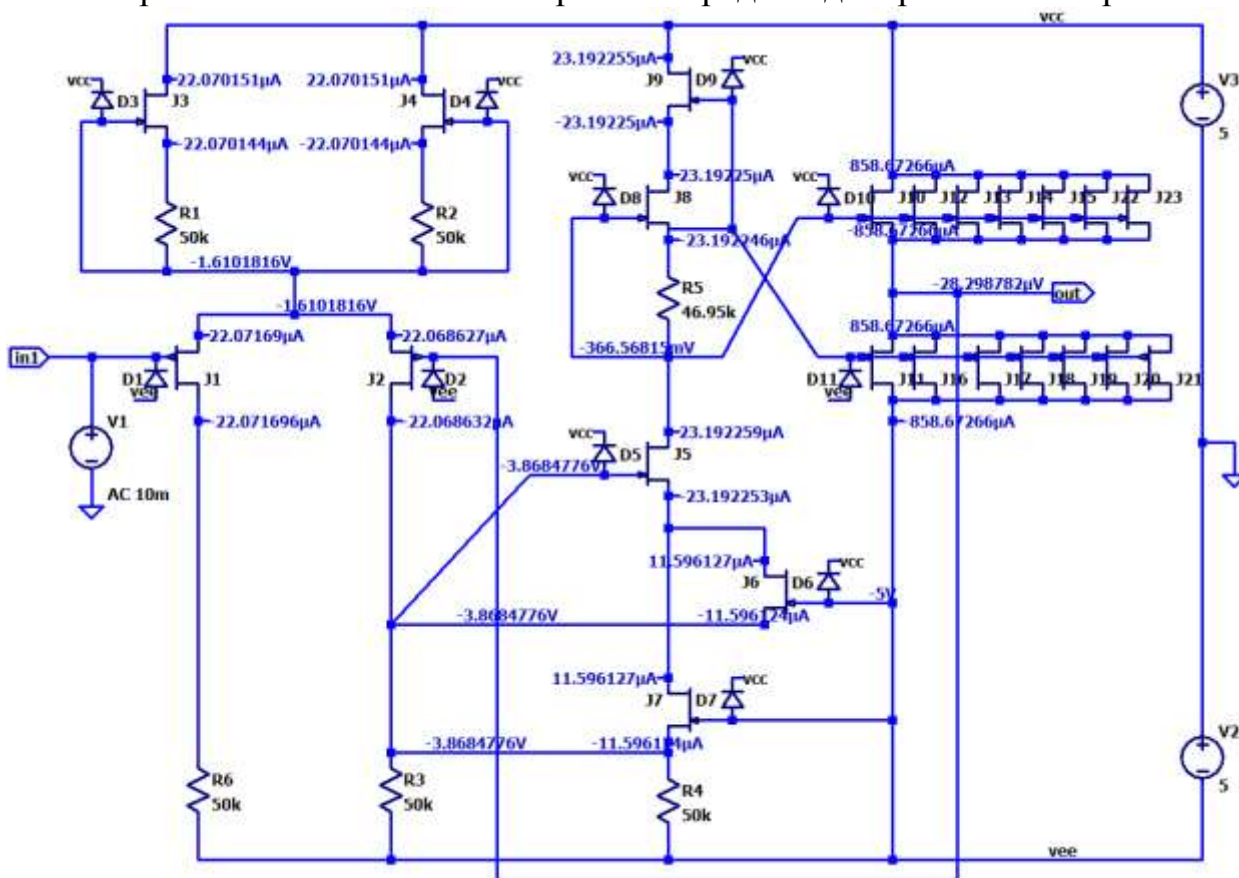


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpice на моделях CJFet_15_04_20

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4.

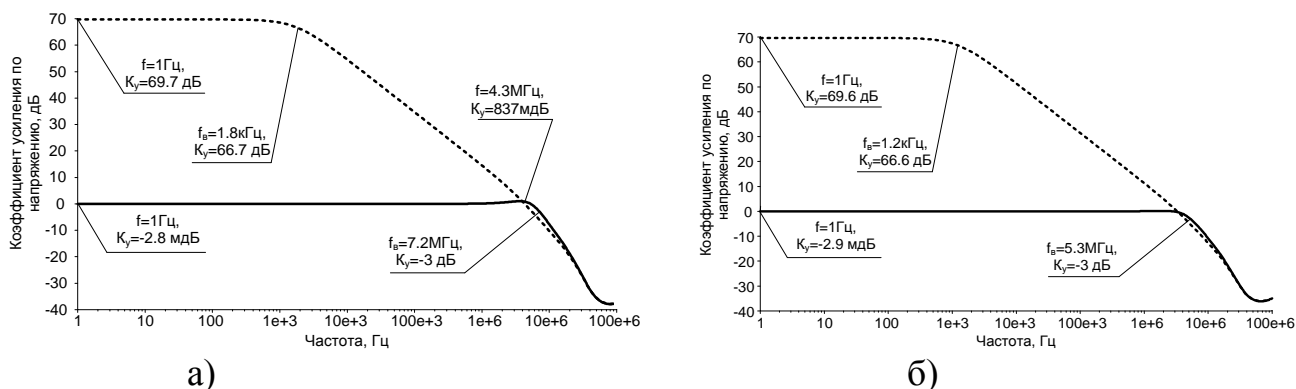


Рис. 4. ЛАЧХ усилителя со 100% ООС и без ООС при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$.

Netlist ОУ Рис. 3

```
* Scheme_218\8943.asc
V3 vcc 0 5 Rser=0.00001
J3 vcc N002 N004 JN260_2 {JNV}
D3 N002 vcc DJN260_2 {JNV}
J4 vcc N002 N005 JN260_2 {JNV}
D4 N002 vcc DJN260_2 {JNV}
R1 N004 N002 50k
R2 N005 N002 50k
J1 N007 in1 N002 JP50_2 {JPV}
D1 vee in1 DJP50_2 {JPV}
J2 N008 out N002 JP50_2 {JPV}
D2 vee out DJP50_2 {JPV}
R6 N007 vee 50k
R3 N008 vee 50k
J5 N006 N008 N009 JN260_2 {JNV}
D5 N008 vcc DJN260_2 {JNV}
J6 N009 vee N008 JN260_2 {JNV}
D6 vee vcc DJN260_2 {JNV}
J7 N009 vee N008 JN260_2 {JNV}
D7 vee vcc DJN260_2 {JNV}
R4 N008 vee 50k
J9 vcc N001 N003 JN260_2 {JNV}
D9 N001 vcc DJN260_2 {JNV}
J8 N003 N006 N001 JN260_2 {JNV}
D8 N006 vcc DJN260_2 {JNV}
R5 N001 N006 46.95k
J10 vcc N006 out JN260_2 {JNV}
D10 N006 vcc DJN260_2 {JNV}
J11 vee N001 out JP50_2 {JPV}
D11 vee N001 DJP50_2 {JPV}
V2 0 vee 5 Rser=0.00001
V1 in1 0 AC 10m Rser=0.00001
J12 vcc N006 out JN260_2 {JNV}
```

```

J13 vcc N006 out JN260_2 {JNV}
J14 vcc N006 out JN260_2 {JNV}
J15 vcc N006 out JN260_2 {JNV}
J16 vee N001 out JP50_2 {JPV}
J17 vee N001 out JP50_2 {JPV}
J18 vee N001 out JP50_2 {JPV}
J19 vee N001 out JP50_2 {JPV}
J20 vee N001 out JP50_2 {JPV}
J21 vee N001 out JP50_2 {JPV}
J22 vcc N006 out JN260_2 {JNV}
J23 vcc N006 out JN260_2 {JNV}
.model D D
.lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.jft
.op
.param LT=-197
.temp={LT}
.ac dec 100 1 100Meg
* .tran 0 1m 0 1u
* .step param LT -197 27 2
* .step param Dg 1 1Meg 300
* .step dec param fn 1e12 1e18 1e2
.param fn=1
.param Dg=1
.param rvar=1k
.lib C:\LT\CJFET_15_04_20.lib
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param I3=1u
* .step param rvar 46k 47k 100
* .step param I3 0.1u 5m 50u
.param fit=1
* .step param V1 0 5 10m
* .param R1=100k
* .param R2=100k
.backanno
.end

```

10.3. Макромодель ОУ и ее netlist

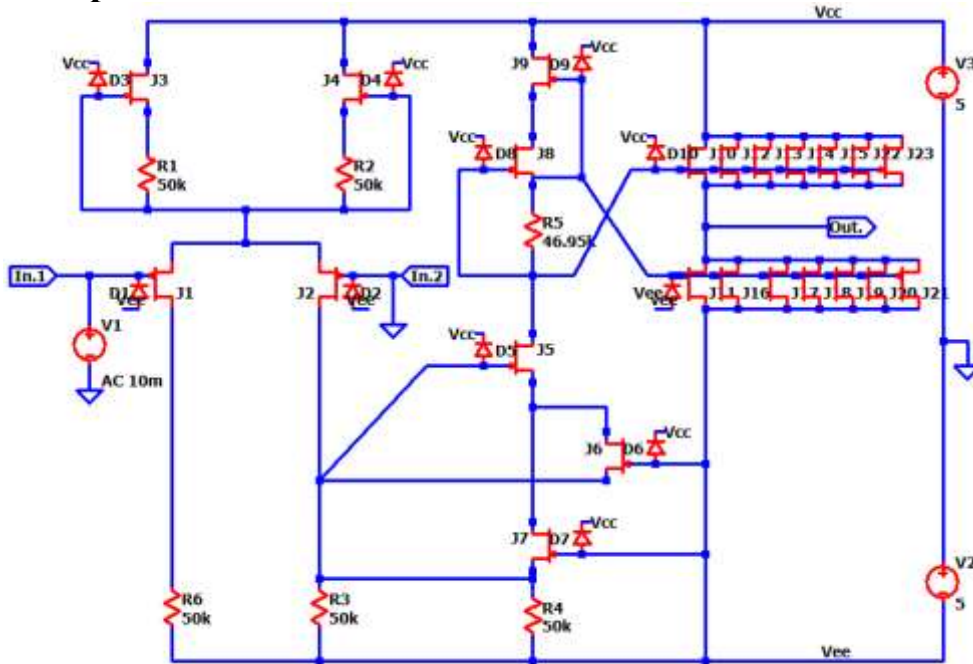


Рис. 5. Представление собранной подсхемы ОУ в среде LTspice

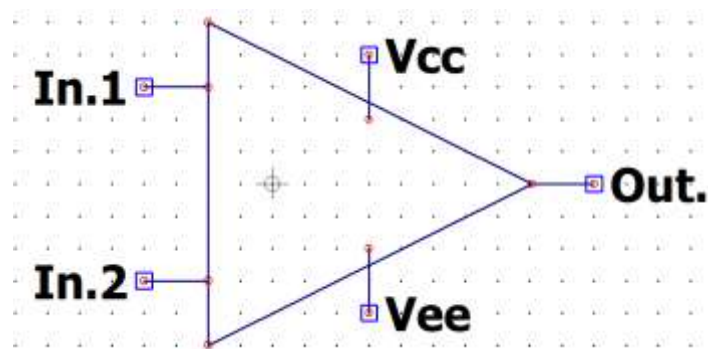


Рис. 6. Вид символа макромодели ОУ в среде LTspice

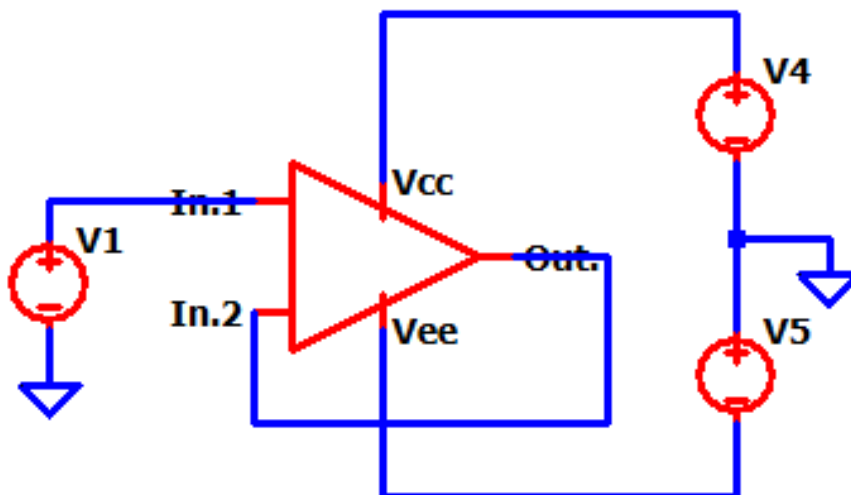


Рис. 7. Схема макромодели ОУ с «обвязкой» в среде LTspice
Netlist макромодели Рис. 8

```

* Scheme_217\8943.asc
V3 vcc 0 10 Rser=0.00001
J5 0 N009 N007 JP50_2 {JPV}
D5 vee N009 DJP50_2 {JPV}
V5 in1 0 2.5 AC 0
J4 out N001 N002 JN260_2 {JNV}
D4 N001 vcc DJN260_2 {JNV}
J1 vcc N002 out JN260_2 {JNV}
D1 N002 vcc DJN260_2 {JNV}
J2 N005 in1 N003 JP50_2 {JPV}
D2 vee in1 DJP50_2 {JPV}
J6 vcc N002 out JN260_2 {JNV}
J7 vcc N002 out JN260_2 {JNV}
J8 vcc N002 out JN260_2 {JNV}
J9 vcc N002 out JN260_2 {JNV}
J10 vcc N002 out JN260_2 {JNV}
J11 vcc N002 out JN260_2 {JNV}
J12 vcc N002 out JN260_2 {JNV}
J13 vcc N002 out JN260_2 {JNV}
J14 vcc N002 out JN260_2 {JNV}
V1 N008 0 2 Rser=0.00001
F1 N009 0 V1 1
R4 N002 N001 10k
R5 out N004 25k
R6 N004 0 25k
I1 vcc N003 200μ
V2 N001 N007 2.3 Rser=0.00001
J15 N008 N003 N005 JP50_2 {JPV}
D6 vee N003 DJP50_2 {JPV}
J3 N006 N004 N003 JP50_2 {JPV}
D3 vee N004 DJP50_2 {JPV}
J16 N009 N003 N006 JP50_2 {JPV}
D7 vee N003 DJP50_2 {JPV}
I2 out 0 {I3}
.model D D
.lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.jft
.op
.param LT=-197
.temp={LT}
* .ac dec 100 1 100Meg
* .tran 0 1m 0 1u
* .step param LT -197 27 2
* .step param Dg 1 1Meg 300
* .step dec param fn 1e12 1e18 1e2
.param fn=1
.param Dg=1
.param R1=1k
.lib C:\LT\CJFET_5.lib

```

```
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param I3=1u
* .step param R1 1k 15k 0.2k
.step param I3 0.1u 5m 50u
.param fit=1
* .step param V1 0 5 10m
* .param R1=100k
* .param R2=100k
.backanno
.end
```

10.4. Выводы

Полученные результаты исследования ЛАЧХ макромодели рис. 7 совпадают с ранее выполненными результатами моделирования схемы рис. 3. Таким образом, макромодель рис. 7 – работоспособна.

11. CJFet операционный усилитель с повышенным коэффициентом усиления: модификация ОУ- №11

11.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

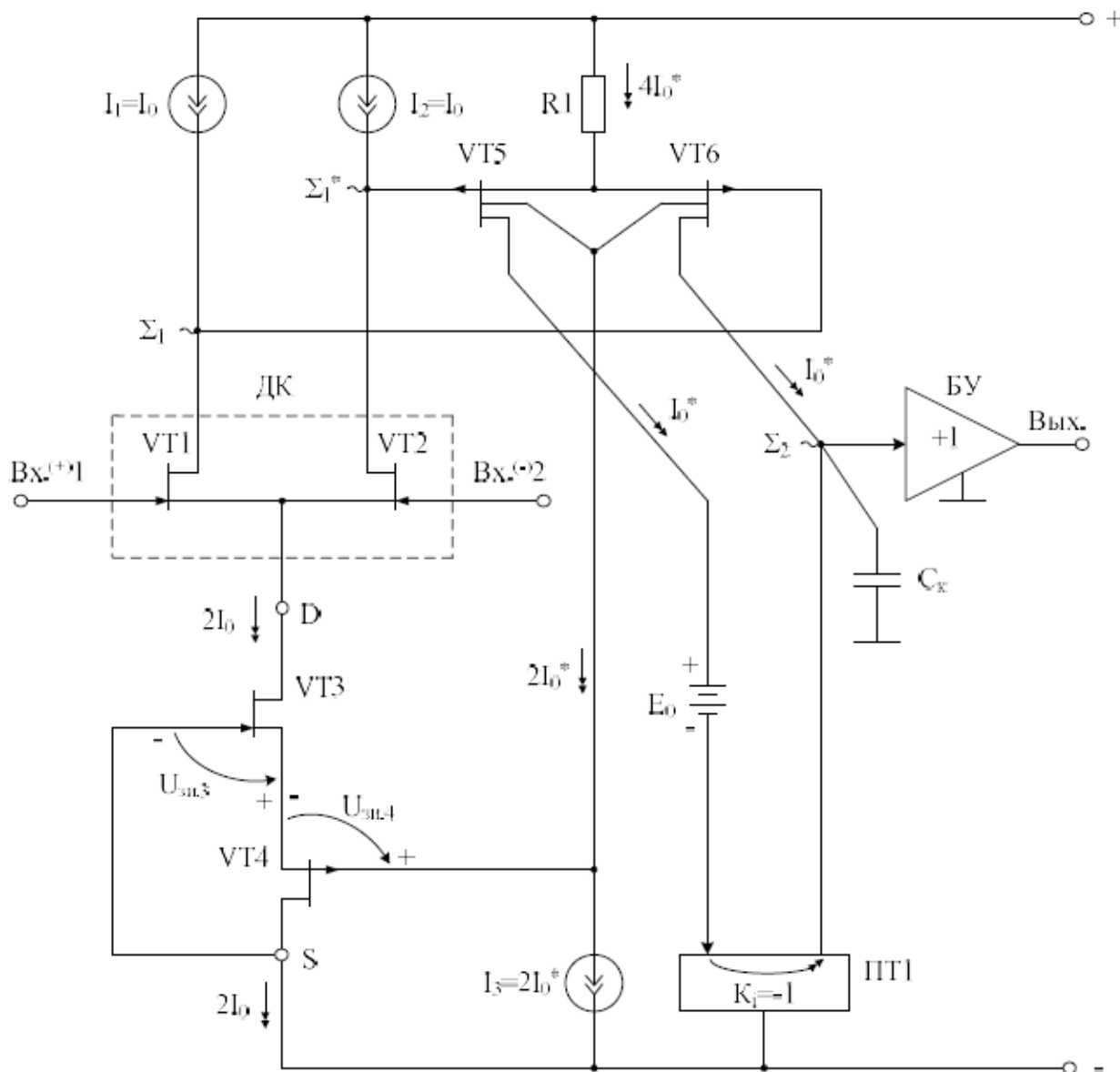


Рис. 1. Функциональная схема ОУ

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- Входной дифференциальный каскад (VT1, VT2, I1, I2);
- Промежуточный каскад (VT5, VT6, R1);
- Интегрирующую цепь коррекции C_k ;
- E_0 – минимизирует смещение нуля;
- ПТ1 – токовое зеркало;
- Выходной каскад – буферный усилитель (БУ).

Интегрирующая емкость коррекции C_k обеспечивает заданный запас устойчивости ОУ по фазе. Статический режим ОУ рис. 1 устанавливается источниками тока I1, I2, I3, а так же резистором R1. Источники тока I1, I2 и I3 могут изменяться в широких пределах (единицы микроампер – единицы миллиампер).

Цепь смещения потенциалов E_0 обеспечивает уменьшение напряжения смещения нуля ОУ за счет симметрирования статического режима по напряжению затвор–сток транзисторов VT5, VT6. Численное значение E_0 , как правило, близко к напряжению питания. В качестве E_0 могут применяться цепочки из р-п переходов, стабилитроны, а также специальные двухполюсники с низким дифференциальным сопротивлением. Во многих случаях применение E_0 не обязательно.

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная структура ОУ в рамках CJFet технологического процесса, на которой можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой выходного каскада (БУ), статическим режимом VT1-VT6, и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

11.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.



Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и n-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

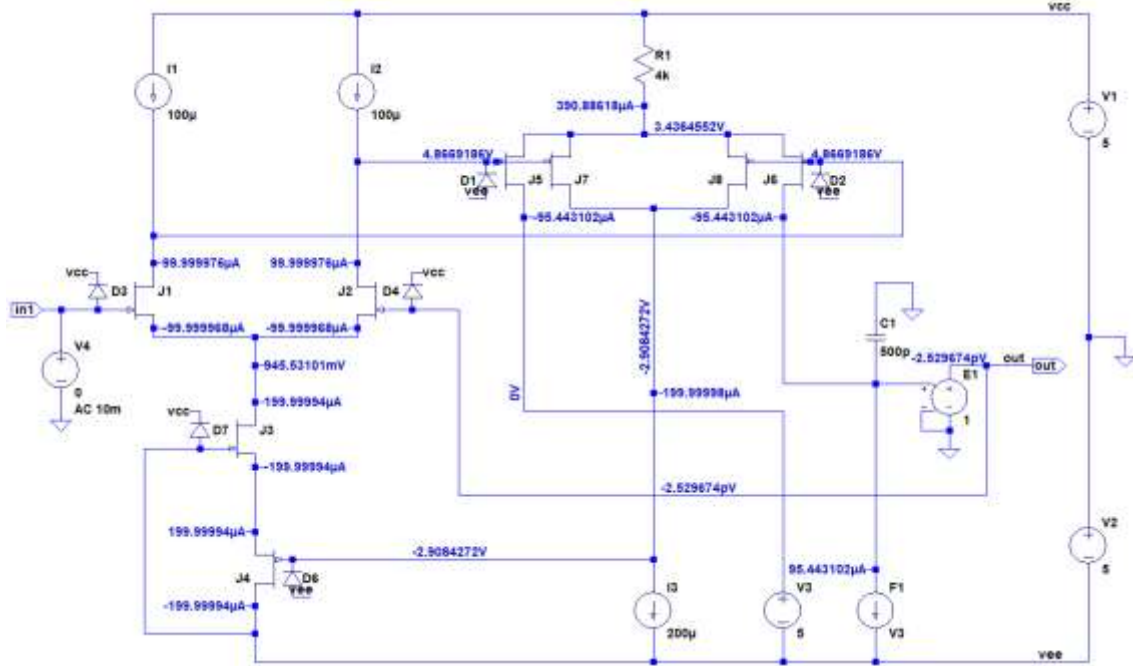


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpice на моделях CJFet_5

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4, рис. 5.

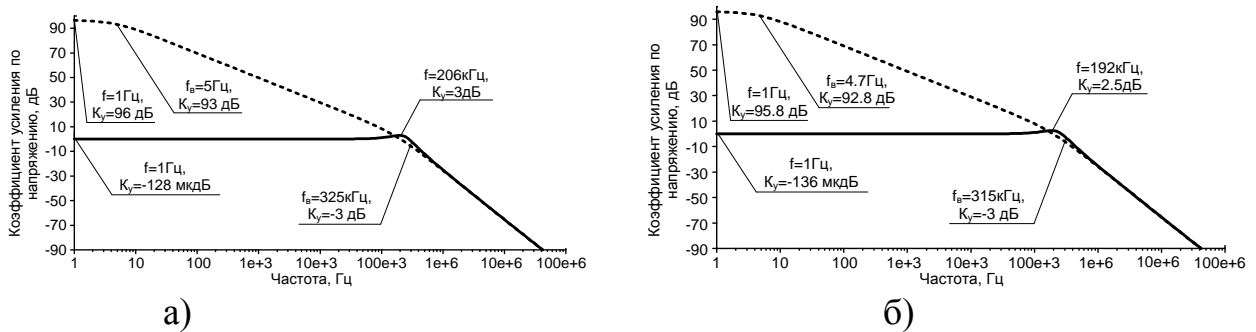


Рис. 4. АЧХ операционного усилителя без обратной связи и со 100% ООС при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$.

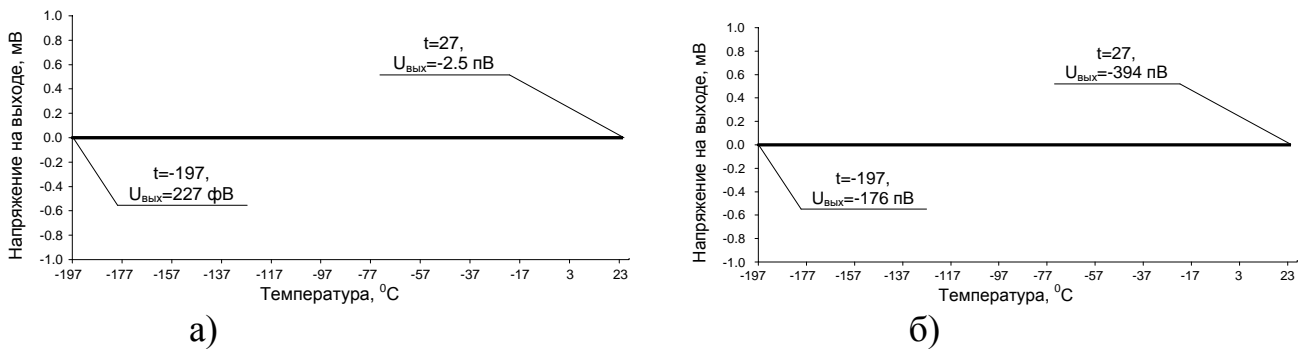


Рис. 5. Зависимость выходного напряжения ОУ от температуры при (а) со 100% ООС, (б) без ООС

Netlist ОУ Рис. 3

```
* D:\simulation\LTSpice\Scheme_209(8978)\8943.asc
V1 vcc 0 5 Rser=0.00001
V2 0 vee 5
J4 vee N004 N008 JP50_2 {JPV}
D6 vee N004 DJP50_2 {JPV}
J3 N007 vee N008 JN260_2 {JNV}
D7 vee vcc DJN260_2 {JNV}
J2 N002 out N007 JN260_2 {JNV}
D4 out vcc DJN260_2 {JNV}
J1 N003 in1 N007 JN260_2 {JNV}
D3 in1 vcc DJN260_2 {JNV}
J5 N005 N002 N001 JP50_2 {JPV}
D1 vee N002 DJP50_2 {JPV}
J6 N006 N003 N001 JP50_2 {JPV}
D2 vee N003 DJP50_2 {JPV}
R1 vcc N001 4k
I3 N004 vee 200μ
V3 N005 vee 5
E1 out 0 N006 0 1
F1 N006 vee V3 1
V4 in1 0 0 AC 10m
C1 0 N006 6n
J7 N004 N002 N001 JP50_2 {JPV}
J8 N004 N003 N001 JP50_2 {JPV}
I1 vcc N003 200μ
I2 vcc N002 200μ
.model D D
.lib C:\Users\Elija\OneDrive\Documents\LTSpiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\Elija\OneDrive\Documents\LTSpiceXVII\lib\cmp\standard.jft
.op
.param LT=27
.temp={LT}
* .ac dec 100 1 100Meg
* .tran 0 1m 0 1u
* .step param LT -197 27 2
* .step param Dg 1 1Meg 300
* .step dec param fn 1e12 1e18 1e2
.param fn=1
.param Dg=1
.param VS=0
.lib C:\LT\CJFET_5.lib
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param I1=1u
* .step param VS -5 5 0.1
* .step param R1 10k 20k 30k
.param fit=1
```

```

* .step param V1 0 5 10m
* .param R1=100k
* .param R2=100k
.backanno
.end

```

11.3. Макромодель ОУ и ее netlist

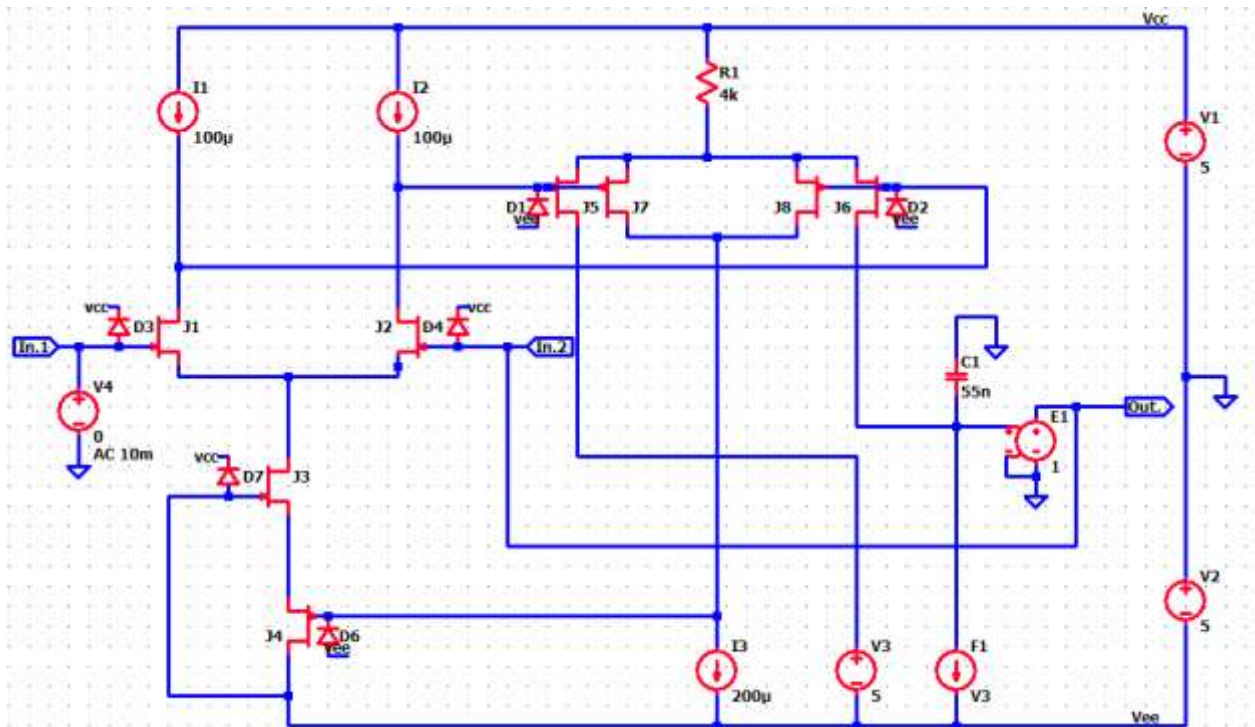


Рис. 6. Представление собранной подсхемы ОУ в среде LTspice

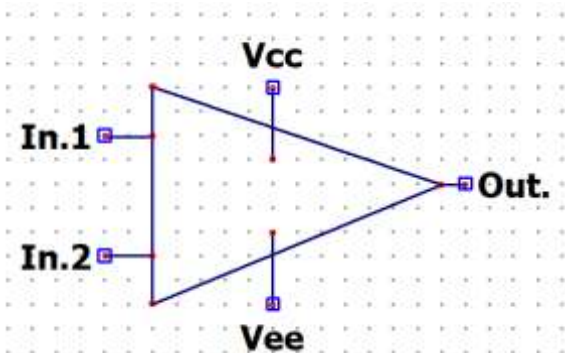


Рис. 7. Вид символа макромодели ОУ в среде LTspice

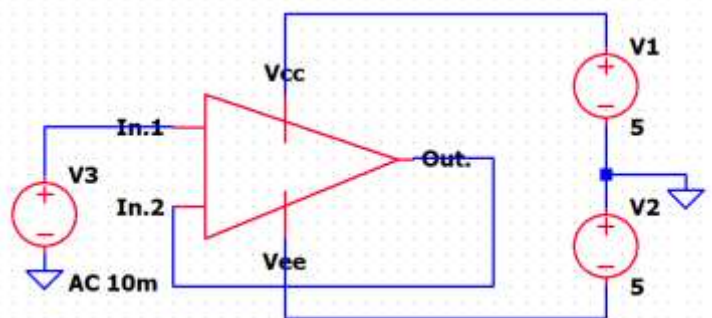


Рис. 8. Схема макромодели ОУ с «обвязкой» в среде LTspice

11.4. Выводы

Полученные результаты исследования АЧХ макромодели рис. 8 совпадают с ранее выполненными результатами моделирования схемы рис. 3. Таким образом, макромодель рис. 8 – работоспособна.

12. CJFet операционный усилитель с отрицательной обратной связью по синфазному сигналу: модификация ОУ- №12

12.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

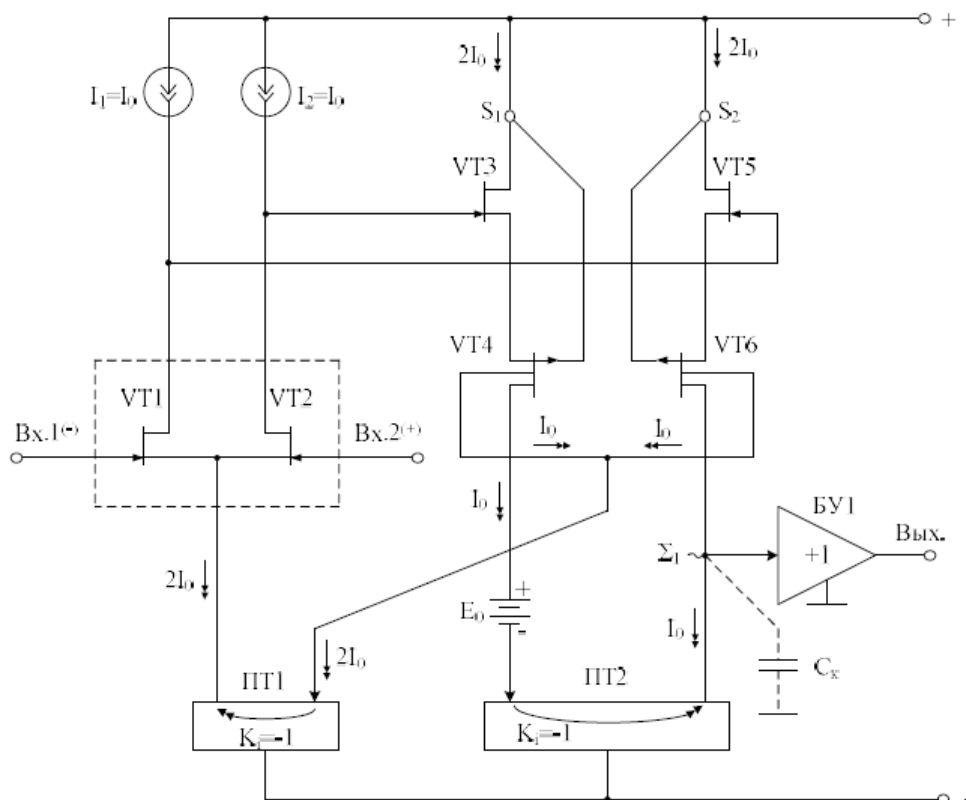


Рис. 1. Функциональная схема ОУ

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- Входной дифференциальный каскад (VT1, VT2, I1, I2);
- Промежуточный каскад (VT4, VT6);
- Интегрирующую цепь коррекции C_k ;
- E_0 – минимизирует смещение нуля;
- ПТ1 – токовое зеркало;
- ПТ2 – токовое зеркало;
- Выходной каскад – буферный усилитель (БУ)

Интегрирующая емкость коррекции C_k обеспечивает заданный запас устойчивости ОУ по фазе. Статический режим ОУ рис. 1 устанавливается источниками тока I_1 , I_2 . Источники тока I_1 , I_2 могут изменяться в широких пределах (единицы микроампер – единицы миллиампер).

Цепь смещения потенциалов E_0 обеспечивает уменьшение напряжения смещения нуля ОУ за счет симметрирования статического режима по напряжению затвор–сток транзисторов VT4, VT6. Численное значение E_0 , как правило, близко к напряжению питания. В качестве E_0 могут применяться цепочки из р-п переходов, стабилитроны, а также специальные двухполюсники с низким дифференциальным сопротивлением. Во многих случаях применение E_0 не обязательно.

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная структура ОУ в рамках CJFet технологического процесса, на которой можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой выходного каскада (БУ), статическим режимом VT1-VT6, и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

12.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.



Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и n-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

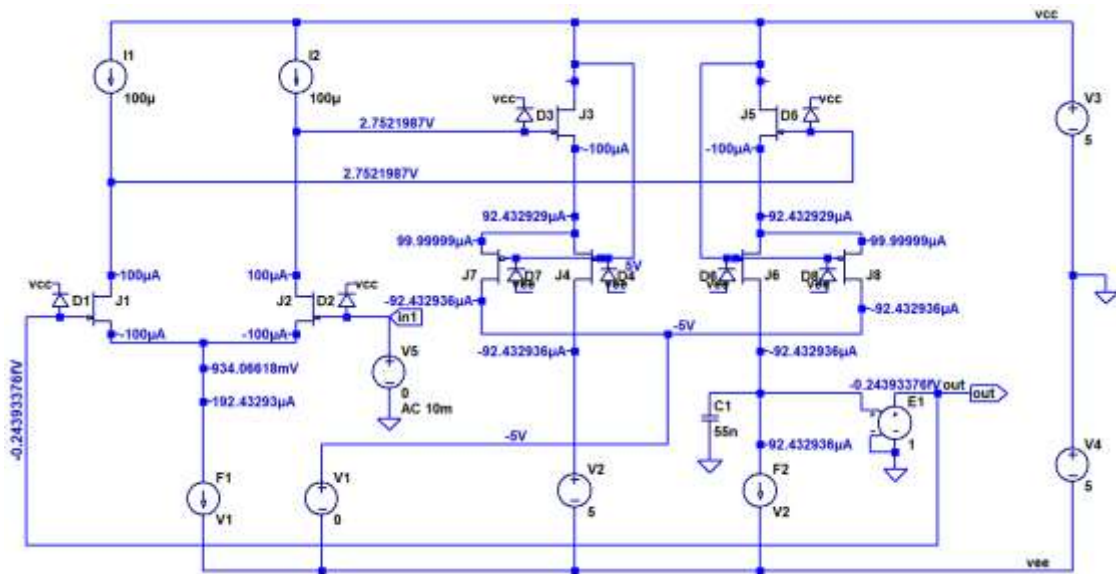


Рис. 3. Функциональная схема ОУ рис. 1 в среде LTSpice на моделях CJFet_5

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4, рис. 5.

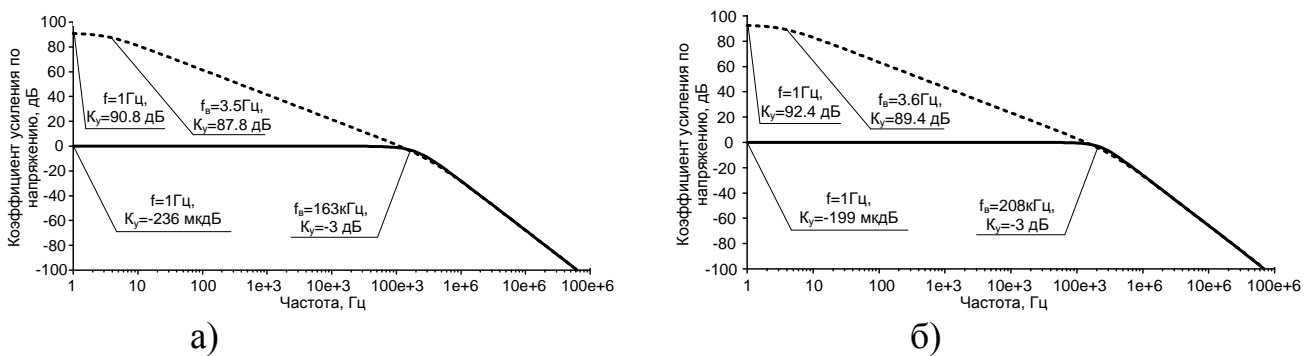


Рис. 4. АЧХ операционного усилителя без обратной связи и со 100% ООС при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$

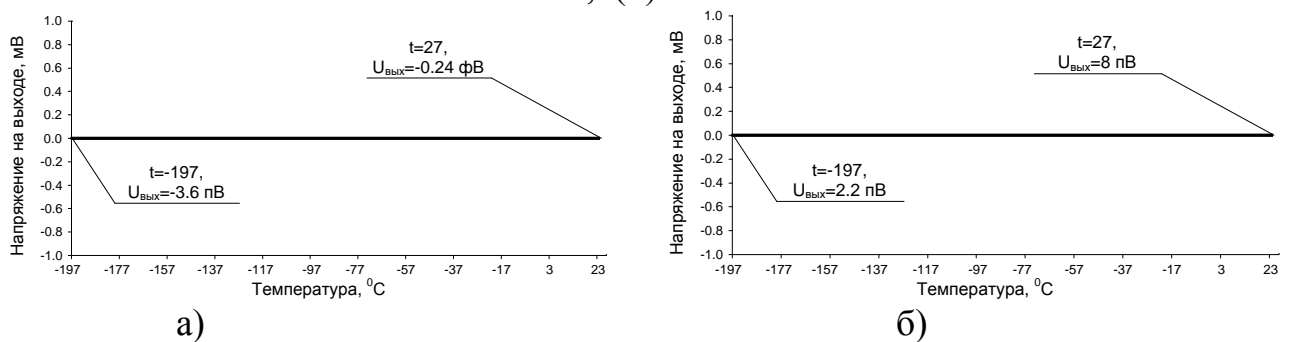


Рис. 5. Зависимость выходного напряжения ОУ от температуры при (а) со 100% ООС, (б) без ООС

Netlist ОУ Рис. 3

```
* D:\simulation\LTSpice\Scheme_210(8992)\8943.asc
V3 vcc 0 5 Rser=0.00001
V4 0 vee 5
J2 N001 in1 N006 JN260_2 {JNV}
D2 in1 vcc DJN260_2 {JNV}
```

```

J1 N002 out N006 JN260_2 {JNV}
D1 out vcc DJN260_2 {JNV}
J4 N007 vcc N003 JP50_2 {JPV}
D4 vee vcc DJP50_2 {JPV}
V1 N005 vee 0
E1 out 0 N008 0 1
F1 N006 vee V1 1
V5 in1 0 0 AC 10m
C1 N008 0 55n
I1 vcc N002 100μ
I2 vcc N001 100μ
J5 vcc N002 N004 JN260_2 {JNV}
D5 N002 vcc DJN260_2 {JNV}
J3 vcc N001 N003 JN260_2 {JNV}
D3 N001 vcc DJN260_2 {JNV}
J6 N008 vcc N004 JP50_2 {JPV}
D6 vee vcc DJP50_2 {JPV}
J8 N005 vcc N004 JP50_2 {JPV}
D8 vee vcc DJP50_2 {JPV}
J7 N005 vcc N003 JP50_2 {JPV}
D7 vee vcc DJP50_2 {JPV}
V2 N007 vee 5
F2 N008 vee V2 1
.model D D
.lib C:\Users\Elija\OneDrive\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\Elija\OneDrive\Documents\LTspiceXVII\lib\cmp\standard.jft
.op
.param LT=27
.temp={LT}
* .ac dec 100 1 100Meg
* .tran 0 1m 0 1u
* .step param LT -197 27 2
* .step param Dg 1 1Meg 300
* .step dec param fn 1e12 1e18 1e2
.param fn=1
.param Dg=1
.param VS=0
.lib C:\LT\CJFET_5.lib
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param I1=1u
* .step param VS -5 5 0.1
* .step param R1 10k 20k 30k
.param fit=1
* .step param V1 0 5 10m
* .param R1=100k
* .param R2=100k
.backanno
.end

```

12.3. Макромодель ОУ и ее netlist

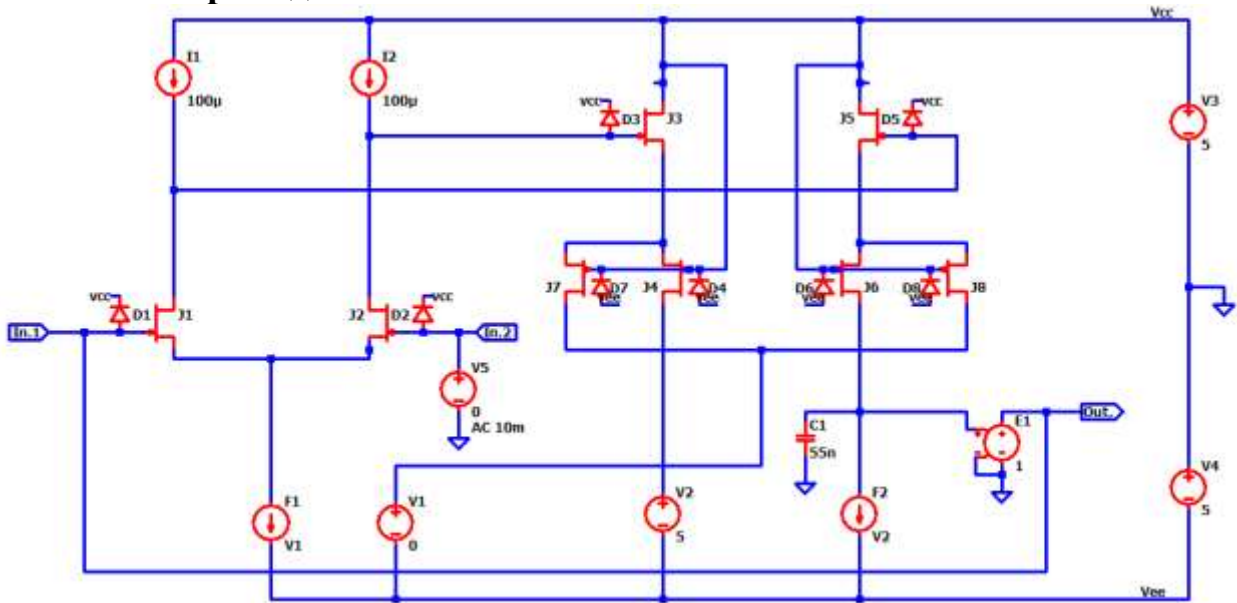


Рис. 6. Представление собранной подсхемы ОУ в среде LTspice

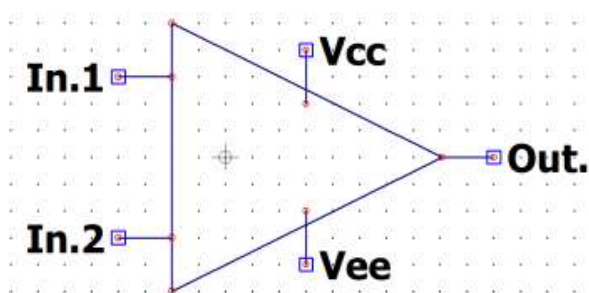


Рис. 7. Вид символа макромодели ОУ в среде LTspice

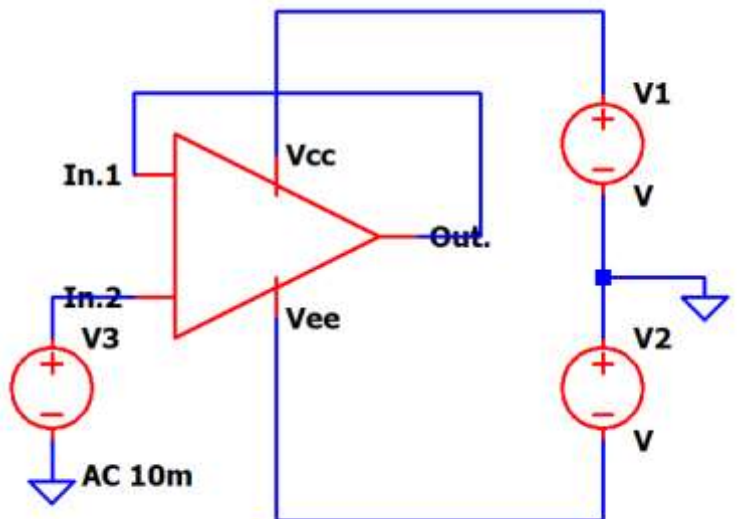


Рис. 8. Схема макромодели ОУ с «обвязкой» в среде LTspice

12.4. Выводы

Полученные результаты исследования АЧХ макромодели рис. 8 совпадают с ранее выполненными результатами моделирования схемы рис. 3. Таким образом, макромодель рис. 8 – работоспособна.

13. CJFet компенсационный стабилизатор напряжения

13.1. Назначение и текстовое описание схемы

Предназначен для систем электропитания аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

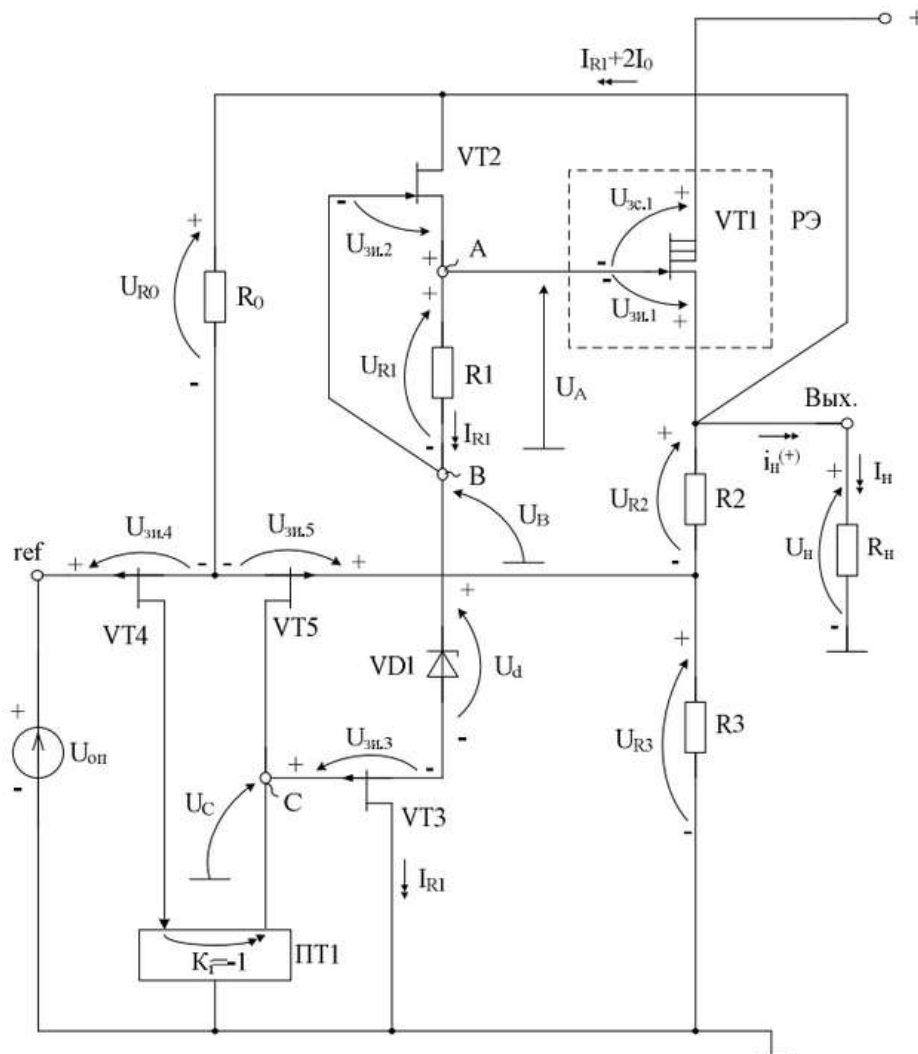


Рис. 1. Функциональная схема стабилизатора

Практическая реализация схемы рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Компенсационный стабилизатор напряжения рис.1 включает:

- источник опорного напряжения ($U_{оп}$),
- регулирующий элемент (VT1),
- классический резистивный делитель (R2-R3),
- усилитель сигнала рассогласования (VT2-VT5).

13.2. Результаты компьютерного моделирования и netlist

В частном случае схема рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.

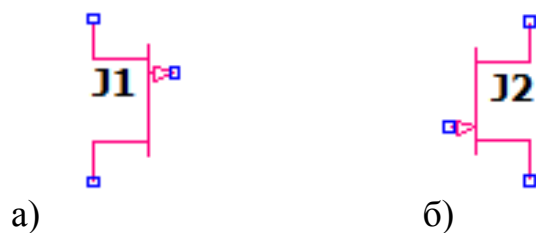


Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и н-канальными (б) транзисторами

На рис. 3 показана схема стабилизатора рис. 1 в среде моделирования LTSpice.

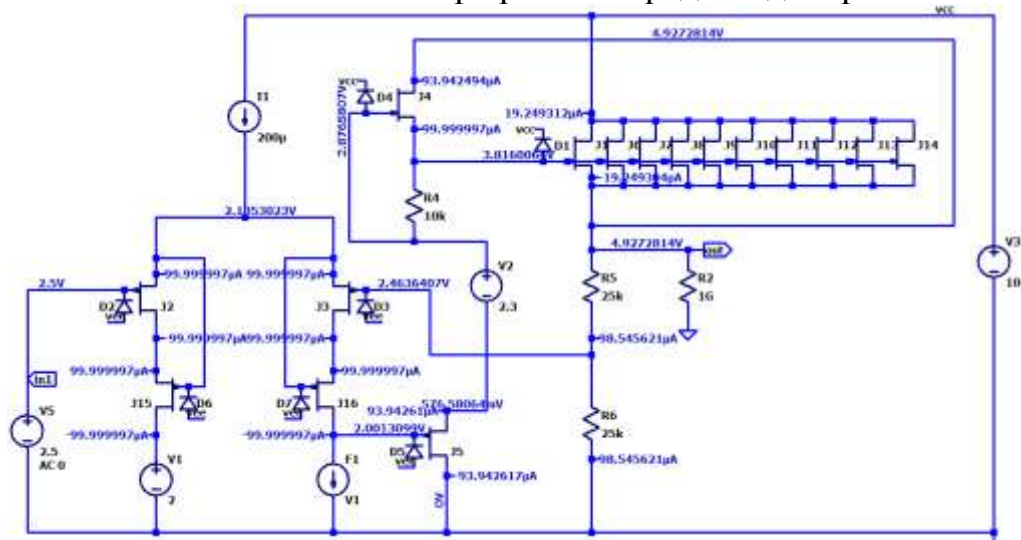


Рис. 3. Функциональная схема стабилизатора рис. 1 в среде LTSpice на моделях CJFet_5

Результаты компьютерного моделирования основных характеристик стабилизатора рис. 1 приведены на рис. 4.

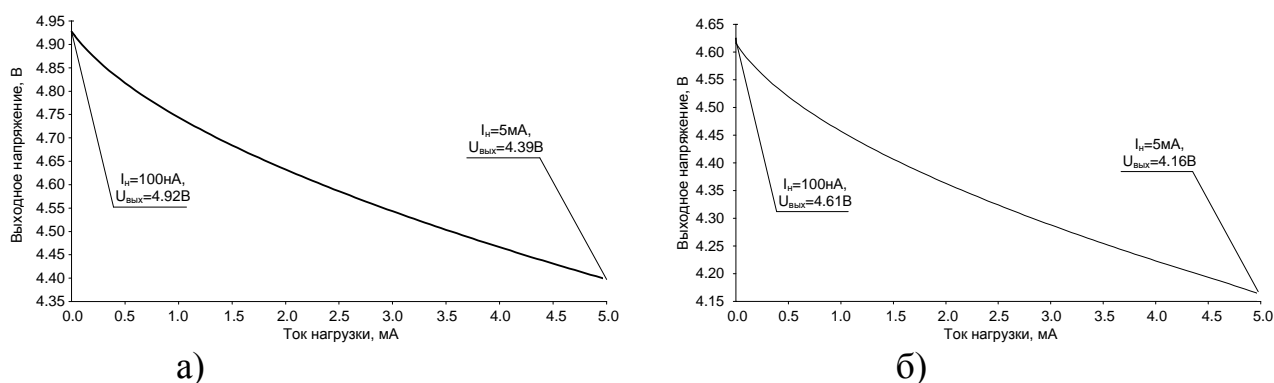


Рис. 4. Зависимость выходного напряжения от тока нагрузки при (а) $t=27^{\circ}\text{C}$, (б) $t=-197^{\circ}\text{C}$

Netlist Рис. 3

```
* Scheme_217\8943.asc
V3 vcc 0 10 Rser=0.00001
J5 0 N009 N007 JP50_2 {JPV}
D5 vee N009 DJP50_2 {JPV}
V5 in1 0 2.5 AC 0
J4 out N001 N002 JN260_2 {JNV}
D4 N001 vcc DJN260_2 {JNV}
J1 vcc N002 out JN260_2 {JNV}
D1 N002 vcc DJN260_2 {JNV}
J2 N005 in1 N003 JP50_2 {JPV}
D2 vee in1 DJP50_2 {JPV}
J6 vcc N002 out JN260_2 {JNV}
J7 vcc N002 out JN260_2 {JNV}
J8 vcc N002 out JN260_2 {JNV}
J9 vcc N002 out JN260_2 {JNV}
J10 vcc N002 out JN260_2 {JNV}
J11 vcc N002 out JN260_2 {JNV}
J12 vcc N002 out JN260_2 {JNV}
J13 vcc N002 out JN260_2 {JNV}
J14 vcc N002 out JN260_2 {JNV}
V1 N008 0 2 Rser=0.00001
F1 N009 0 V1 1
R4 N002 N001 10k
R5 out N004 25k
R6 N004 0 25k
I1 vcc N003 200µ
V2 N001 N007 2.3 Rser=0.00001
J15 N008 N003 N005 JP50_2 {JPV}
D6 vee N003 DJP50_2 {JPV}
J3 N006 N004 N003 JP50_2 {JPV}
D3 vee N004 DJP50_2 {JPV}
J16 N009 N003 N006 JP50_2 {JPV}
D7 vee N003 DJP50_2 {JPV}
I2 out 0 {I3}
.model D D
.lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.jft
.op
.param LT=-197
.temp={LT}
* .ac dec 100 1 100Meg
* .tran 0 1m 0 1u
* .step param LT -197 27 2
* .step param Dg 1 1Meg 300
* .step dec param fn 1e12 1e18 1e2
.param fn=1
.param Dg=1
.param R1=1k
```

```

.lib C:\LT\CJFET_5.lib
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param I3=1u
* .step param R1 1k 15k 0.2k
.step param I3 0.1u 5m 50u
.param fit=1
* .step param V1 0 5 10m
* .param R1=100k
* .param R2=100k
.backanno
.end

```

13.3. Макромодель и ее netlist

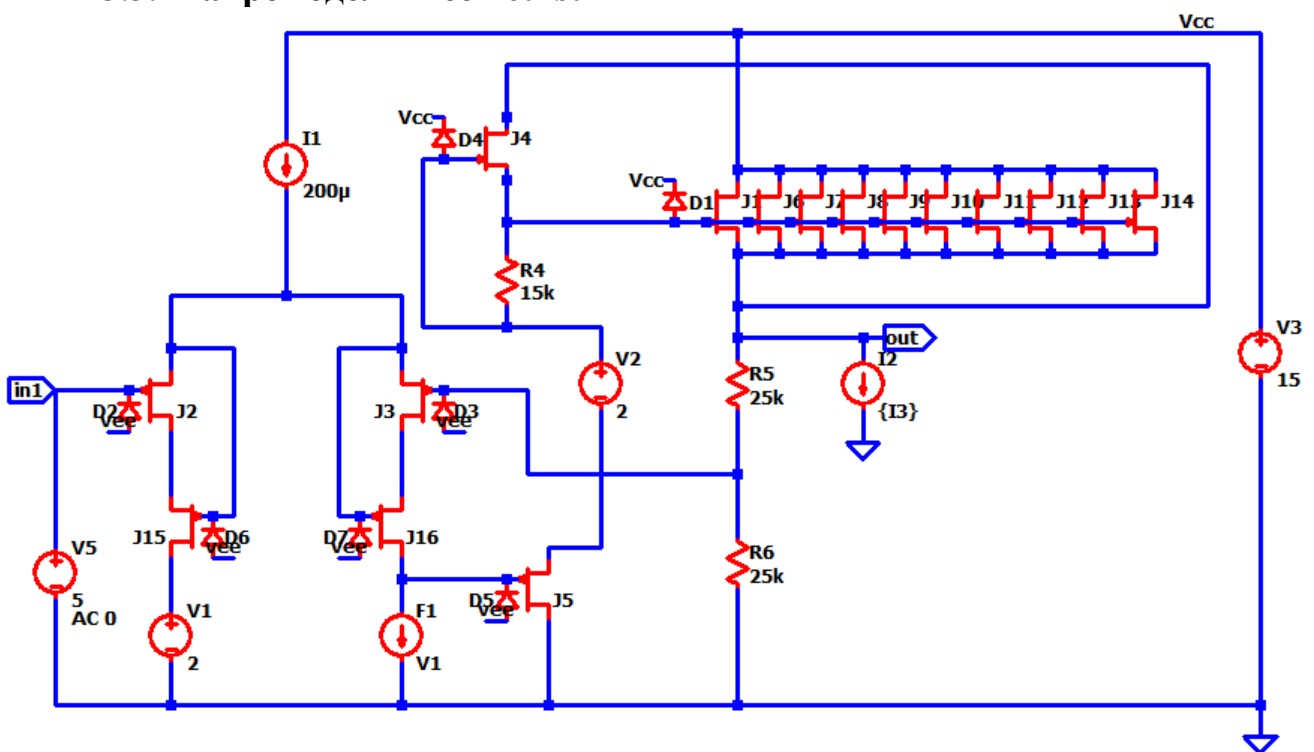


Рис. 6. Представление собранной подсхемы КСН в среде LTspice

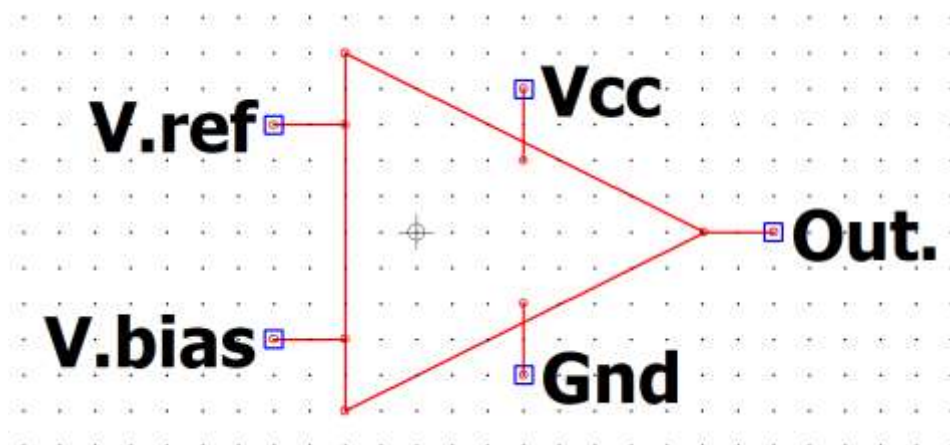


Рис. 7. Вид символа макромодели КСН в среде LTspice

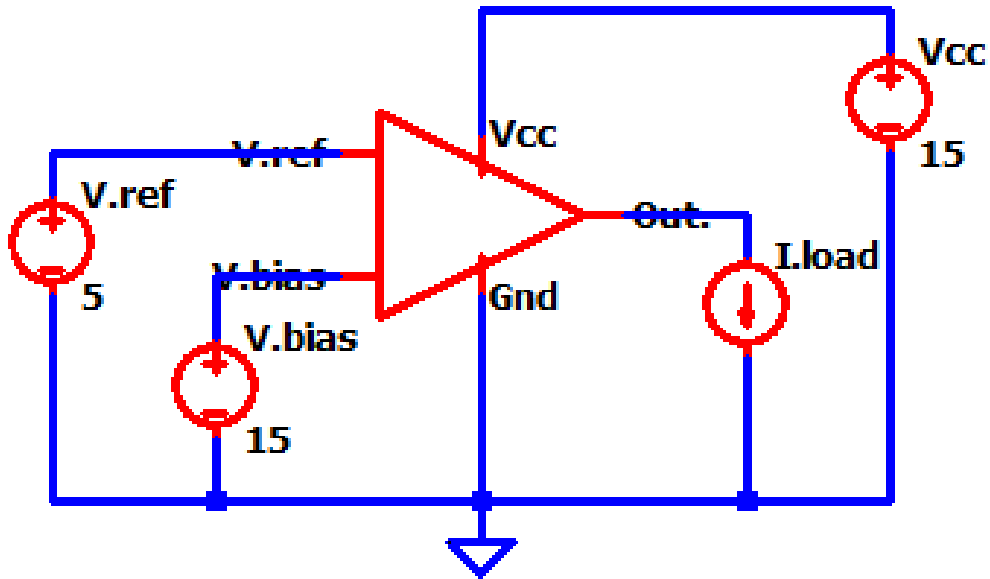


Рис. 8. Схема макромодели КСН с «обвязкой» в среде LTspice

Netlist макромодели Рис. 8

* C:\Users\Elija\Documents\работа\Макромодели\217\Draft1.asc

XX1 N002 N004 N001 0 N003 ae4

Vcc1 N001 0 15 Rser=0.00001

V1 N004 0 15 Rser=0.00001

V2 N002 0 5 Rser=0.00001

I1 N003 0

* block symbol definitions

.subckt ae4 V.ref V.bias Vcc Gnd Out.

V3 Vcc 0 15 Rser=0.00001

J5 0 N012 N011 JP50_2 {JPV}

D5 vee N012 DJP50_2 {JPV}

V5 in1 0 5 AC 0

J4 out N001 N003 JN260_2 {JNV}

D4 N001 Vcc DJN260_2 {JNV}

J1 Vcc N003 out JN260_2 {JNV}

D1 N003 Vcc DJN260_2 {JNV}

J2 N009 in1 N006 JP50_2 {JPV}

D2 vee in1 DJP50_2 {JPV}

J6 Vcc N003 out JN260_2 {JNV}

J7 Vcc N003 out JN260_2 {JNV}

J8 Vcc N003 out JN260_2 {JNV}

J9 Vcc N003 out JN260_2 {JNV}

J10 Vcc N003 out JN260_2 {JNV}

J11 Vcc N003 out JN260_2 {JNV}

J12 Vcc N003 out JN260_2 {JNV}

J13 Vcc N003 out JN260_2 {JNV}

J14 Vcc N003 out JN260_2 {JNV}

V1 N013 0 2 Rser=0.00001

F1 N012 0 V1 1

```

R4 N003 N001 15k
R5 out N008 25k
R6 N008 0 25k
I1 Vcc N006 200μ
V2 N001 N011 2 Rser=0.00001
J15 N013 N006 N009 JP50_2 {JPV}
D6 vee N006 DJP50_2 {JPV}
J3 N010 N008 N006 JP50_2 {JPV}
D3 vee N008 DJP50_2 {JPV}
J16 N012 N006 N010 JP50_2 {JPV}
D7 vee N006 DJP50_2 {JPV}
I2 out 0 {I3}
XX1 N004 N007 N002 0 N005 ae4
Vcc N002 0 15 Rser=0.00001
V.bias N007 0 15 Rser=0.00001
V.ref N004 0 5 Rser=0.00001
I.load N005 0
.param LT=27
.param fn=1
.param Dg=1
.param R1=1k
.lib C:\LT\CJFET_5.lib
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.param I3=1u
.param fit=1
.ends ae4
.model D D
.lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.dio
.model NJF NJF
.model PJF PJF
.lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.jft
.backanno
.end

```

13.4. Выводы

Полученные результаты исследования макромодели рис. 8 совпадают с ранее выполненными результатами моделирования схемы рис. 4. Таким образом, макромодель рис. 8 – работоспособна.

14. CJFET операционный усилитель на составных транзисторах в промежуточном каскаде: модификация ОУ- №14

14.1. Назначение и текстовое описание схемы ОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

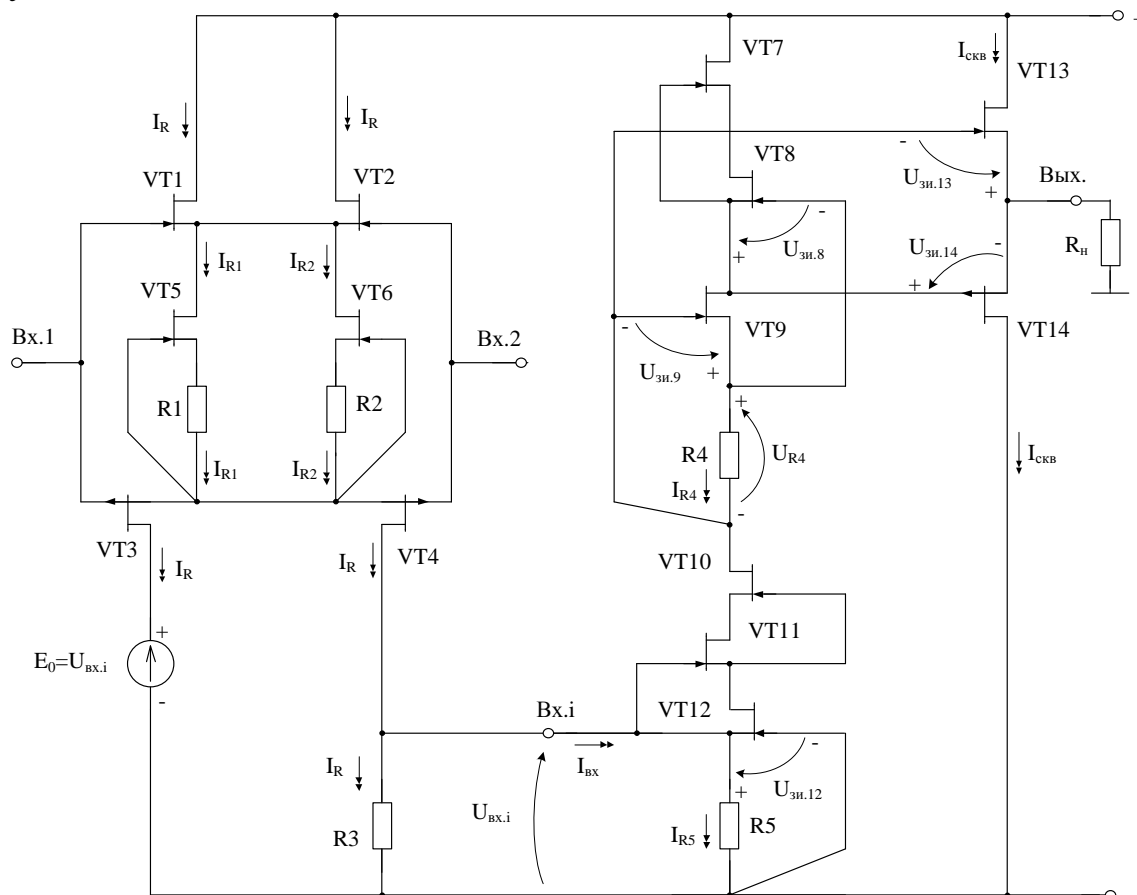


Рис. 1. Практическая схема для моделирования ОУ (П9388=П9371+П9366б)

При этом высокая радиационная стойкость и широкий диапазон температур обеспечиваются за счет применения комплементарных полевых транзисторов с управляющим рп-переходом и оригинальной схемотехники ОУ.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках CJFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- входы Вх.1 и Вх.2,
- «перегнутый» каскод dual-input-stage (VT1-VT6, R1, R2),
- источник ЭДС (E_0),
- резистор R3

- буферный усилитель (VT7-VT14, R4, R5)
- выход устройства (Вых.)
- Резистор нагрузки (R_n).

Статический режим ОУ рис. 1 устанавливается резисторами R1-R6.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

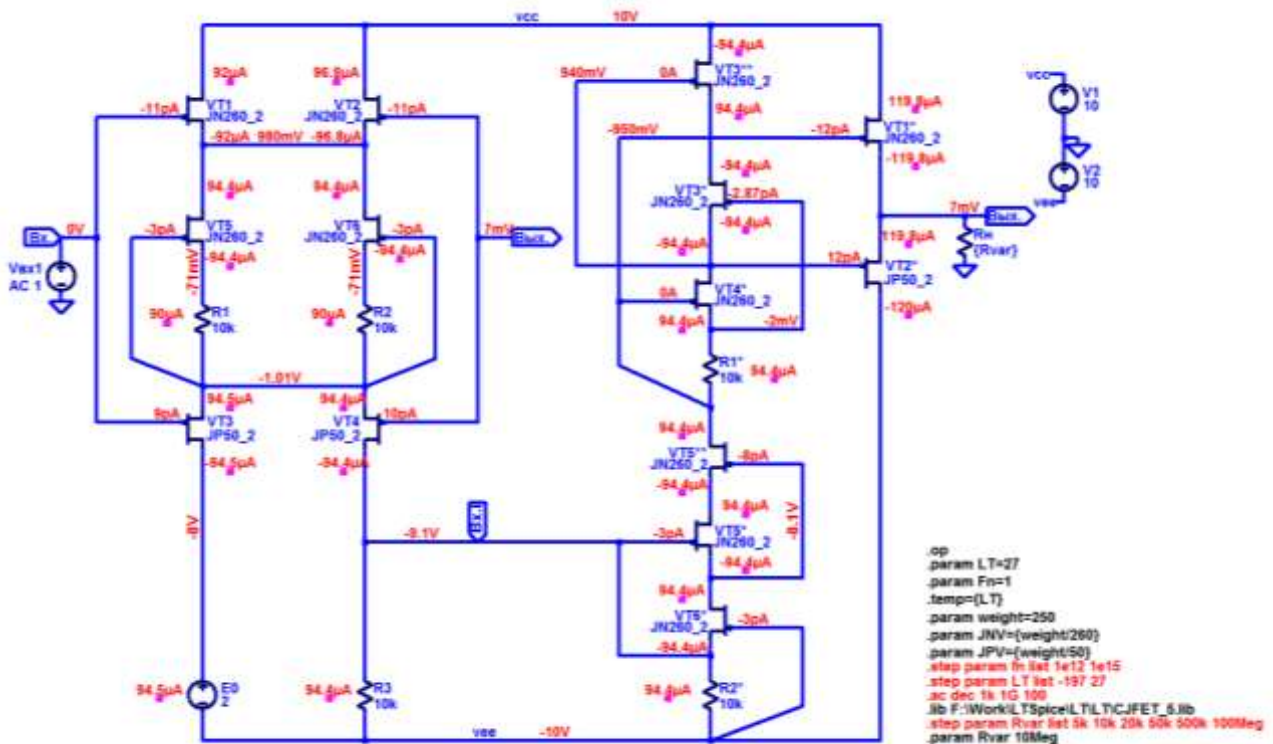
14.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.

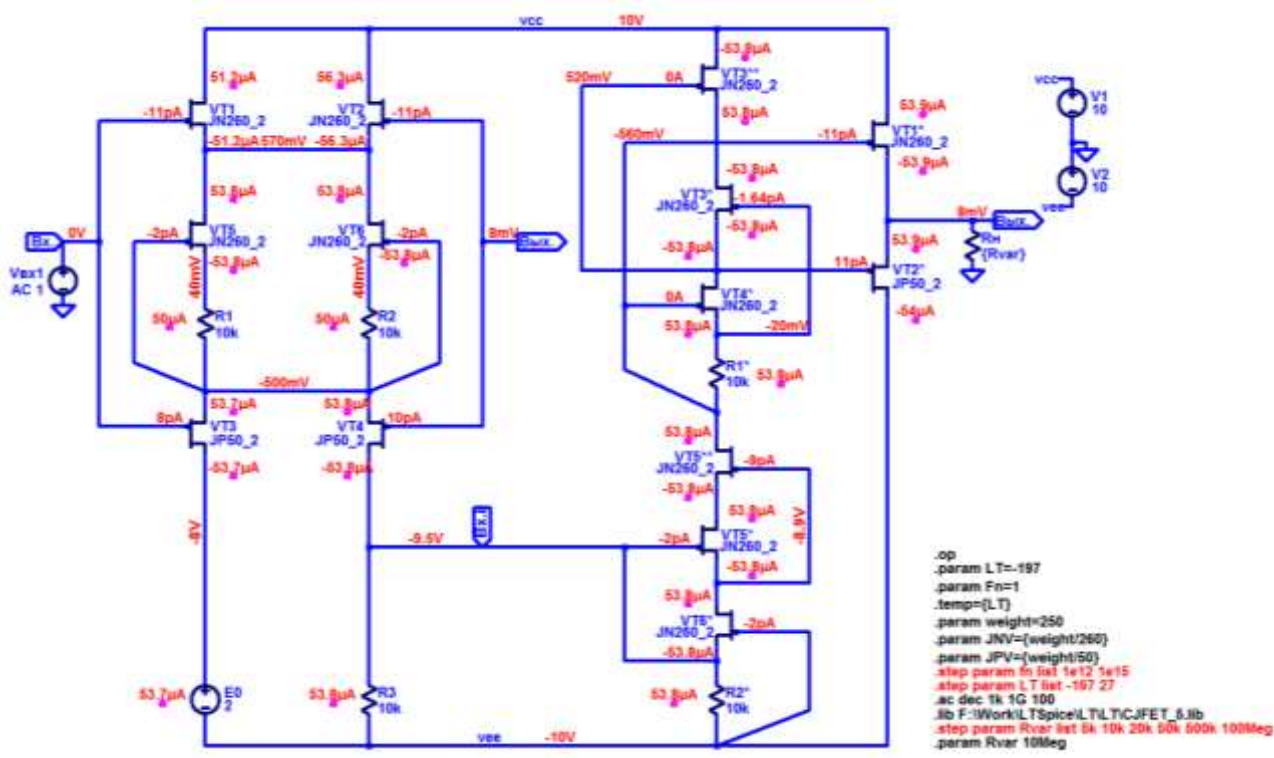


Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и n-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.



(а)



(б)

Рис. 3. Статический режим схемы рис. 1 при $t=27^{\circ}\text{C}$ (а) и $t=-197^{\circ}\text{C}$ (б) и напряжении питания $\pm 10\text{В}$

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4-6.

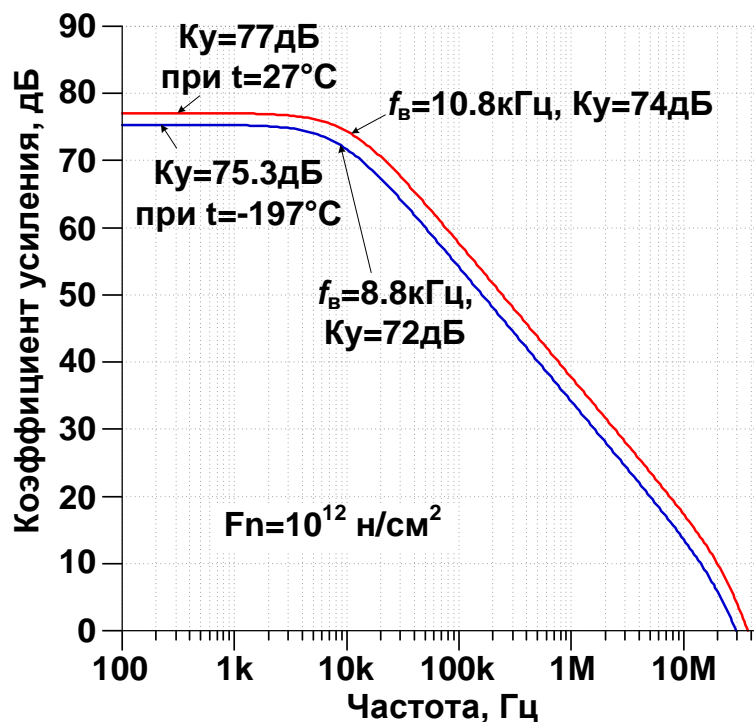


Рис. 4. Амплитудно-частотные характеристики схемы рис. 2 при н.у. потока нейтронов и $t=27^{\circ}\text{C}$ / $t=-197^{\circ}\text{C}$

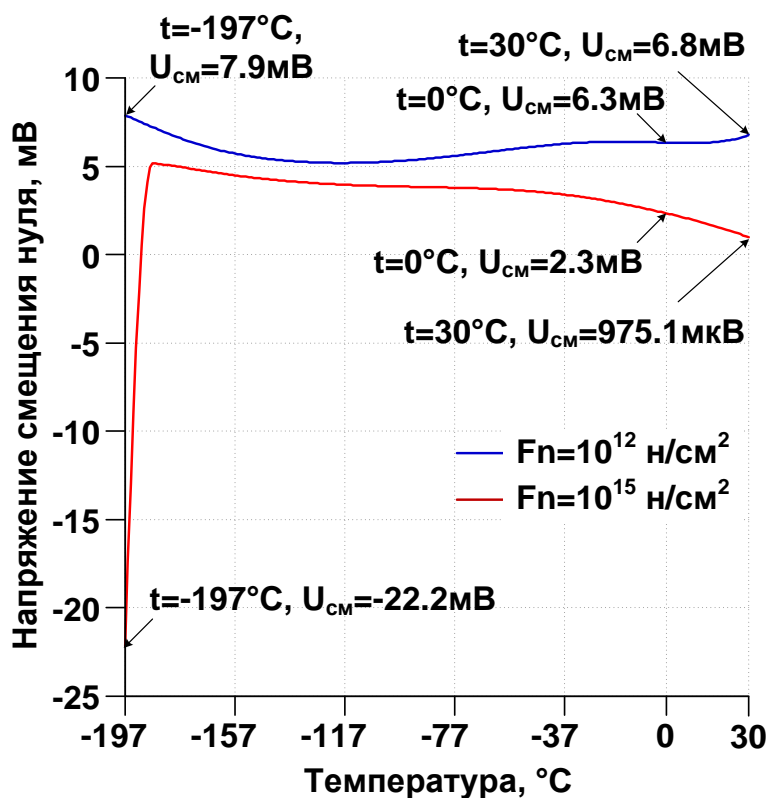


Рис. 5. Зависимость напряжения смещения нуля схемы рис. 2 при $F_n=10^{12} \text{ н/см}^2$ и $F_n=10^{15} \text{ н/см}^2$ от температуры в диапазоне от -197°C до 30°C

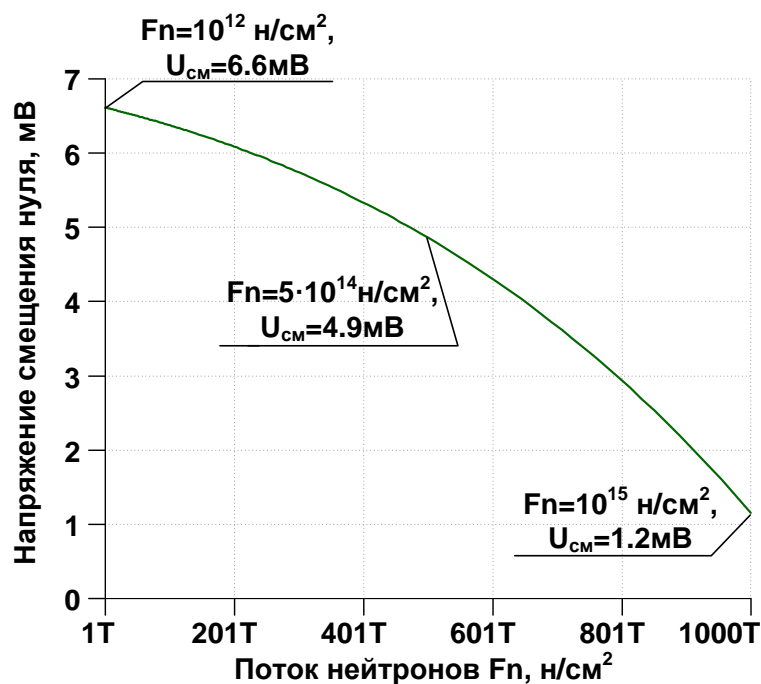


Рис. 6. Зависимость напряжения смещения нуля схемы рис. 2 при $t=27^\circ\text{C}$ от потока нейтронов в диапазоне от 10^{12} н/см^2 до 10^{15} н/см^2

```

* F:\Work\LTSpice\LT\scheme391.asc
V1 vcc 0 10
V2 0 vee 10
J§VT1 vcc In.1 N003 JN260_2
J§VT3 N011 In.1 N006 JP50_2
RH Out 0 {Rvar}
J§VT2 vcc Out N003 JN260_2
J§VT5 N003 N006 N007 JN260_2
J§VT6 N003 N006 N008 JN260_2
R1 N007 N006 10k
R2 N008 N006 10k
J§VT4 In.i Out N006 JP50_2
V§E0 N011 vee 2
R3 In.i vee 10k
J§VT3* N004 N005 N001 JN260_2
R1* N005 N002 10k
J§VT5* N010 In.i N009 JN260_2
J§VT6* N009 vee In.i JN260_2
R2* In.i vee 10k
J§VT1* vcc N002 Out JN260_2
J§VT2* vee N001 Out JP50_2
J§VT4* N001 N002 N005 JN260_2
VBx1 In.1 0 AC 1
J§VT3** vcc N001 N004 JN260_2
J§VT5** N002 N009 N010 JN260_2
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
.param LT=27
.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
.step param LT list -197 27
* .step param fn list 1e12 1e15
* .step param Rvar list 5k 10k 20k 50k 500k 100Meg
.param Rvar 10Meg
.ac dec 1k 1G 100
.backanno
.end

```

14.3. Макромодель ОУ и ее netlist

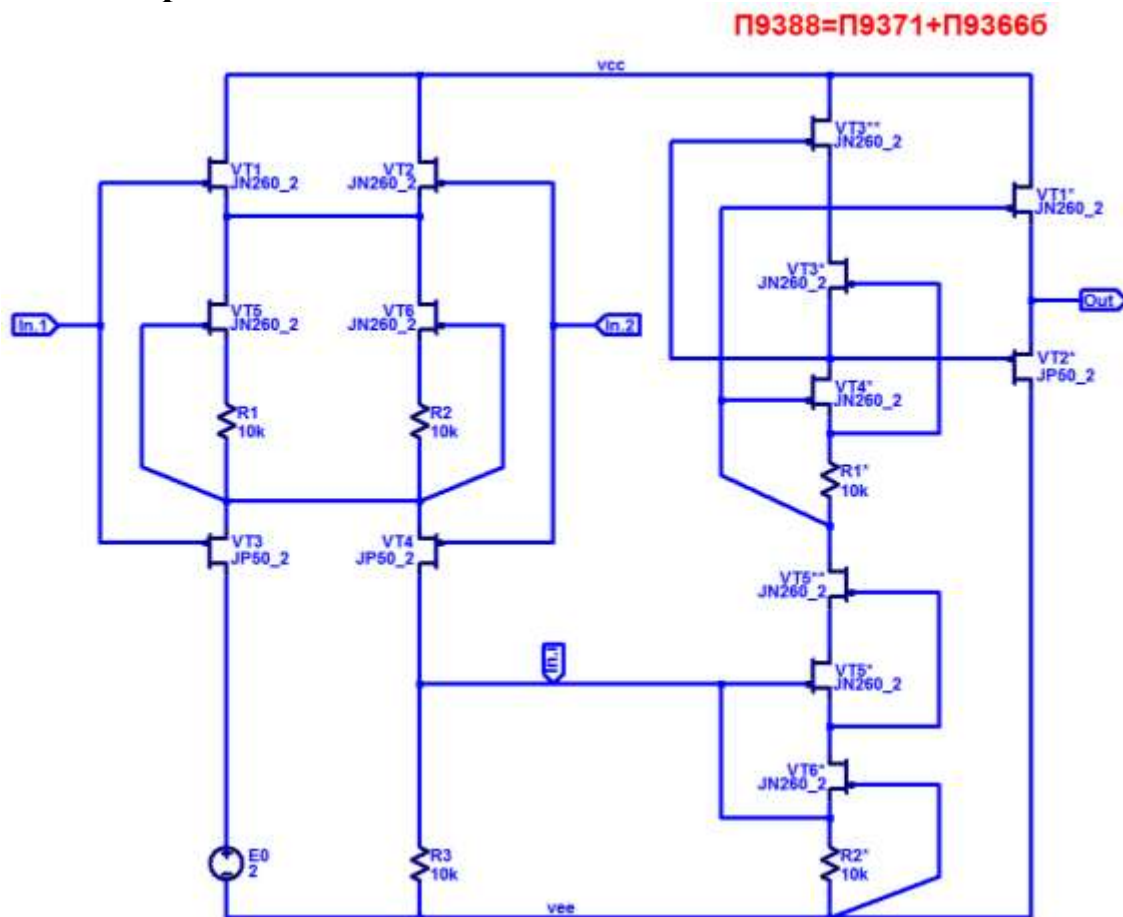


Рис. 7. Представление собранной подсхемы JFet ОУ в среде LTspice

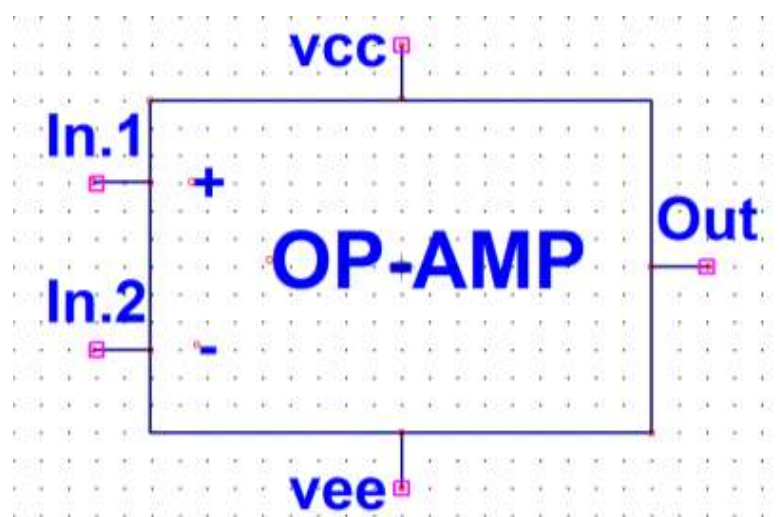
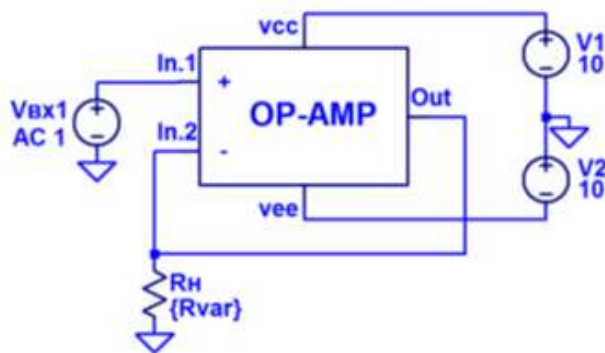


Рис. 8. Символ макромодели JFet ОУ в среде LTspice



П9388=П9371+П93666

```
.op
.param LT=27
.param Fn=1
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.step dec param fn 1e12 1e15 100
.step param LT -197 30 1
.ac dec 1k 1G 100
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
.step param Rvar list 5k 10k 20k 50k 500k 100Meg
.param Rvar 10Meg
```

Рис. 9. Макромодель к схеме JFet ОУ рис. 1

Netlist макромодели Рис. 8

```
* F:\Work\LTSpice\LT\macromodel_389\scheme389_1.asc
V1 N002 0 AC 1
V2 N001 0 5
V3 0 N004 5
XX1 N002 N003 N001 N004 N003 scheme389
Rvar N003 0 10Meg

* block symbol definitions
.subckt scheme389 In.1 In.2 vcc vee Out
J$VT1 vcc In.1 N002 JN260_2
J$VT3 N009 In.1 N005 JP50_2
J$VT2 vcc In.2 N002 JN260_2
J$VT5 N002 N005 N006 JN260_2
J$VT6 N002 N005 N007 JN260_2
R1 N006 N005 10k
R2 N007 N005 10k
J$VT4 In.i In.2 N005 JP50_2
V$E0 N009 vee 2
R3 In.i vee 10k
J$VT3* vcc N003 N004 JN260_2
R1* N003 N001 10k
J$VT5* N001 In.i N008 JN260_2
J$VT6* N008 vee In.i JN260_2
R2* In.i vee 10k
J$VT1* vcc N001 Out JN260_2
J$VT2* vee N004 Out JP50_2
J$VT4* N004 N001 N003 JN260_2
.ends scheme389

.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
.lib F:\Work\LTSpice\LT\LT\CJFET_5.lib
.param LT=-197
.param Fn=1
```

```
.temp={LT}
.param weight=250
.param JNV={weight/260}
.param JPV={weight/50}
.op
* .step param LT -197 30 1
* .step param fn list 1e12 1e15
* .step param Rvar list 5k 10k 20k 50k 500k 100Meg
.ac dec 1k 1G 100
* П9371+П9366
.backanno
.end
```

14.4. Выводы

Результаты моделирования рис. 9 полностью совпадают с результатами моделирования схемы рис. 3. Таким образом, макромодель рис. 9 – работоспособна.

15. ВТ-МФЕТ мультидифференциальный операционный усилитель и инструментальный усилитель на его основе

15.1. Назначение и текстовое описание схемы МОУ

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

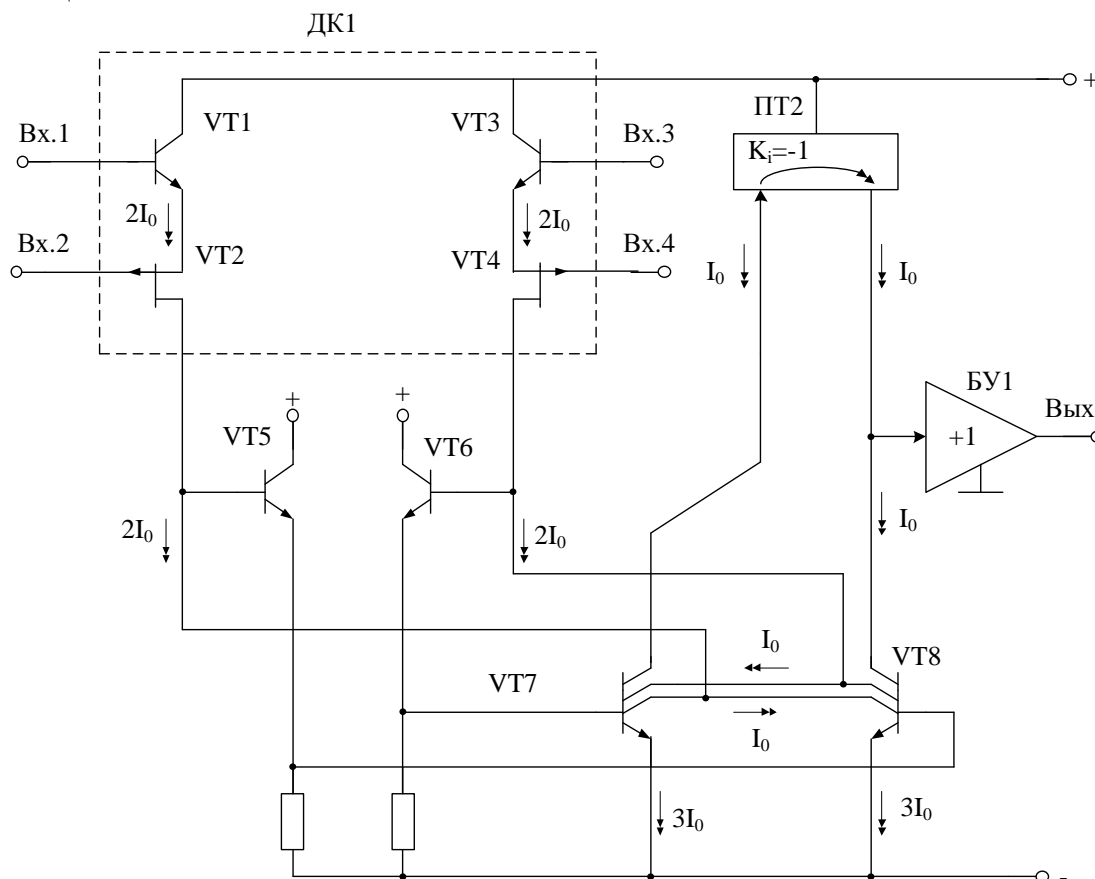


Рис. 1. Функциональная схема МОУ

Практическая реализация схемы МОУ рис. 1 может быть осуществлена в рамках ВТ МФет техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCMOS АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема МОУ рис.1 включает:

- Входной дифференциальный каскад (ДК: VT1, VT2, VT3, VT4);
- Токовое зеркало (ПТ2);
- Промежуточный каскад (VT7, VT8);
- Выходной каскад – буферный усилитель (БУ1)

Статический режим МОУ рис. 1 устанавливается резисторами R1, R2.

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

15.2. Результаты компьютерного моделирования и netlist МОУ и ИУ

В частном случае схема МОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки АВМК-1.3-LTspice.

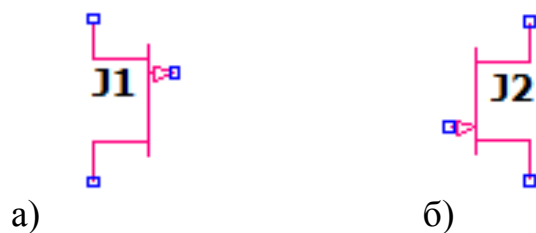


Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и н-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

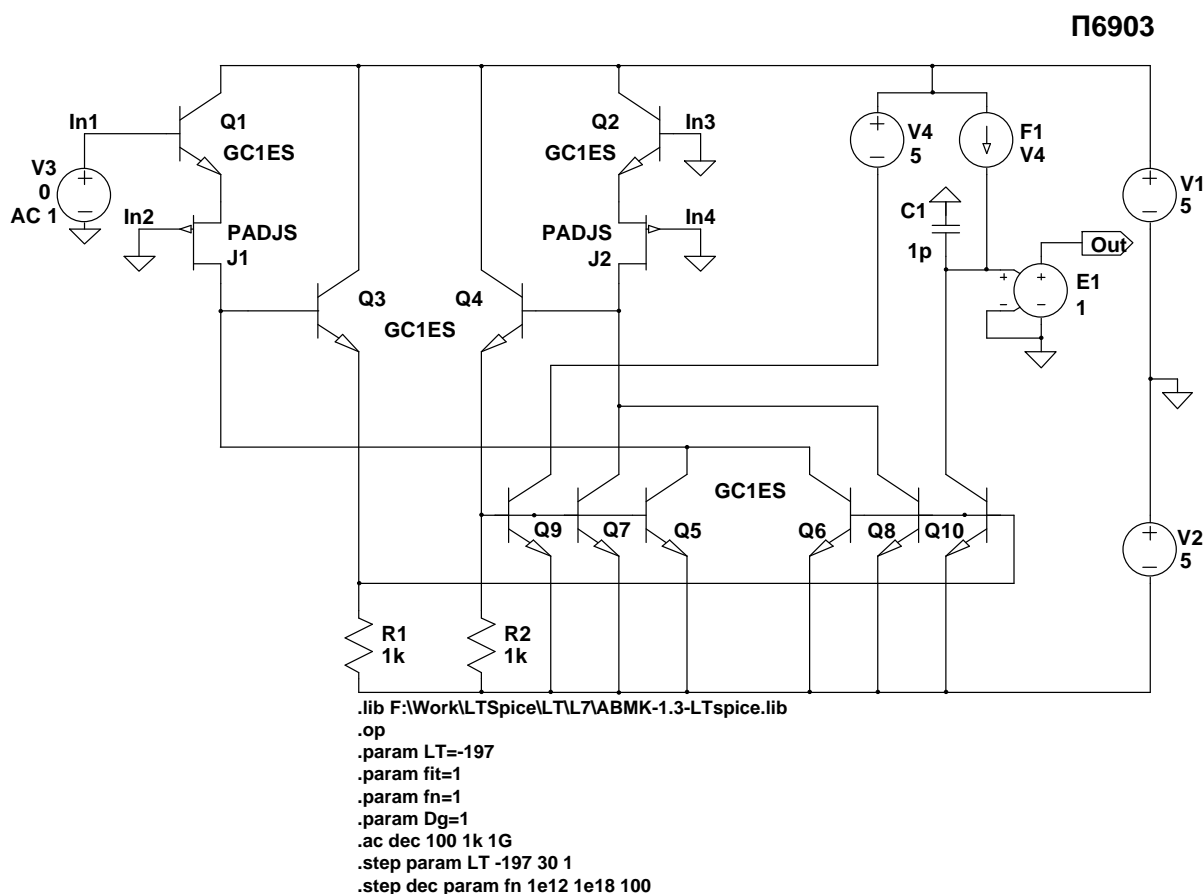


Рис. 3. Схема МОУ (рис. 1) в среде LTSpice без отрицательной обратной связи

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4-7.

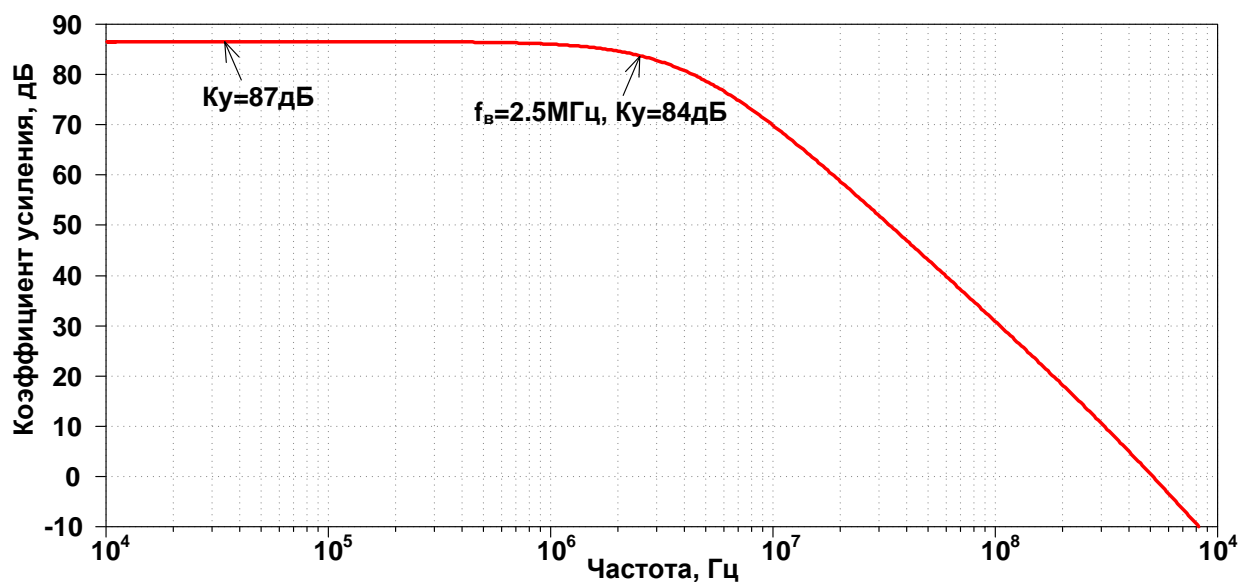


Рис. 4. Амплитудно-частотная характеристика МОУ рис.2 (Vout /Vin1)

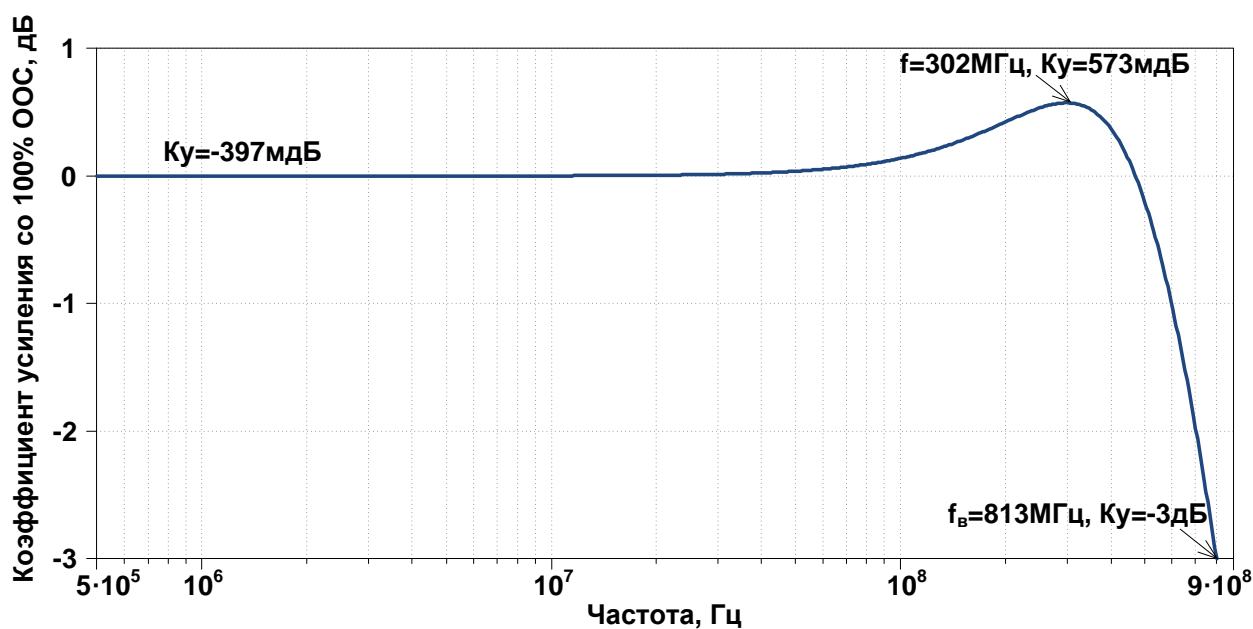


Рис. 5. Амплитудно-частотная характеристика МОУ рис.2 (Vout /Vin2) со 100% отрицательной обратной связью на входе In.4

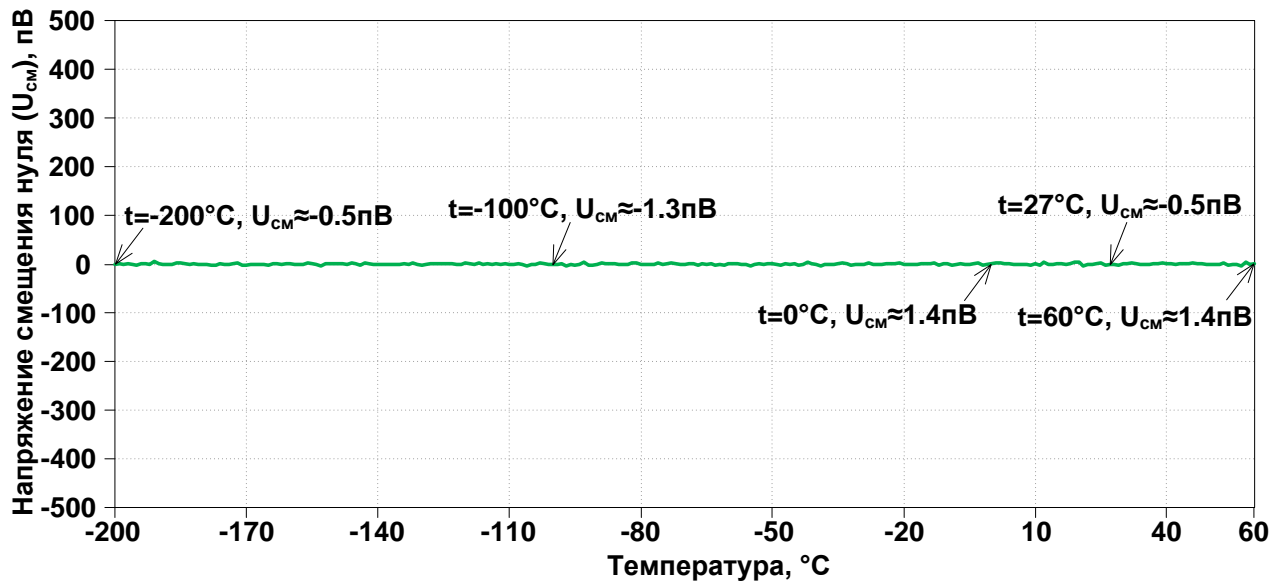


Рис. 6. Зависимость напряжения смещения нуля ($U_{CM}=V_{out}$) МОУ от температуры в диапазоне: минус $200 \div +60^\circ\text{C}$ с шагом 1°C . 100% отрицательная обратная связь - на входе In.4, входной сигнал подается на In.2

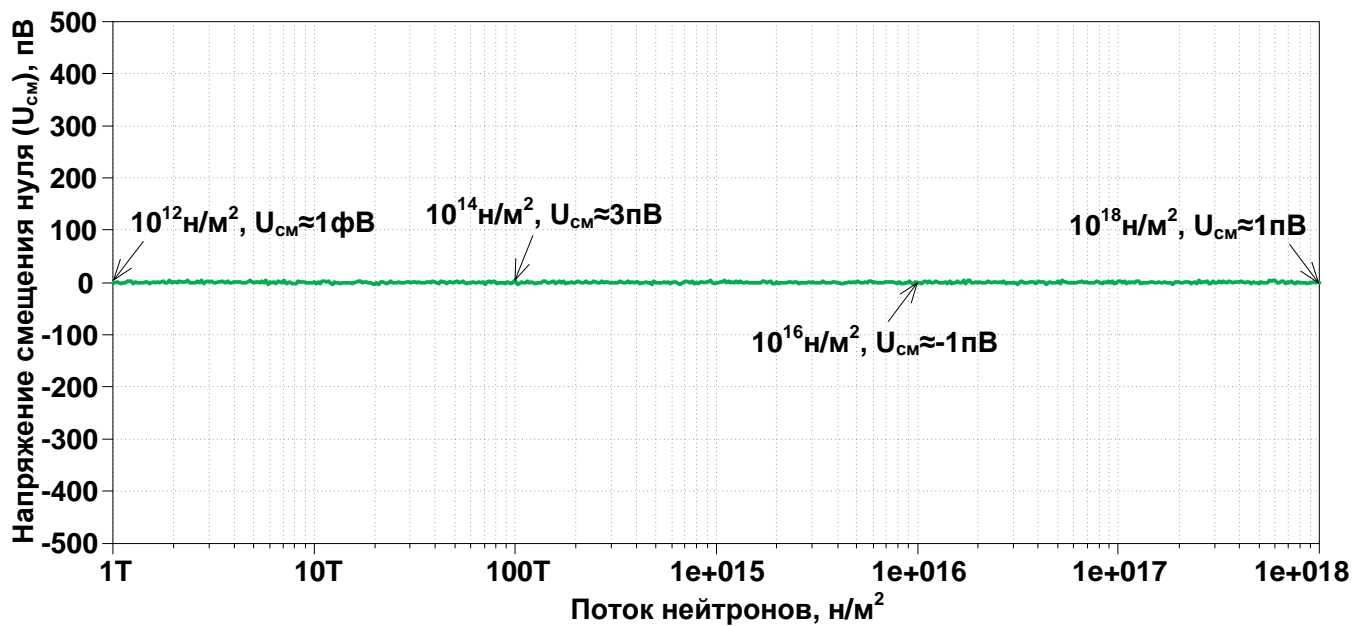


Рис. 7. Зависимость напряжения смещения нуля ($U_{CM}=V_{out}$) МОУ от потока нейтронов в диапазоне от $10^{12} \div 10^{18}$ н/м². 100% отрицательная обратная связь - на входе In.4, входной сигнал подается на In.2

Netlist МОУ Рис. 3

```
* F:\Work\LTSpice\LT\schem266.asc
V1 N001 0 5
V2 0 N010 5
F1 N001 N004 V4 1
V4 N001 N007 5
E1 Out 0 N004 0 1
```

```

Q1 N001 0 N002 0 GC1ES
Q2 N001 0 N003 0 GC1ES
J1 N005 In2 N002 PADJS
J2 N006 Out N003 PADJS
Q3 N001 N005 N009 0 GC1ES
Q4 N001 N006 N008 0 GC1ES
Q5 N005 N008 N010 0 GC1ES
Q6 N005 N009 N010 0 GC1ES
Q7 N006 N008 N010 0 GC1ES
Q8 N006 N009 N010 0 GC1ES
Q9 N007 N008 N010 0 GC1ES
Q10 N004 N009 N010 0 GC1ES
R1 N009 N010 1k
R2 N008 N010 1k
V3 In2 0 0 AC 1
C1 0 N004 50f
.model NPN NPN
.model PNP PNP
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.bjt
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
* П6903
.lib F:\Work\LTSpice\LT\LT\ABMK-1.3-LTspice.lib
* .ac dec 100 1k 1G
.param LT=-197
.param fit=1
.param fn=1
.param Dg=1
.op
* .step dec param fn 1e12 1e18 100
* .step param LT -200 60 1
.backanno
.end

```

15.3. Макромодель МОУ и ее netlist

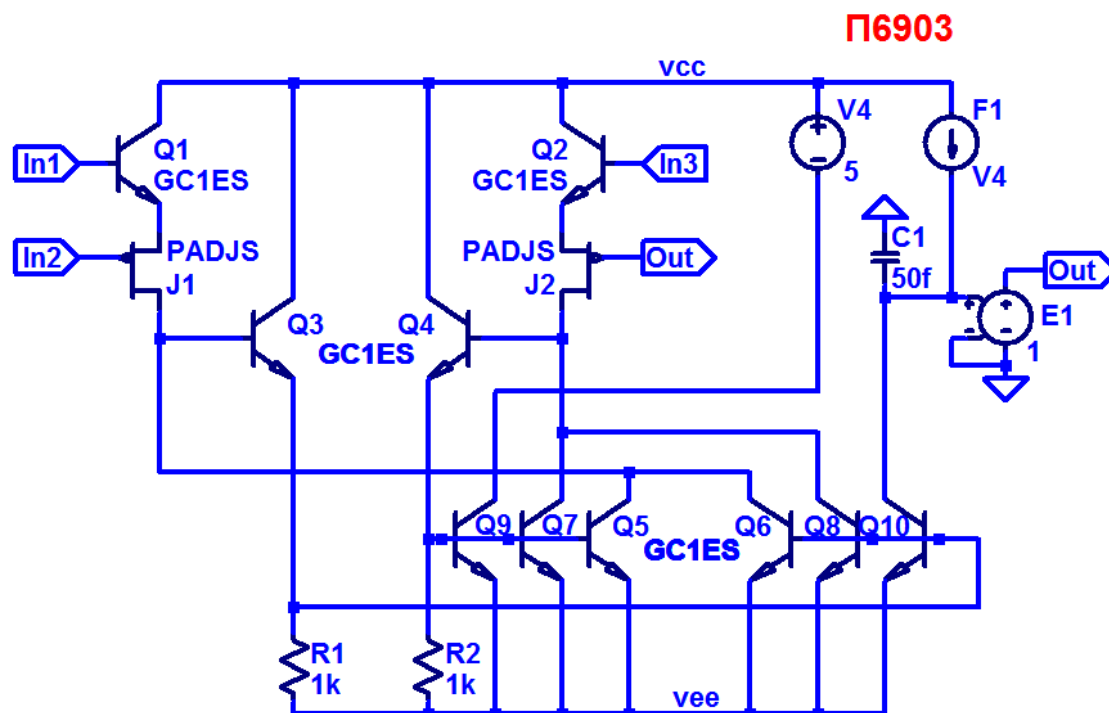


Рис. 8. Представление собранной подсхемы МОУ в среде LTspice

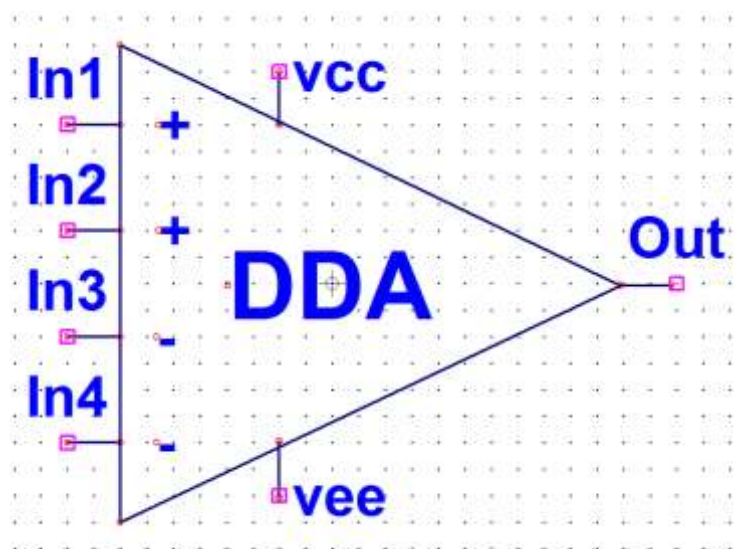


Рис. 9. Вид символа макромодели МОУ в среде LTspice

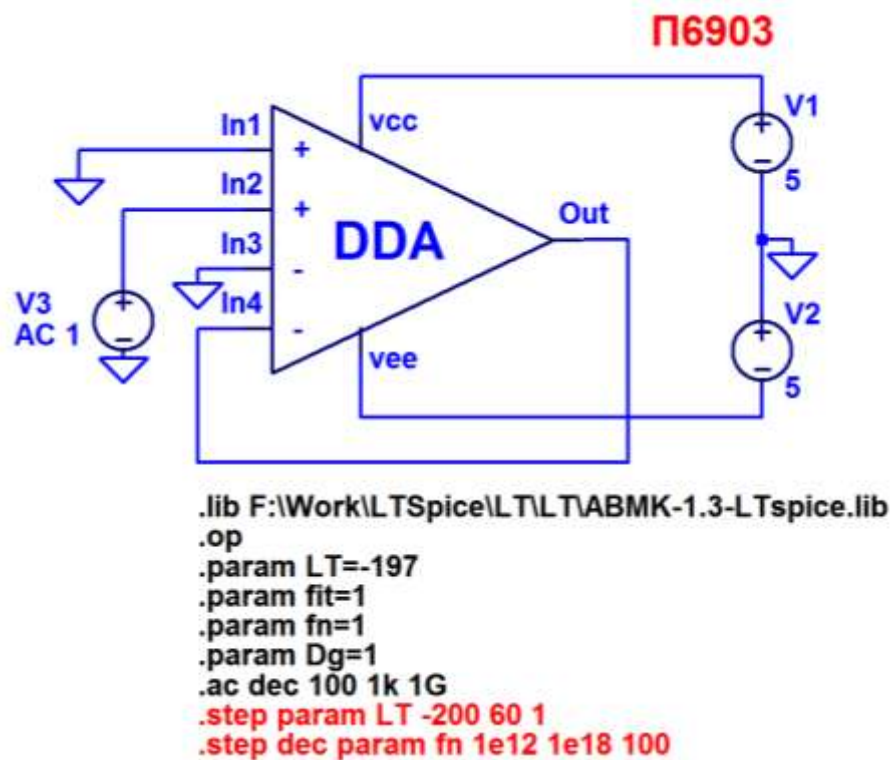


Рис. 10. Схема макромодели МОУ с «обвязкой» в среде LTspice

Netlist макромодели Рис. 10

```

* F:\Work\LTSpice\LT\macromodel_266\scheme266_1.asc
V1 N001 0 5
V2 0 N004 5
V3 N002 0 AC 1
XX1 N001 N004 0 N002 0 N003 N003 scheme266

```

* block symbol definitions

```

.subckt scheme266 vcc vee In1 In2 In3 In4 Out
F1 vcc N003 V4 1
V4 vcc N006 5
E1 Out 0 N003 0 1
Q1 vcc In1 N001 0 GC1ES
Q2 vcc In3 N002 0 GC1ES
J1 N004 In2 N001 PADJS
J2 N005 Out N002 PADJS
Q3 vcc N004 N008 0 GC1ES
Q4 vcc N005 N007 0 GC1ES
Q5 N004 N007 vee 0 GC1ES
Q6 N004 N008 vee 0 GC1ES
Q7 N005 N007 vee 0 GC1ES
Q8 N005 N008 vee 0 GC1ES
Q9 N006 N007 vee 0 GC1ES
Q10 N003 N008 vee 0 GC1ES
R1 N008 vee 1k
R2 N007 vee 1k
C1 0 N003 50f
.ends scheme266

```

```
.model NPN NPN
.model PNP PNP
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.bjt
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
* П6903
.lib F:\Work\LTSpice\LT\LT\ABMK-1.3-LTspice.lib
.ac dec 100 1k 1G
.param LT=-197
.param fit=1
.param fn=1
.param Dg=1
.op
* .step dec param fn 1e12 1e18 100
* .step param LT -200 60 1
.backanno
.end
```

15.4. Выводы

Результаты моделирования рис. 10 полностью совпадают с результатами моделирования схемы рис. 1. Таким образом, макромодель рис. 10 – работоспособна.

16. BiJFet мультидифференциальный операционный усилитель с парафазным выходом

16.1. Назначение и текстовое описание схемы

Предназначен для аналоговых и аналого-цифровых интерфейсов датчиков систем связи, автоматики и приборостроения, работающих в тяжелых условиях эксплуатации.

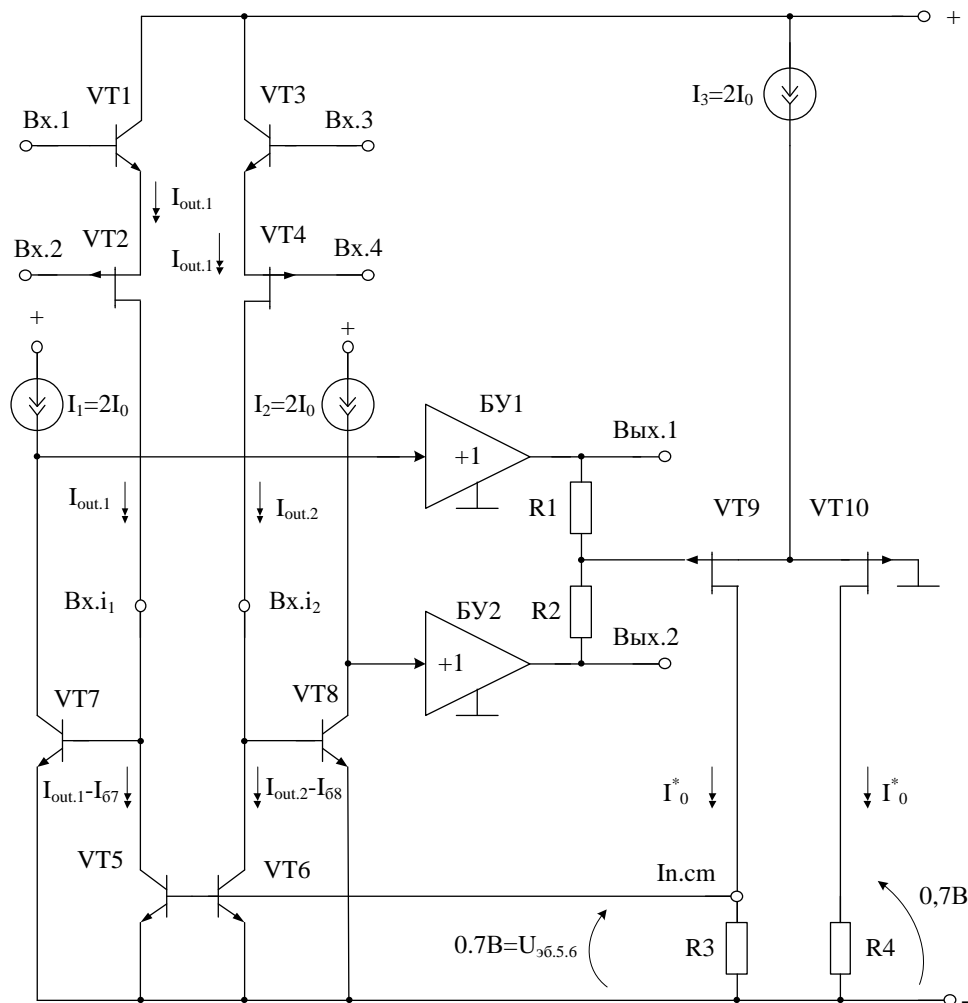


Рис. 1. BiJFet FDDA с парафазным выходом (П7114Г)

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках ВТ JFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiCJFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Схема ОУ рис.1 включает:

- Входной дифференциальный каскад (VT1-VT4) с динамической нагрузкой (VT5-VT6),
- Промежуточный каскад (VT7-VT8),
- Выходные буферные усилители (БУ1-БУ2),
- Цепь отрицательной обратной связи по синфазному сигналу (VT9-VT10).

16.2. Результаты компьютерного моделирования и netlist МОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки CJFET_5.



Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и н-канальными (б) транзисторами

На рис. 3 показана схема BiJFet FDDA рис. 1 в среде моделирования LTSpice.

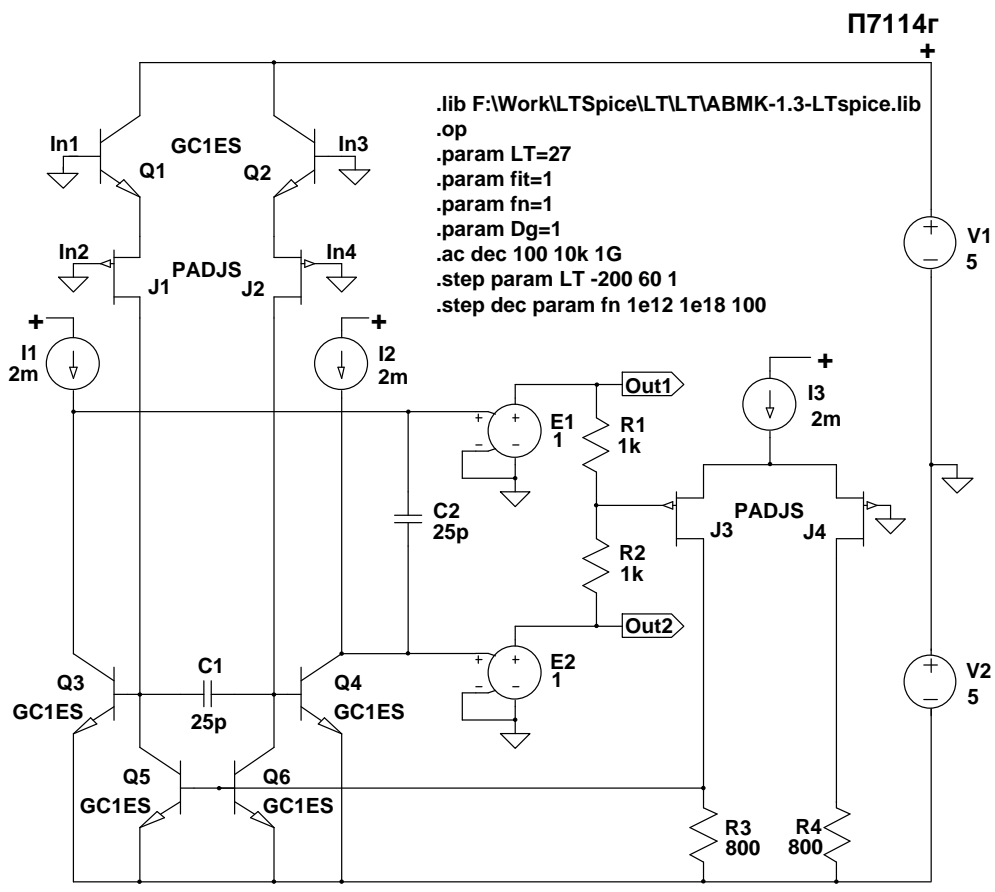


Рис. 3. Функциональная схема FDDA в среде LTSpice без отрицательной обратной связи

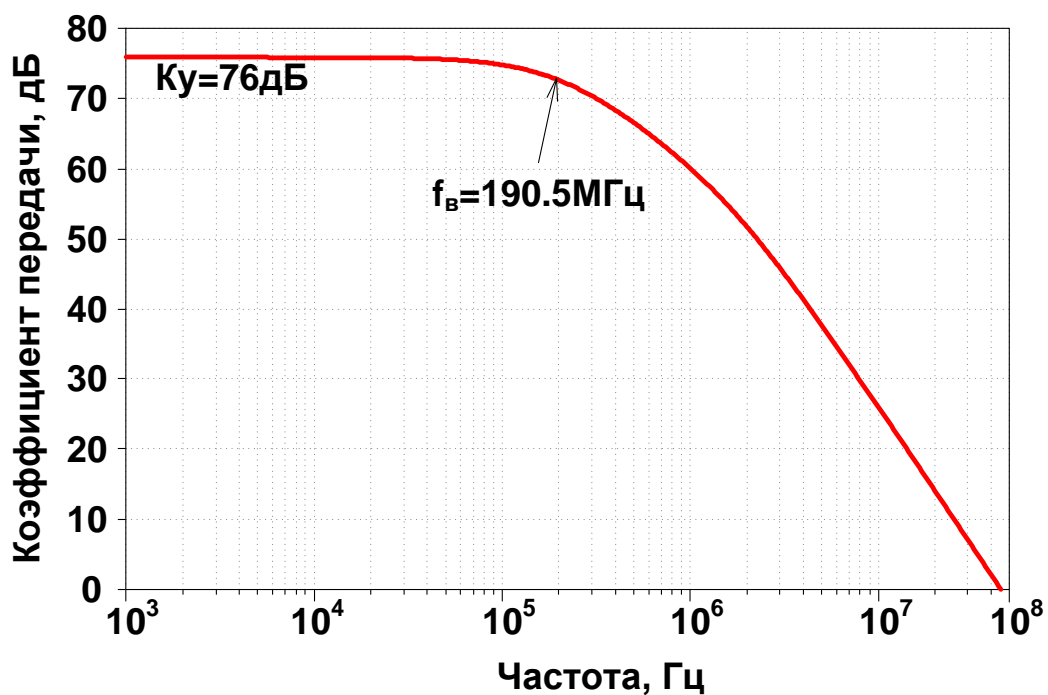


Рис. 4. Коэффициент передачи при FDDA рис.3, когда на In1 подается сигнал $(V_{out1} - V_{out2}) / (V_{in1})$

Основные варианты включения FDDA с парафазным выходом и двумя входными портами [1]

Вариант №1 включения FDDA с «плохим» коэффициентом передачи синфазного сигнала C174a

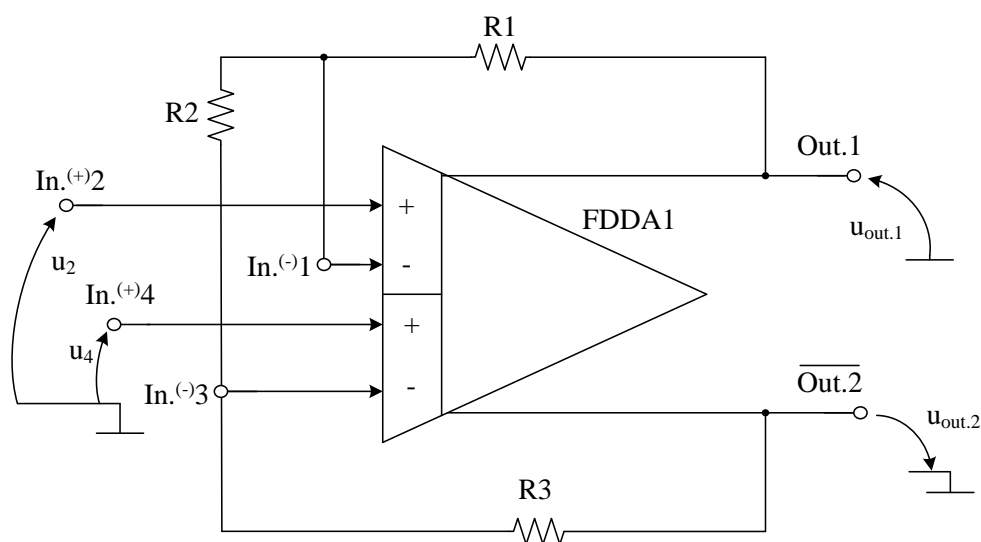


Рис. 5. Вариант №1 включения FDDA с «плохим» коэффициентом передачи синфазного сигнала C174a

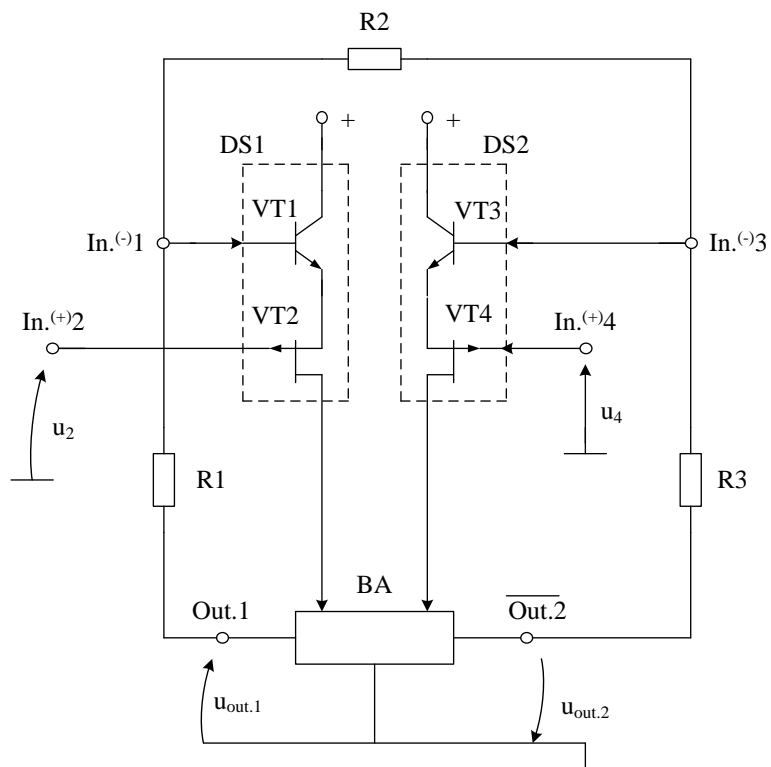


Рис. 6. Схема включения FDDA с «плохим» коэффициентом передачи синфазного сигнала (на базе C174a) (Чертеж 1166)

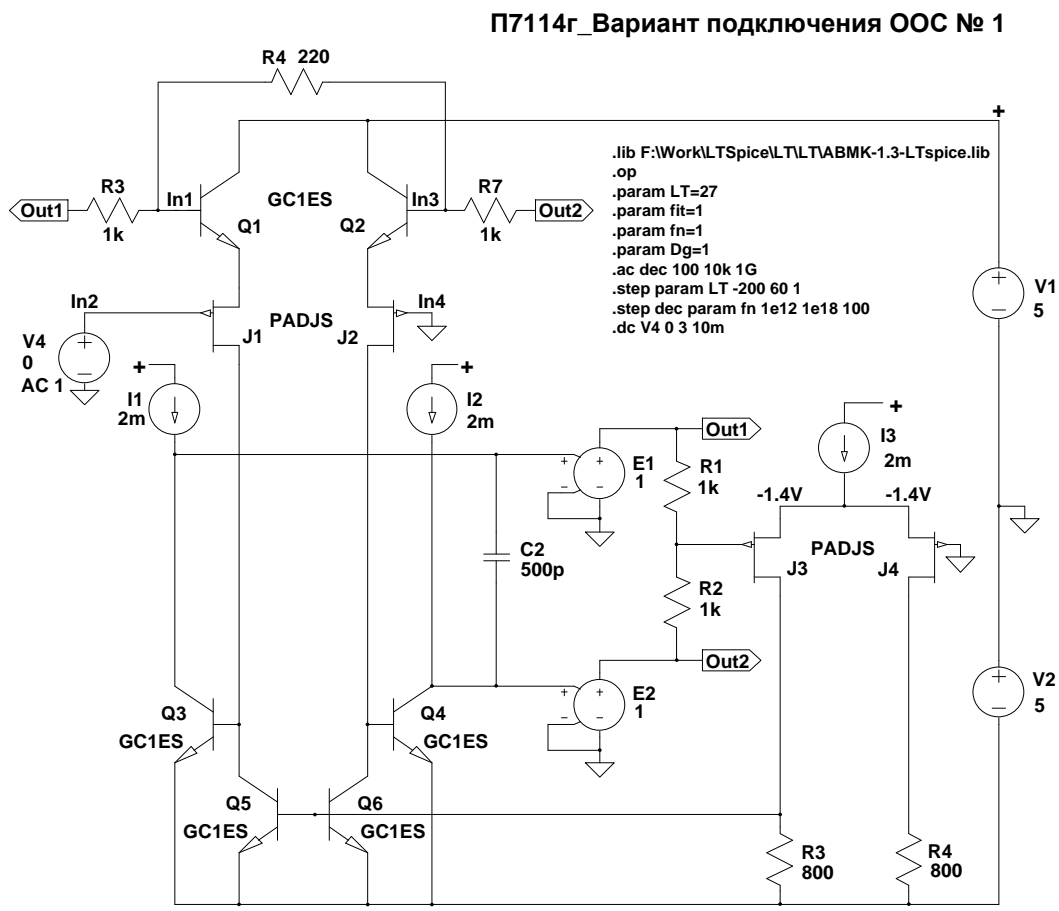


Рис. 7. Схема FDDA (рис. 5/6) в среде LTSpice с «плохим» коэффициентом передачи синфазного сигнала

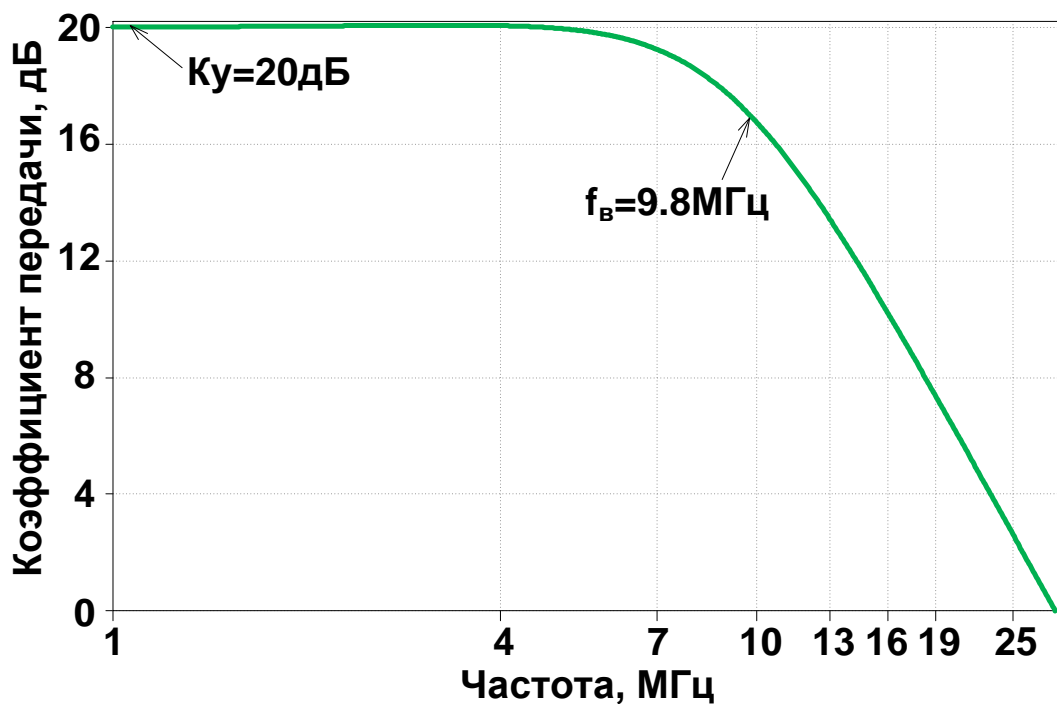


Рис. 8. Частотная зависимость коэффициента передачи FDDA (рис.7), при $R_6=R_8=110 \text{ Ом}$, $K_{\text{п}}=20\text{дБ}=10\text{раз}$, $(V_{\text{out1}}-V_{\text{out2}})/(V_{\text{in2}})$

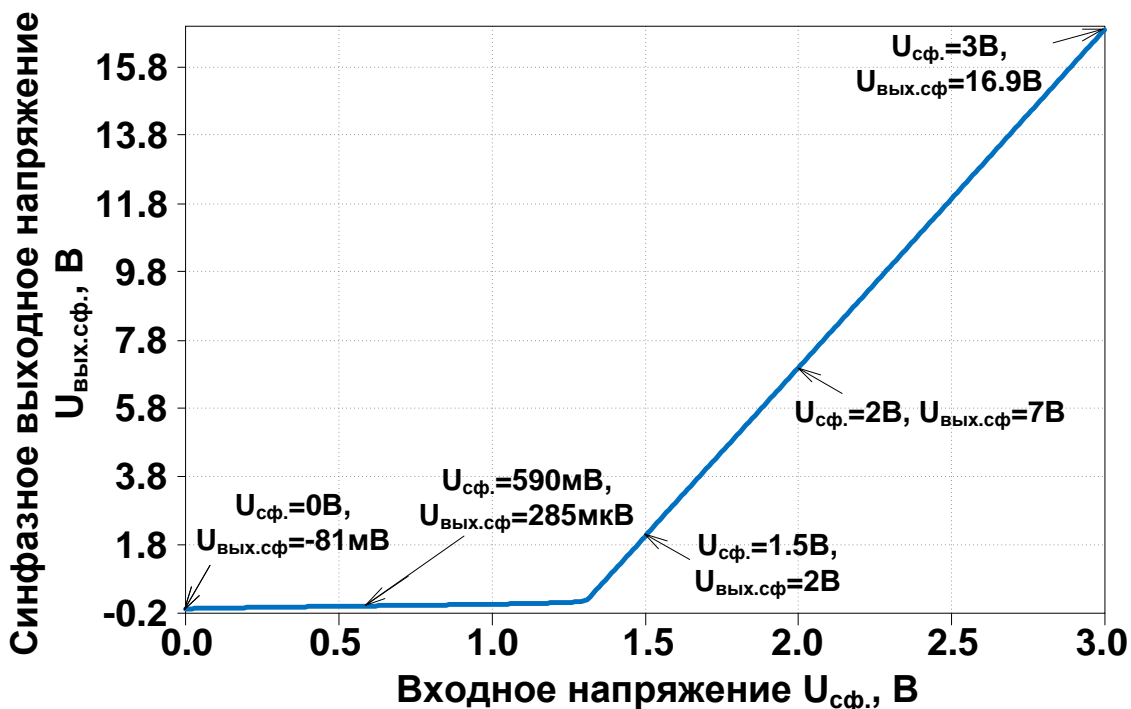


Рис. 9. Зависимость синфазного напряжения $U_{\text{ВЫХ.сф.}}=(u_{\text{ВЫХ.1}}+u_{\text{ВЫХ.2}})/2=(V_{\text{out1}}V_{\text{out2}})/2$ от входного напряжения $U_{\text{сф.}}=(u_{\text{ВХ.2}}+u_{\text{ВХ.4}})/2=(V_{\text{in2}}+V_{\text{in4}})$ (FDDA рис.7)

Вариант № 2 включения FDDA с парафазным выходом и двумя входными портами (С174б)

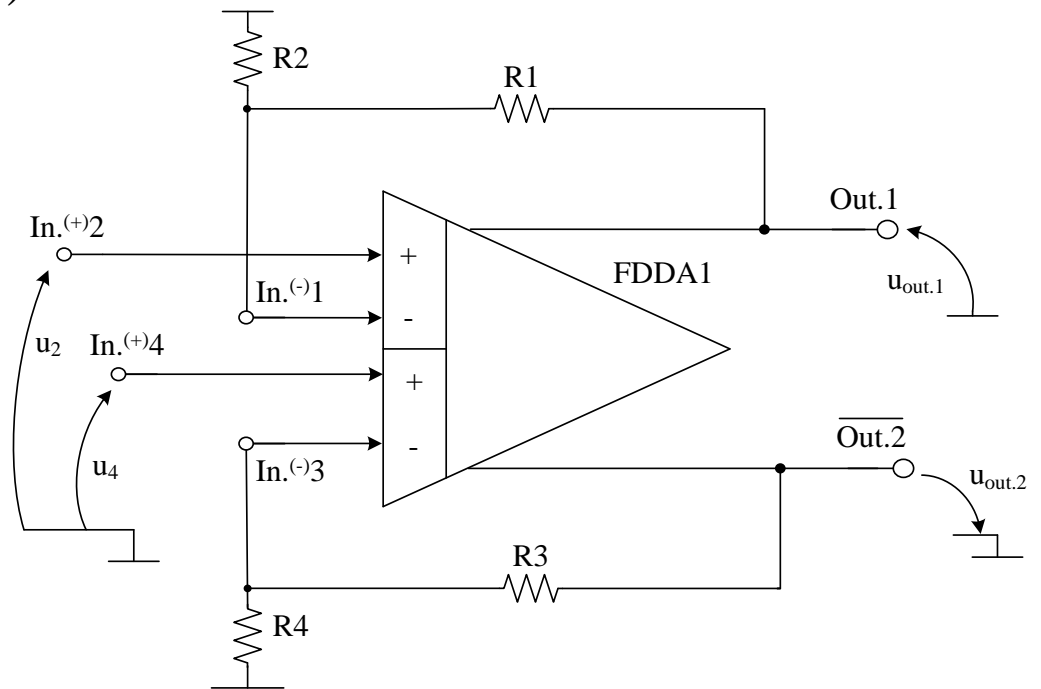


Рис. 10. Вариант № 2 включения FDDA с парафазным выходом и двумя входными портами (С174б)

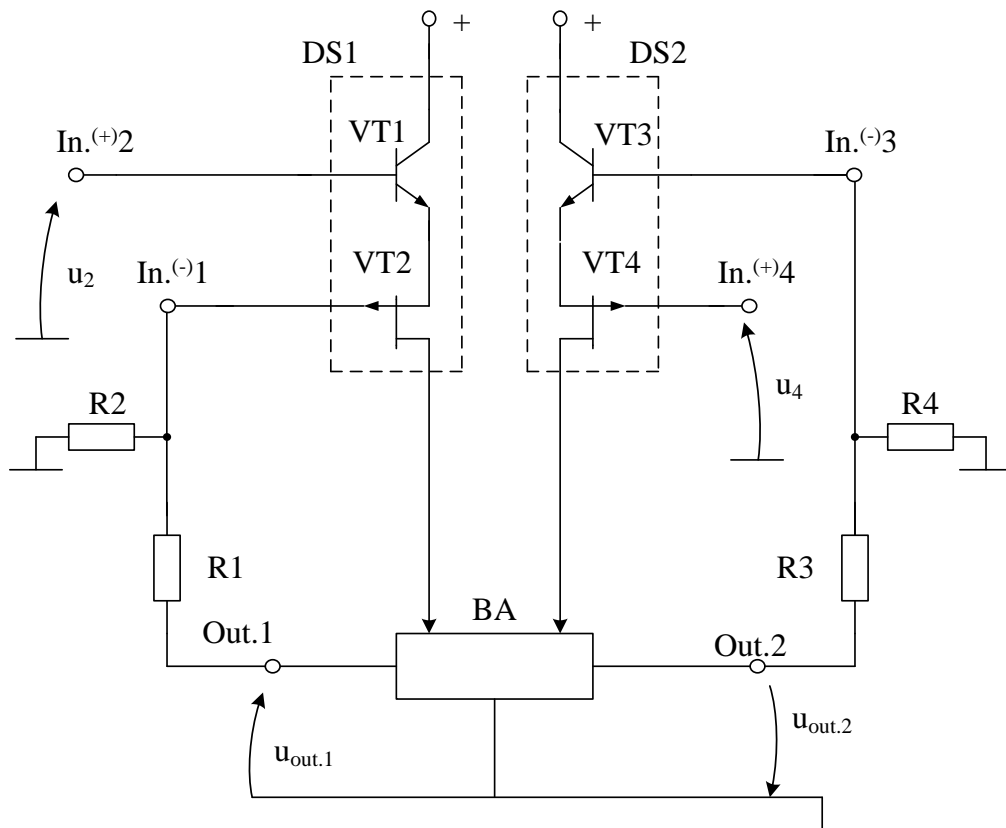


Рис. 11. Схема включения FDDA на базе С174б (Чертеж 1168)

П7114г_Вариант подключения ООС № 2

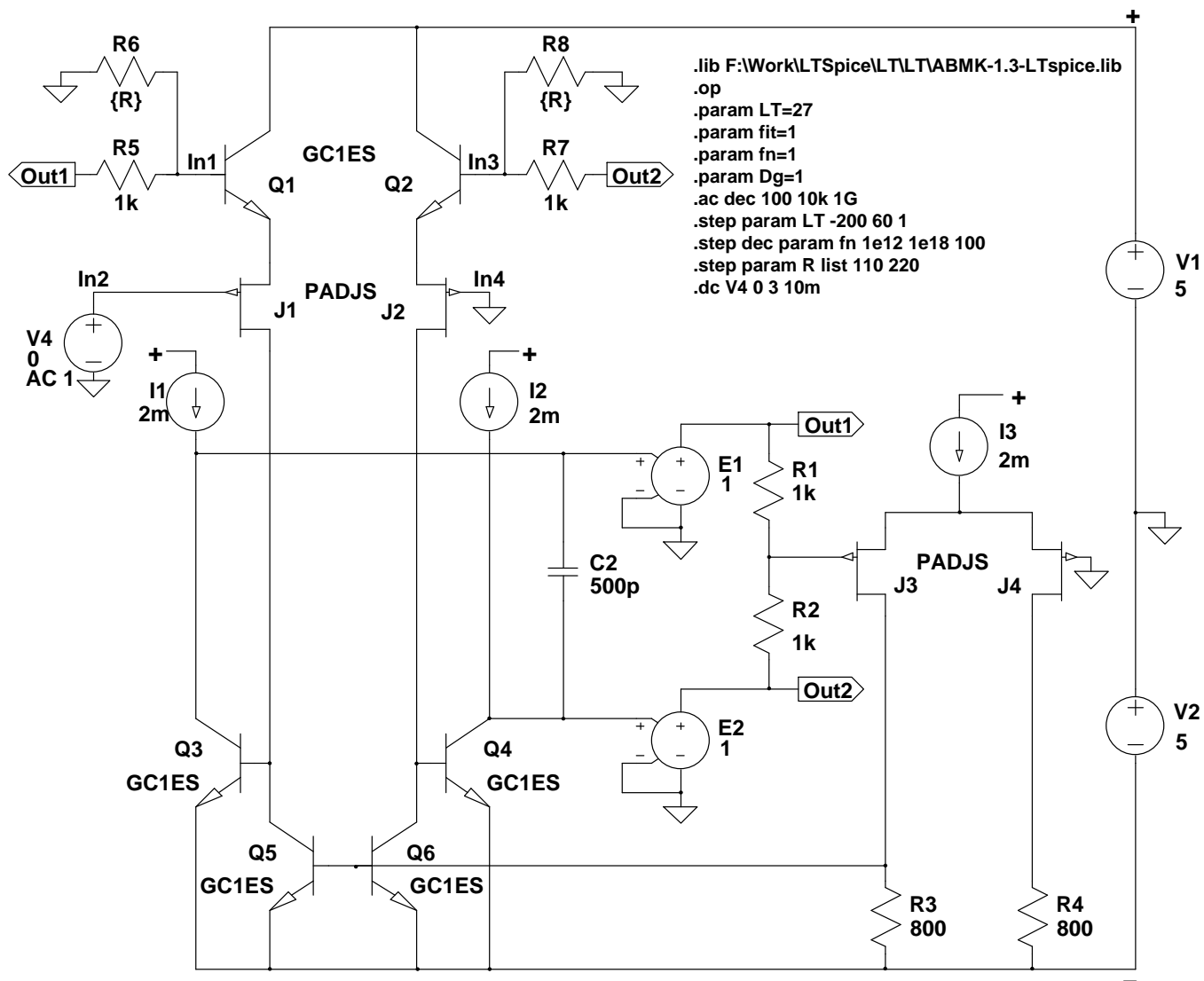


Рис. 12. Схема FDDA (рис.10/11) в среде LTSpice

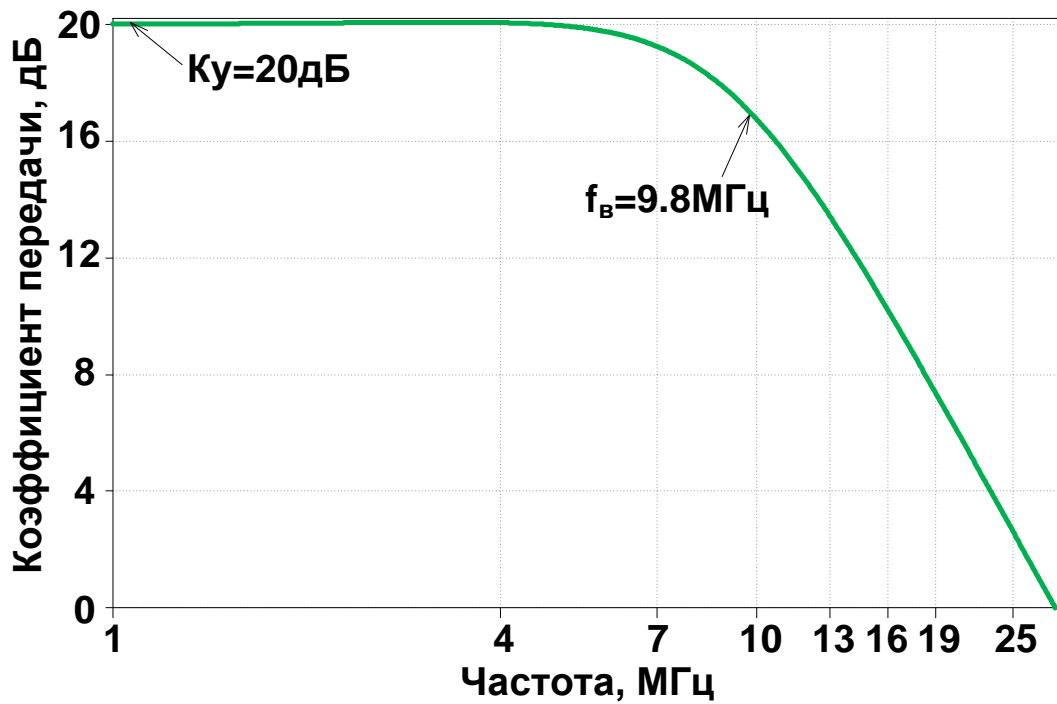


Рис. 13. Частотная зависимость коэффициента передачи FDDA (рис.12), при $R_6=R_8=110$ Ом $K_{П}=20$ дБ=10раз, $(V_{out1}-V_{out2})/(V_{in2})$

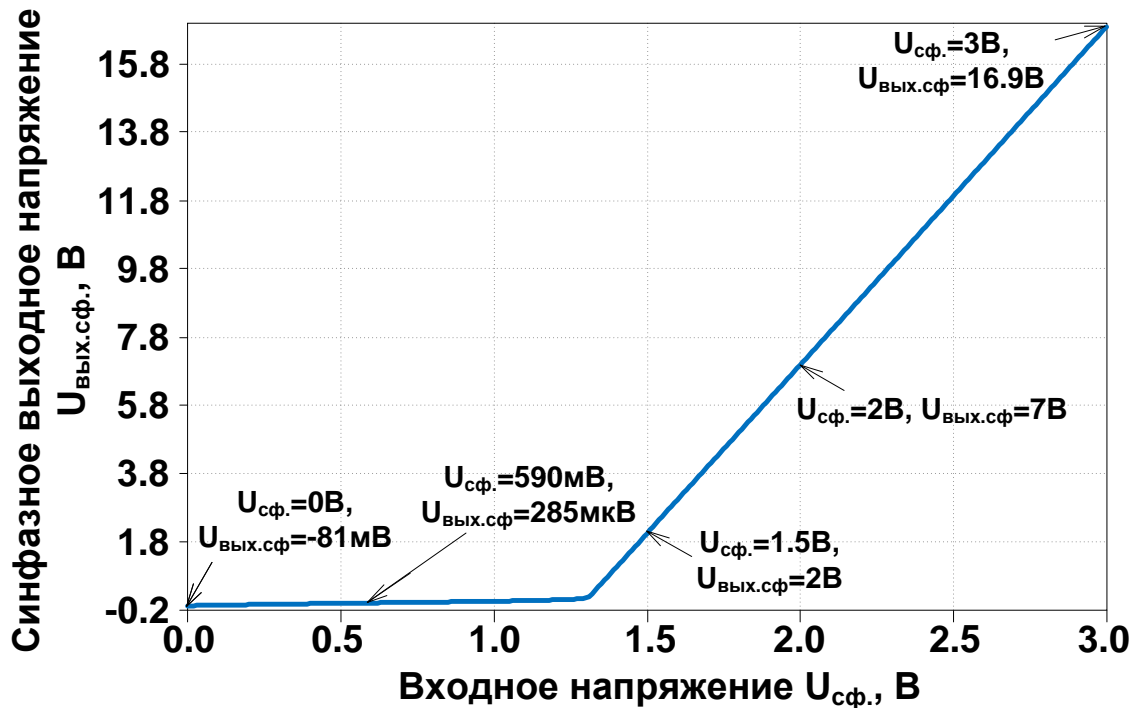


Рис. 14 Зависимость синфазного напряжения $U_{ВЫХ.сф.}=(u_{ВЫХ.1}+u_{ВЫХ.2})/2=(V_{out1}+V_{out2})/2$ от входного напряжения $U_{сф.}=(u_{ВХ.2}+u_{ВХ.4})/2=(V_{in2}+V_{in4})$ (FDDA рис.12)

Вариант № 3 включения FDDA (C174в)

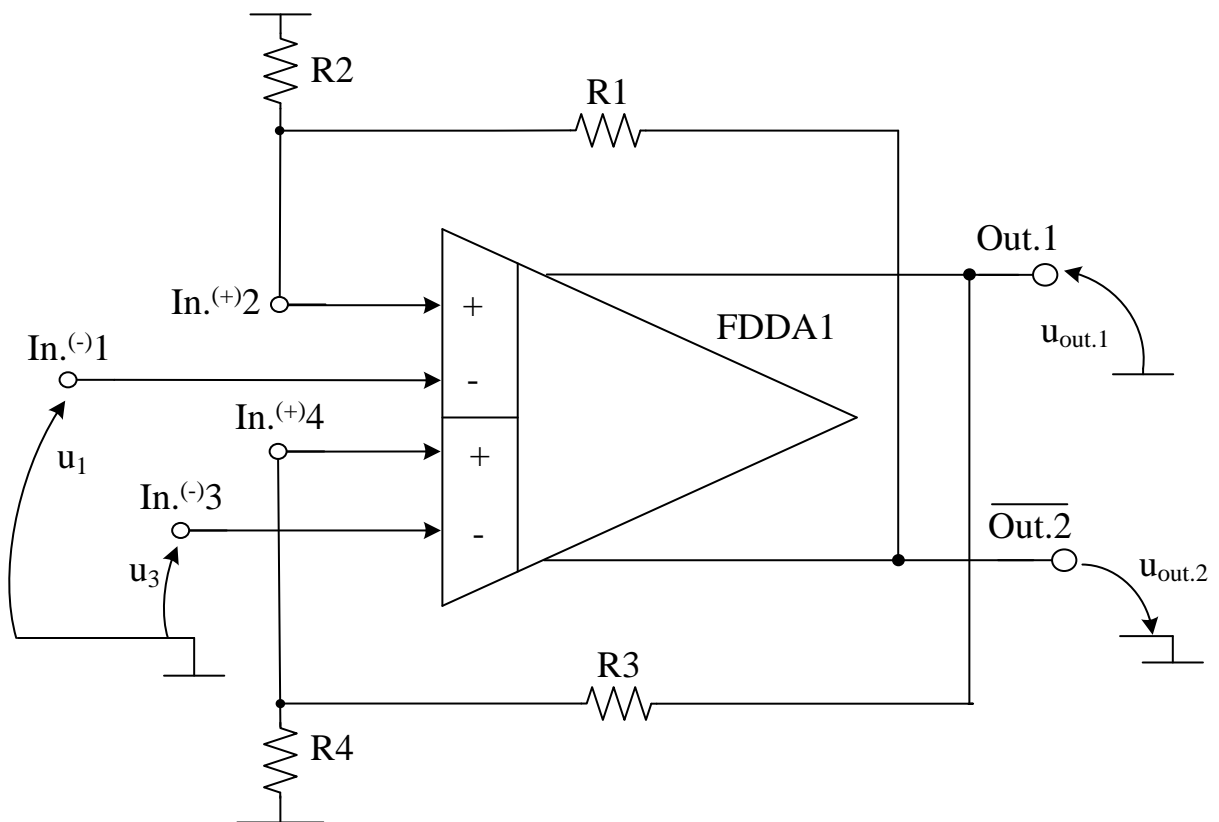


Рис. 15. Вариант № 3 включения FDDA (C174в)

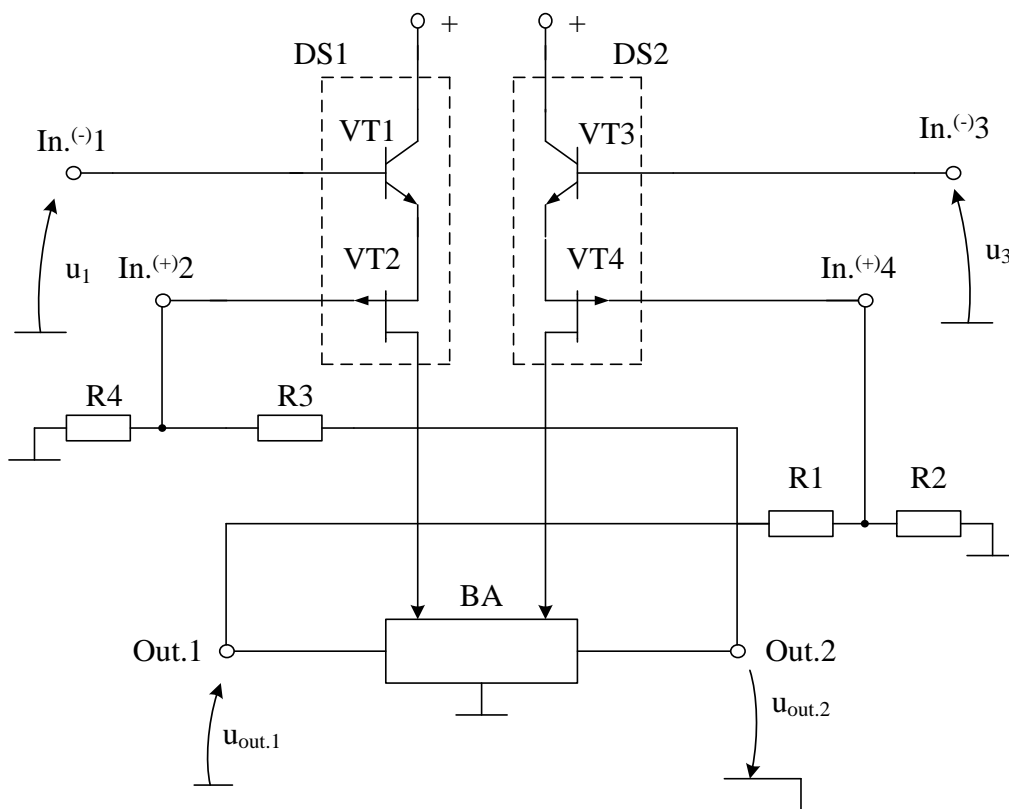


Рис. 16. Схема включения FDDA на базе C174в (Чертеж 1167)

П7114г_ Вариант подключения ООС № 3

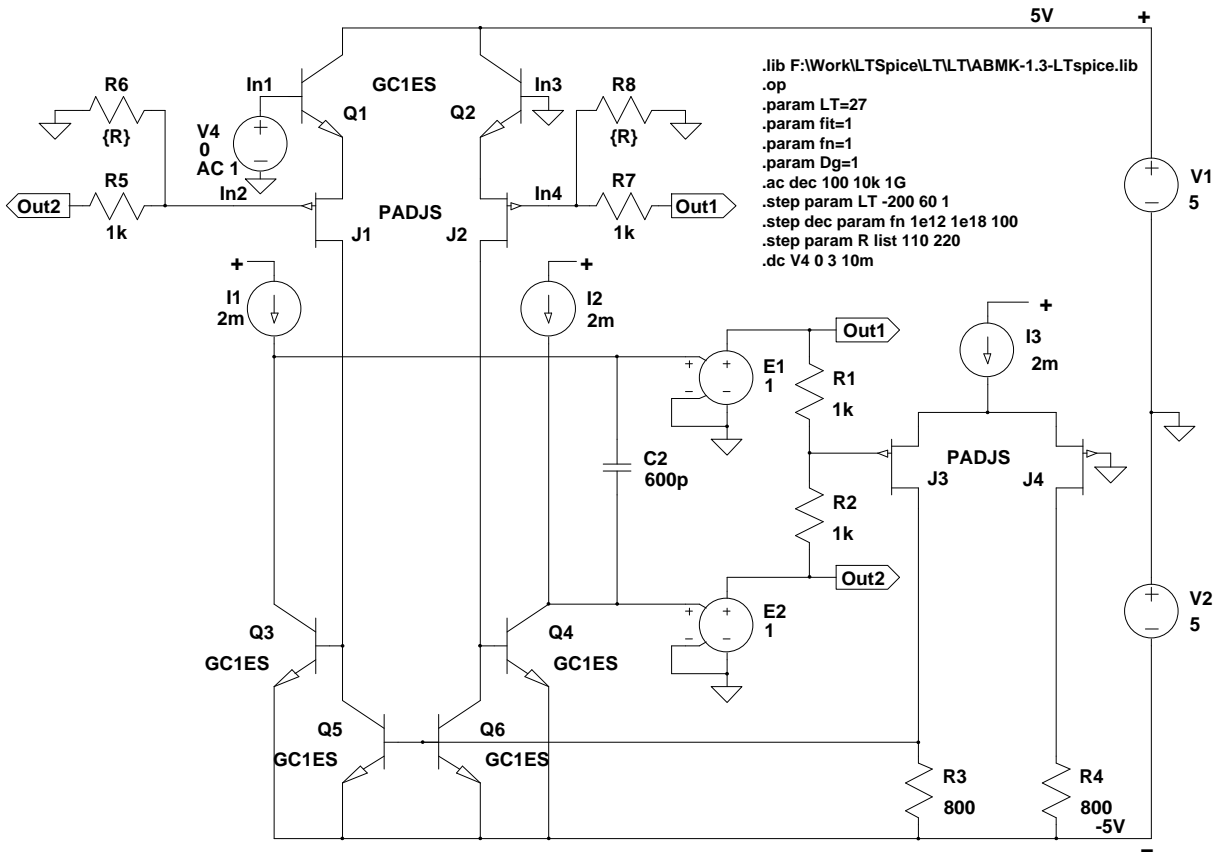


Рис.

17. Схема FDDA (рис. 15/16) в среде LTSpice

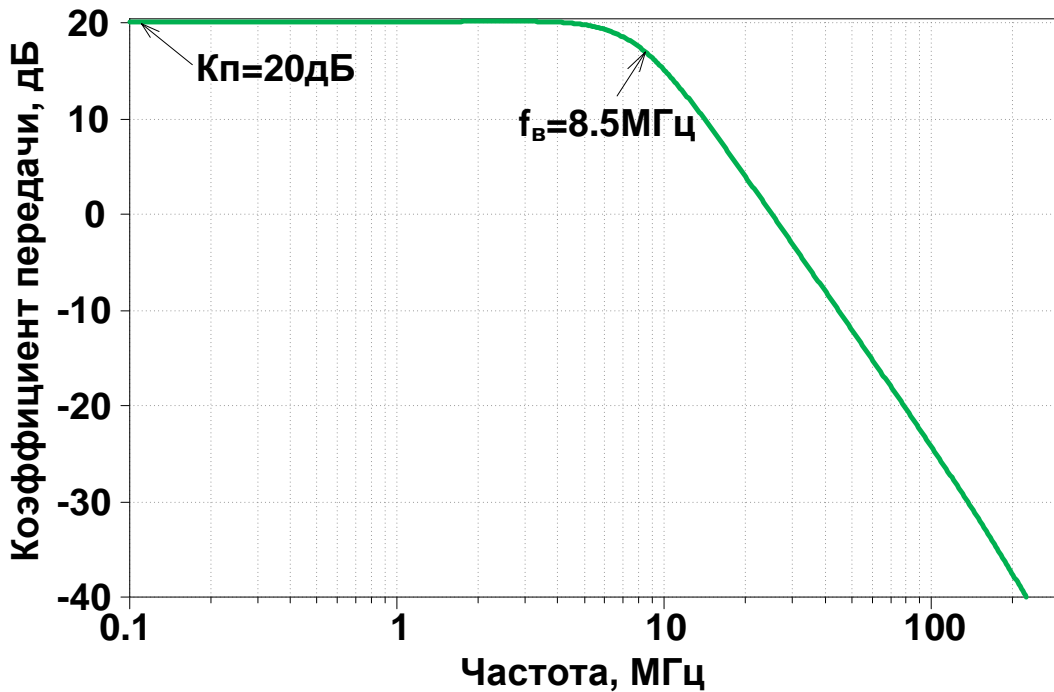


Рис. 18. Частотная зависимость коэффициента передачи FDDA (рис.17), при $R_6=R_8=110 \text{ Ом}$, $K_{\text{п}}=20\text{дБ}=10\text{раз}$, $(V_{\text{out1}}-V_{\text{out2}})/(V_{\text{in1}})$

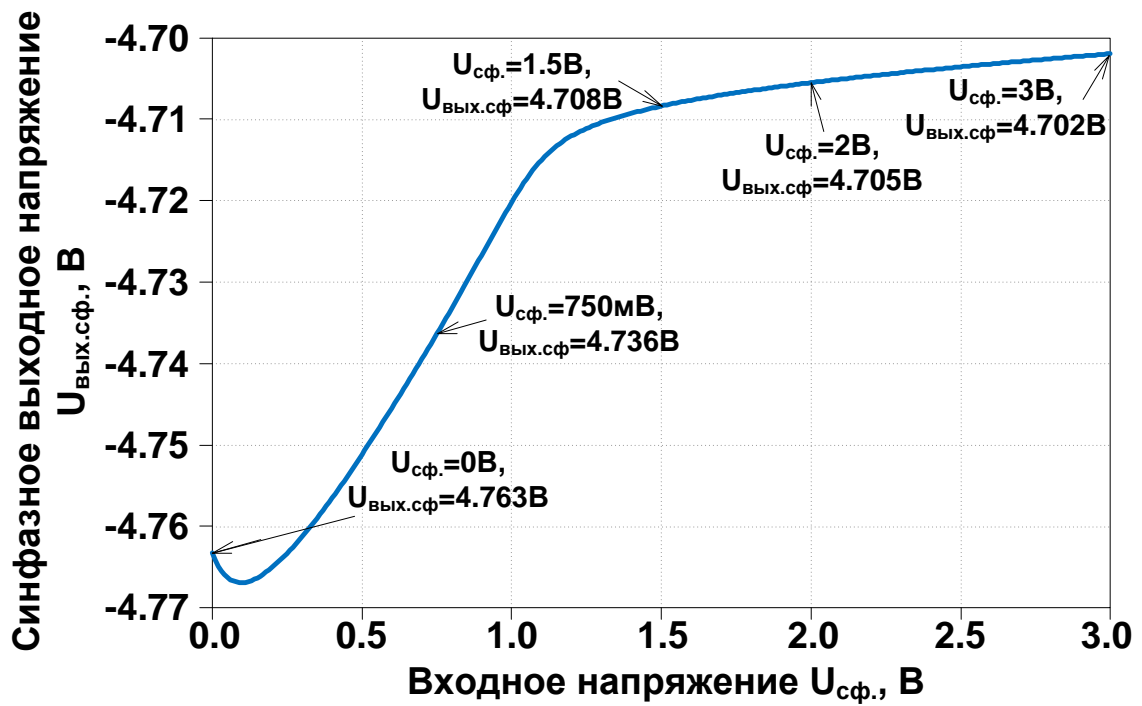


Рис. 19. Зависимость синфазного напряжения $U_{ВЫХ.сф.} = (u_{ВЫХ.1} + u_{ВЫХ.2})/2 = (V_{out1} + V_{out2})/2$ от входного напряжения $U_{сф.} = (u_{ВХ.1} + u_{ВХ.3})/2 = (V_{in1} + V_{in3})$ (FDDA рис.17)

Вариант № 4 включения FDDA (C174z)

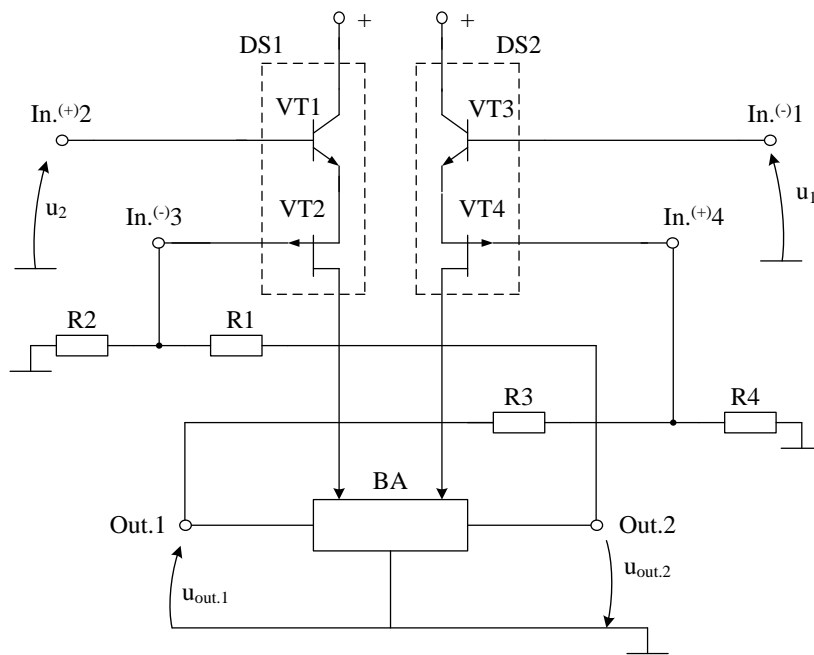


Рис. 20. Схема включения FDDA на базе C174г (Чертёж 1169)
П7114г_Вариант подключения ООС № 4

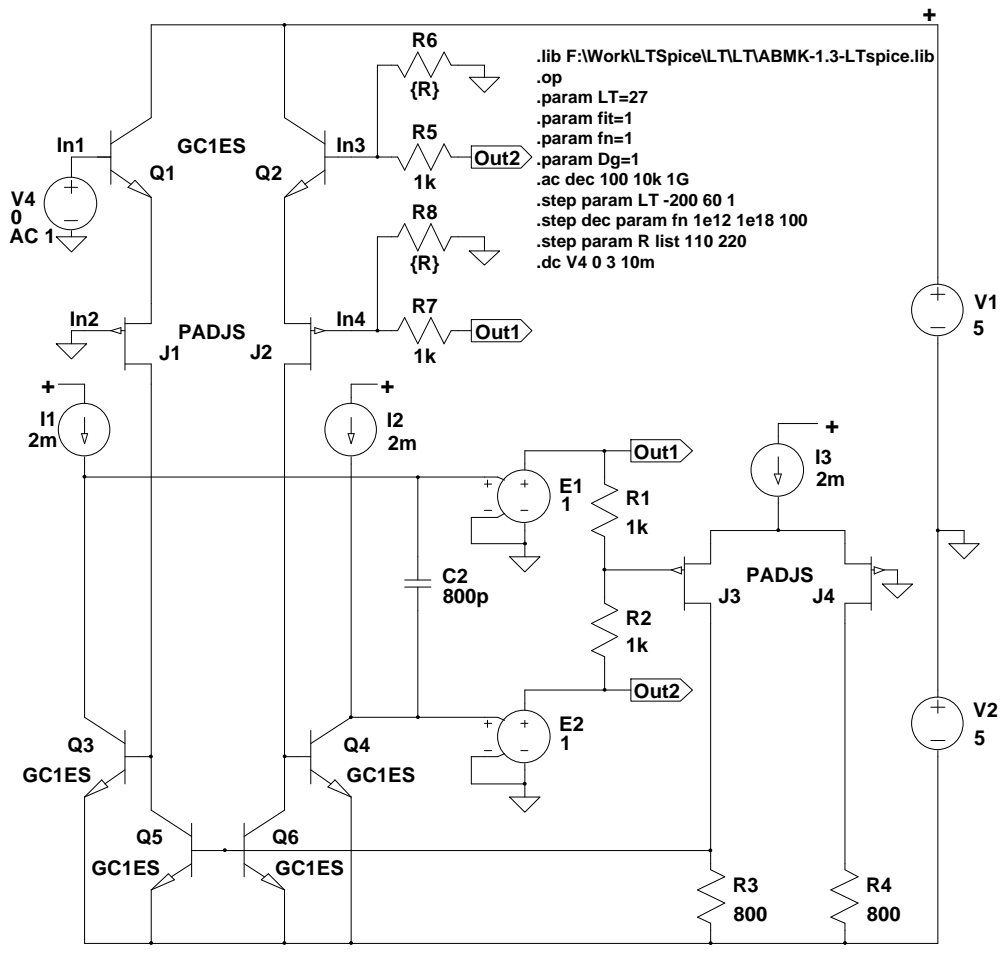


Рис. 21. Схема FDDA (рис. 20) в среде LTSpice

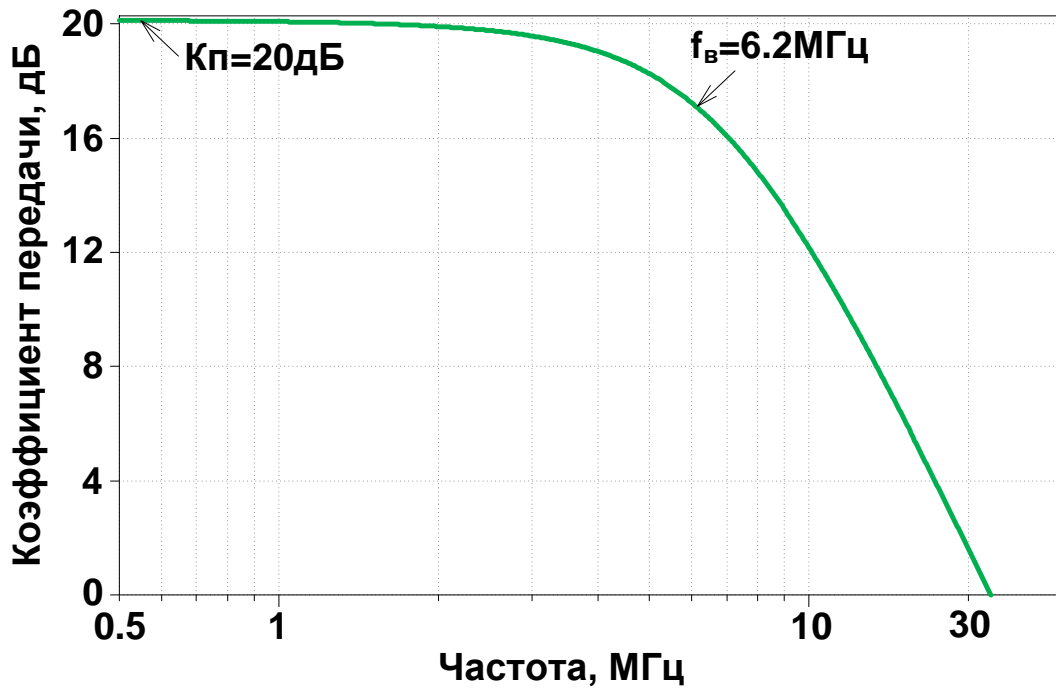


Рис. 22. Частотная зависимость коэффициента передачи FDDA (рис.21), при R₆=R₈=110 Ом, Кп=20дБ (10раз), $(V_{out1} - V_{out2}) / (V_{in1})$

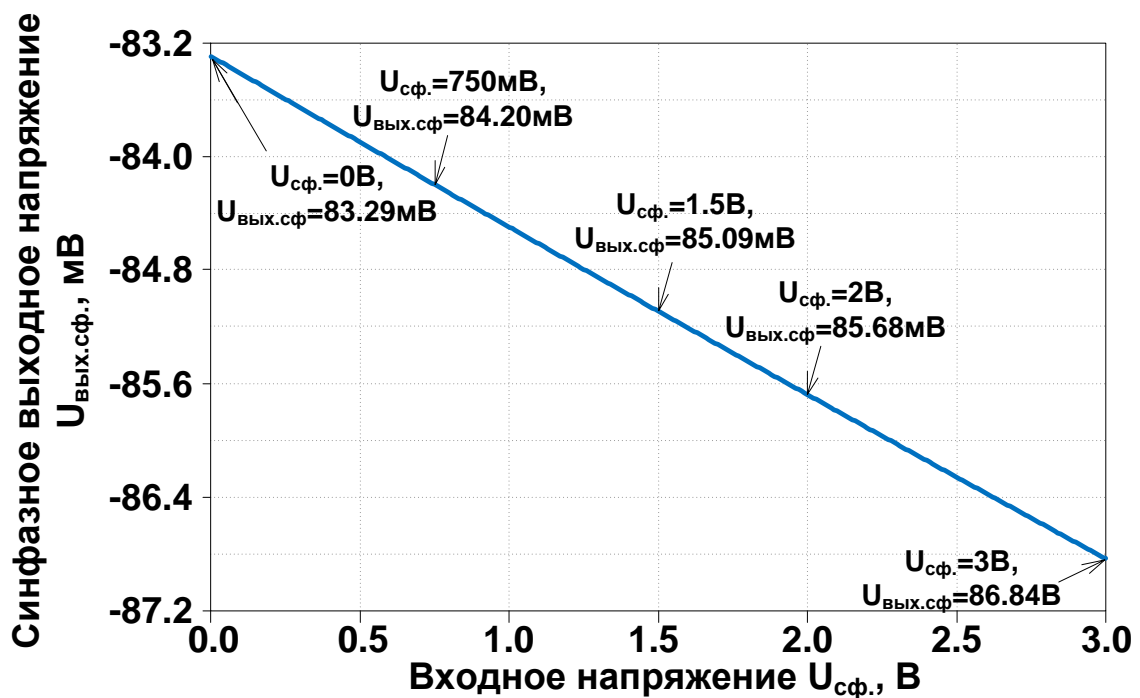
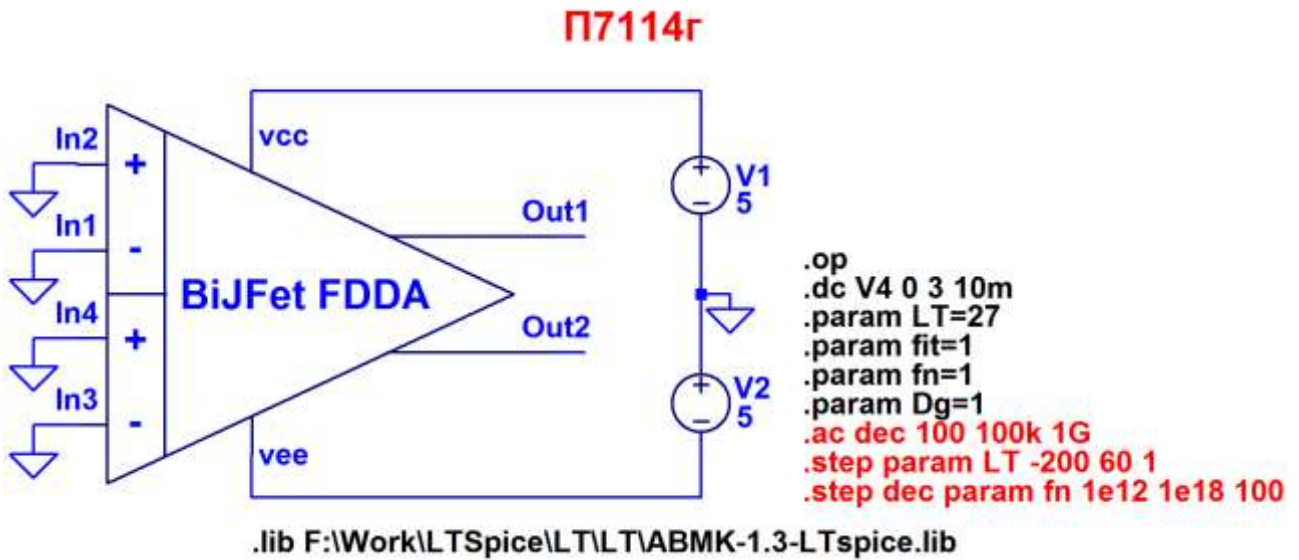


Рис. 23. Зависимость синфазного напряжения $U_{\text{вых.сф.}} = (u_{\text{вых.1}} + u_{\text{вых.2}}) / 2 = (V_{\text{out1}} + V_{\text{out2}}) / 2$ от входного напряжения $U_{\text{сф.}} = (u_{\text{вх.1}} + u_{\text{вх.2}}) / 2 = (V_{\text{in1}} + V_{\text{in2}})$ (FDDA рис.21)

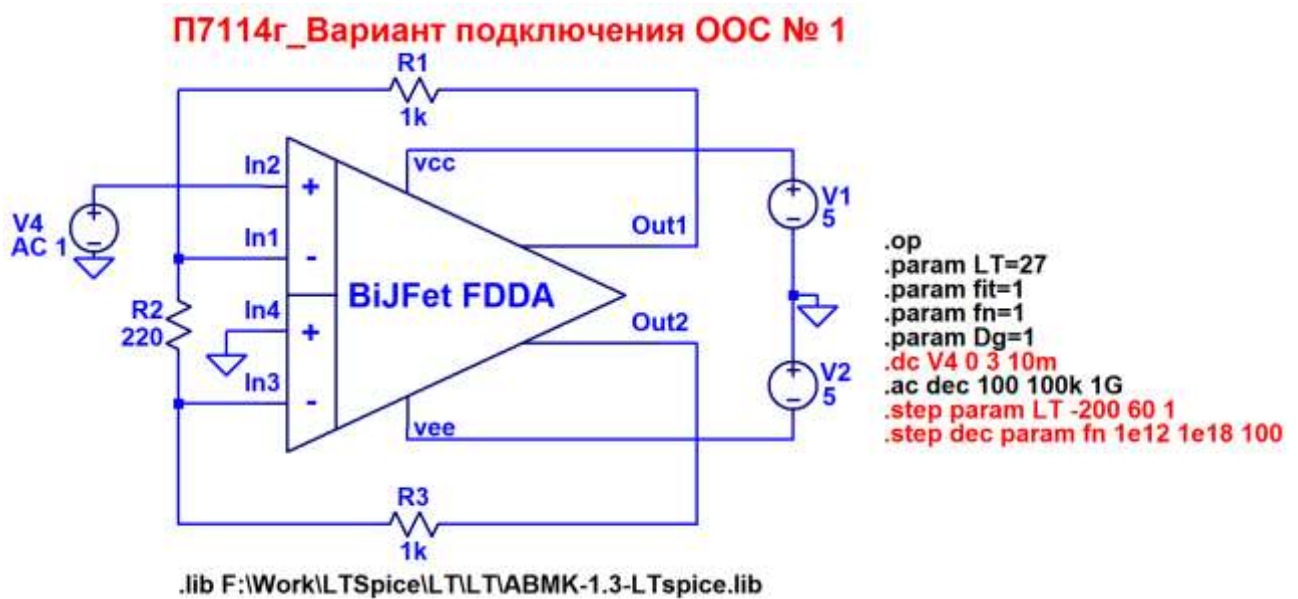
Netlist Рис. 3

```
* F:\Work\LTSpice\LT\schem310.asc
V1 + 0 5
V2 0 - 5
E1 Out1 0 N003 0 1
Q1 + 0 N001 0 GC1ES
Q2 + 0 N002 0 GC1ES
J1 N007 0 N001 PADJS
J2 N008 0 N002 PADJS
R5 Out1 N005 1k
R6 N005 Out2 1k
E2 Out2 0 N006 0 1
I1 + N003 2m
I2 + N006 2m
Q4 N006 N008 - 0 GC1ES
Q5 N007 N009 - 0 GC1ES
Q6 N008 N009 - 0 GC1ES
J3 N009 N005 N004 PADJS
J4 N010 0 N004 PADJS
I3 - N004 2m
R1 N009 - 800
R2 N010 - 800
C2 N003 N006 25p
C1 N008 N007 25p
Q3 N003 N007 - 0 GC1ES
.model NPN NPN
.model PNP PNP
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.bjt
.model NJF NJF
.model PJF PJF
.lib C:\Users\Anna\Documents\LTspiceXVII\lib\cmp\standard.jft
* П7114r
.lib F:\Work\LTSpice\LT\LT\ABMK-1.3-LTspice.lib
* .ac dec 100 1k 1G
.param LT=27
.param fit=1
.param fn=1
.param Dg=1
.op
* .step dec param fn 1e12 1e18 100
* .step param LT -200 60 1
.backanno
.end
```

16.3. Макромодель к BiJFet МОУ и ее netlist

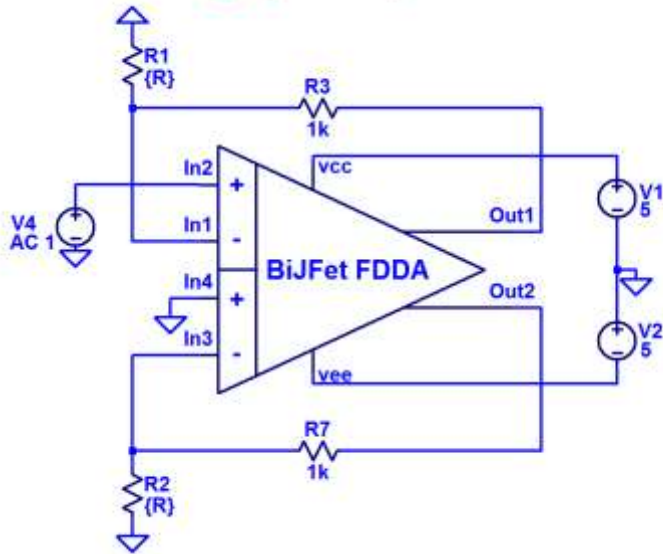


Фиг. 1. Макромодель схемы BiJFet FDDA с парафазным выходом рис. 1



Фиг. 2. Макромодель схемы BiJFet FDDA с парафазным выходом рис. 7

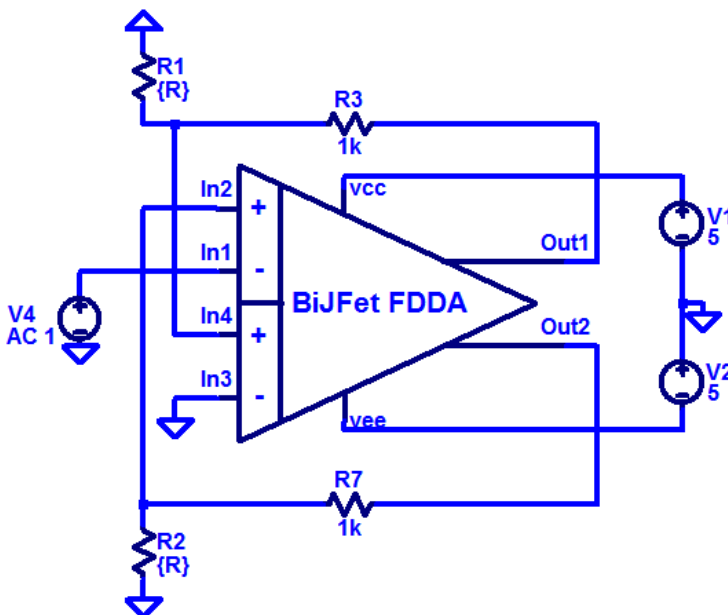
П7114г_Вариант подключения ООС № 2



```
.op
.param LT=27
.param fit=1
.param fn=1
.param Dg=1
.dc V4 0 3 10m
.ac dec 100 100k 1G
.step param LT -200 60 1
.step dec param fn 1e12 1e18 100
.step param R list 110 220
.lib F:\Work\LTSpice\LT\LTABMK-1.3-LTspice.lib
```

Фиг. 3. Макромодель схемы BiJFet FDDA с парафазным выходом рис. 12

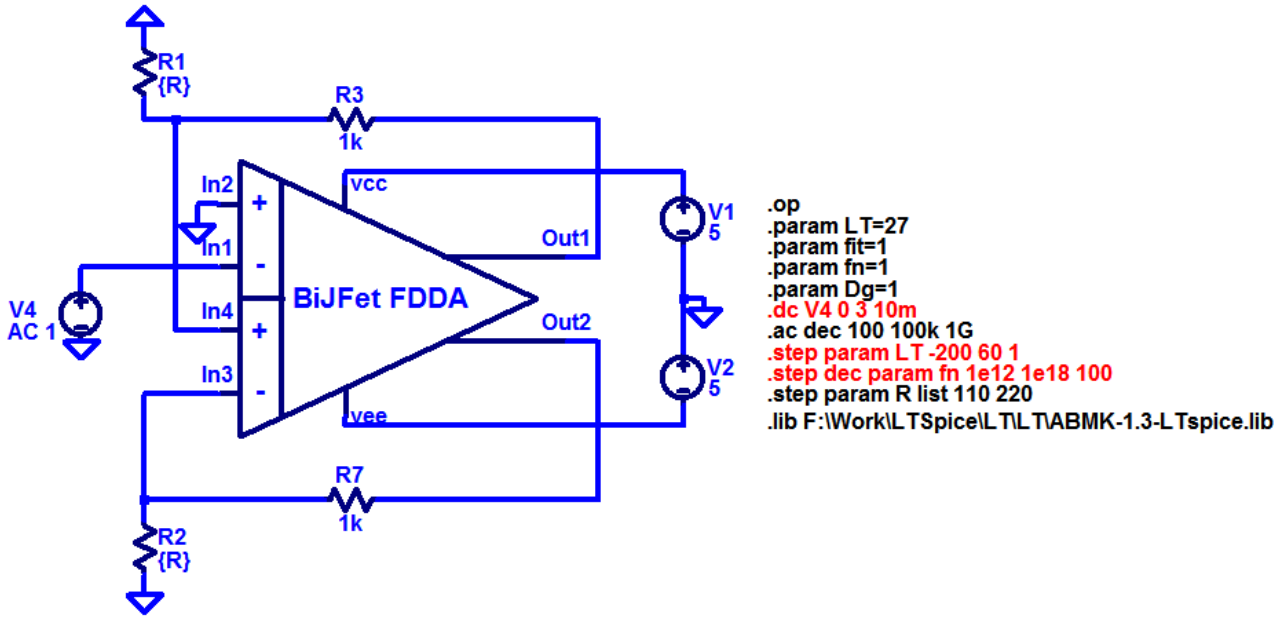
П7114г_Вариант подключения ООС № 3



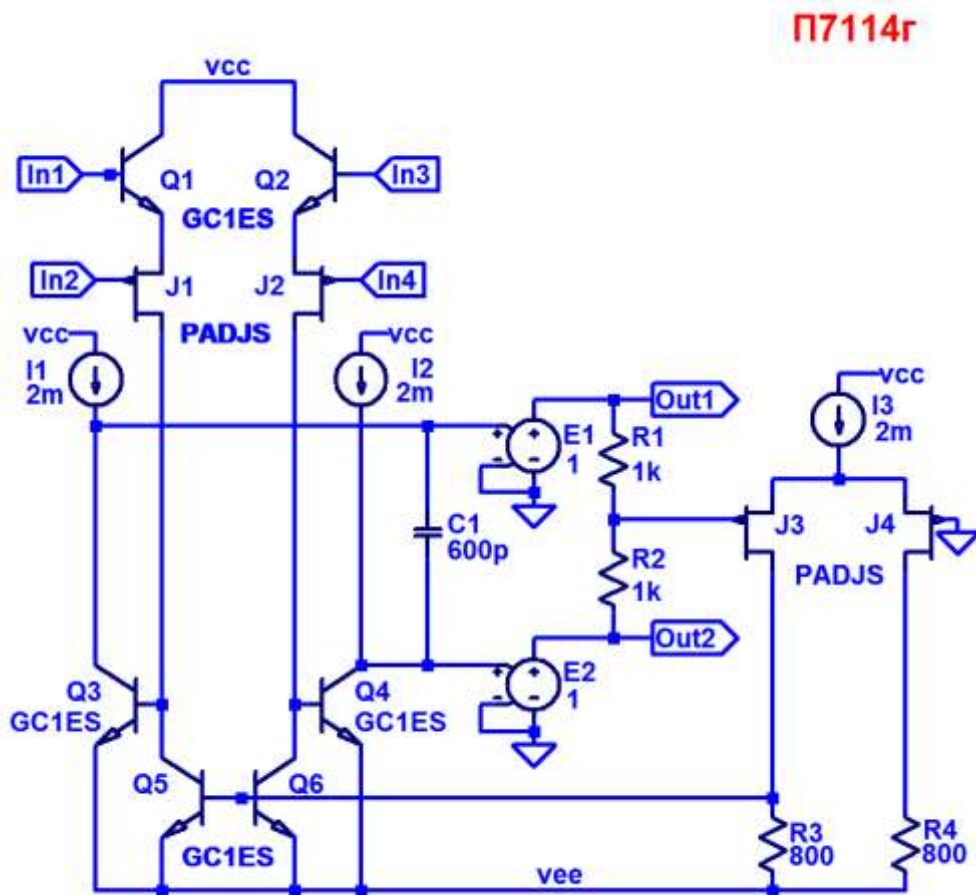
```
.op
.param LT=27
.param fit=1
.param fn=1
.param Dg=1
.dc V4 0 3 10m
.ac dec 100 100k 1G
.step param LT -200 60 1
.step dec param fn 1e12 1e18 100
.step param R list 110 220
.lib F:\Work\LTSpice\LT\LTABMK-1.3-LTspice.lib
```

Фиг. 4. Макромодель схемы BiJFet FDDA с парафазным выходом рис. 17

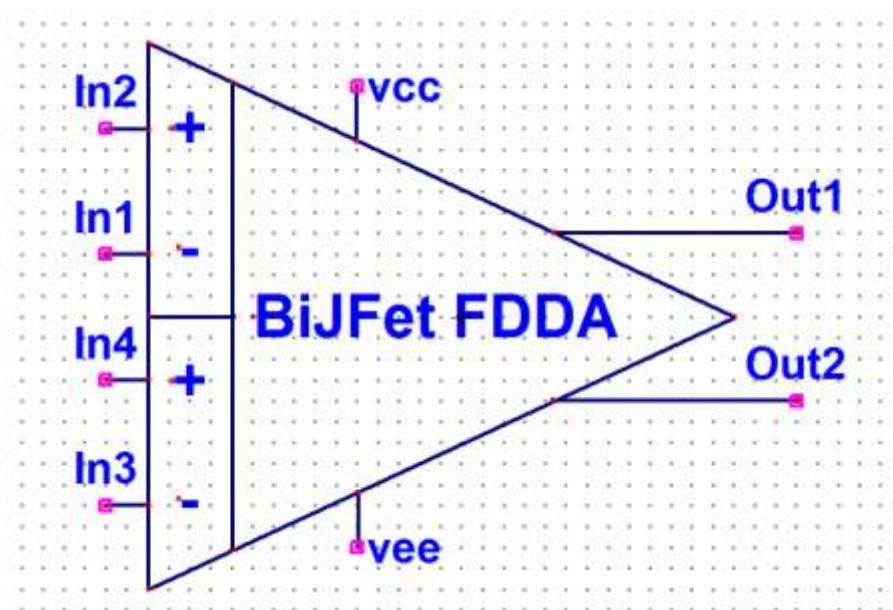
П7114г_Вариант подключения ООС № 4



Фиг. 5. Макромодель схемы BiJFet FDDA с парафазным выходом рис. 21



Фиг. 6. Подсхема BiJFet FDDA с парафазным выходом рис. 1



Фиг. 7. Символ макромодели BiJFet FDDA с парафазным выходом рис. 1

16.4. Выводы

Результаты моделирования фиг.2-фиг.5 полностью совпадают с предыдущими результатами моделирования. Таким образом, макромодель фиг. 7 – работоспособна.

16.5. Список литературы

[1] Дворников О.В., Прокопенко Н.Н., Бугакова А.В., Игнашин А.А. Инструментальные и мультидифференциальные усилители датчиковых систем на основе новой микросхемы базового структурного кристалла МН2ХА010 // Проблемы разработки перспективных микро- и наноэлектронных систем - 2016. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2016. Часть III. С. 106-113.

URS: <http://www.mes-conference.ru/data/year2016/pdf/D050.pdf>

17. BiJFet мультидифференциальный операционный усилитель OАmp5 на базе микросхемы МН2ХА030

17.1. Назначение и текстовое описание схемы МОУ

МОУ предназначен для работы в аналоговых и аналого-цифровых устройствах систем связи, автоматики и приборостроения [1-4], имеет большое количество схем включения и позволяют получать различные коэффициенты передачи [5,6] без резисторов обратной связи.

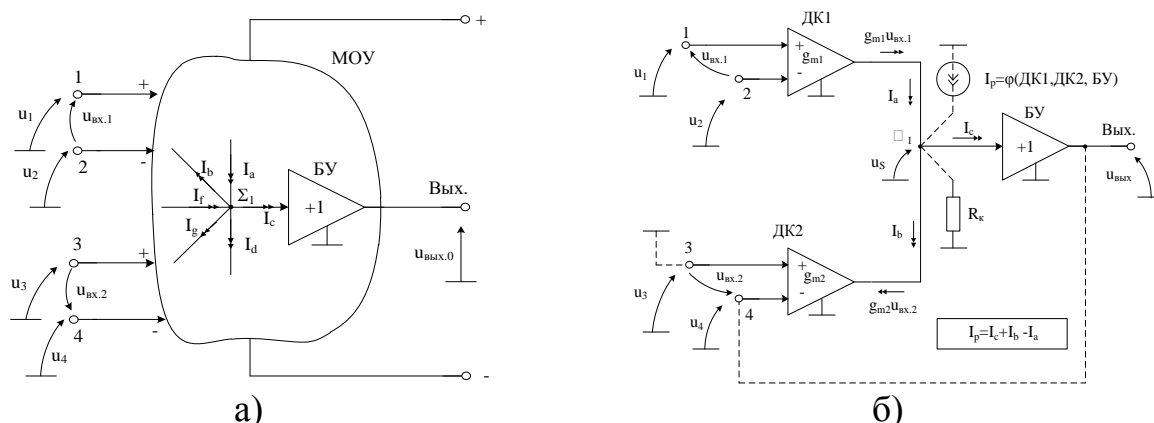


Рис. 1. Структурная схема МОУ с одним высокоимпедансным узлом (а) и пример его построения (б)

Практическая реализация схемы рис. 1 может быть осуществлена в рамках различных технологий: TSMC (BiCMOS), SiGe (ИПР, Германия), NHGRACE SoI (кремний на изоляторе), H10-CMOS090_LP (АО «Микрон», г. Зеленоград), 3КБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

Текстовое описание схемы рис. 1

Функциональная схема МОУ [7-9] рис.1б включает:

- преобразователи «напряжение-ток» (ДК1, ДК2) на основе классических дифференциальных каскадов (ДК),
- эквивалентное сопротивление в высокоимпедансном узле Σ_1 (R_k),
- эквивалентная ёмкость в высокоимпедансном узле Σ_1 (C_k),
- буферный усилитель (БУ).

Эквивалентная схема МОУ для расчета нулевого уровня

В связи с множеством вариантов включения МОУ, расчет его нулевого уровня целесообразно осуществлять с учетом автономного параметра I_p (рис. 1б) [7]. Здесь под автономным параметром I_p [7] понимается разностный ток в высокоимпедансном узле Σ_1 на эквипотенциальный узел при подключении всех входов МОУ к общей шине.

Таким образом, статическая погрешность МОУ определяется, используя автономный параметр I_p , который, в зависимости от схемы включения МОУ,

«приводится» к тем или иным ее источникам сигнала через параметры крутизны g_{m1} , g_{m2} входных каскадов ДК1 и ДК2.

Рассматриваемая [7] методика аналитического расчета нулевого уровня схем с МОУ заключается в реализации следующих этапов:

1. Для расчета $U_{см}$ используется разработанная выше эквивалентная схема МОУ, в которой введен токовый автономный параметр I_p , характеризующий статические погрешности его дифференциальных каскадов;
2. Высокоимпедансный узел закорачивается на эквипотенциальный источник напряжения через низкоомный резистор R_k ;
3. Входы всех ДК подключаются к общей шине. При этом определяется автономный параметр I_p МОУ, связанный с высокоимпедансным узлом, учитывающий влияние β транзисторов. Он определяется как ток, протекающий в низкоомном резисторе R_k ;
4. Выбирается входной узел МОУ, для которого необходимо выполнить расчет напряжения смещения нуля ($U_{см.i}$);
5. Методом теории цепей рассчитывается напряжение смещения нуля, приведенного к выбранному входу МОУ.

В общем случае, при наличии резисторов в цепях обратной связи и ненулевых сопротивлениях источников сигнала, нулевой уровень разных схем включения МОУ зависит не только от автономного параметра I_p , влияющего на $U_{см}$, но и входных токов входных дифференциальных каскадов $I_{вх.1}$, $I_{вх.2}$, $I_{вх.3}$, $I_{вх.4}$. Эти токи в соответствии с [7], также являются автономными параметрами МОУ. В этой связи полная эквивалентная схема МОУ с двумя входными каскадами для определения нулевого уровня различных схем его включения соответствует рис. 2.

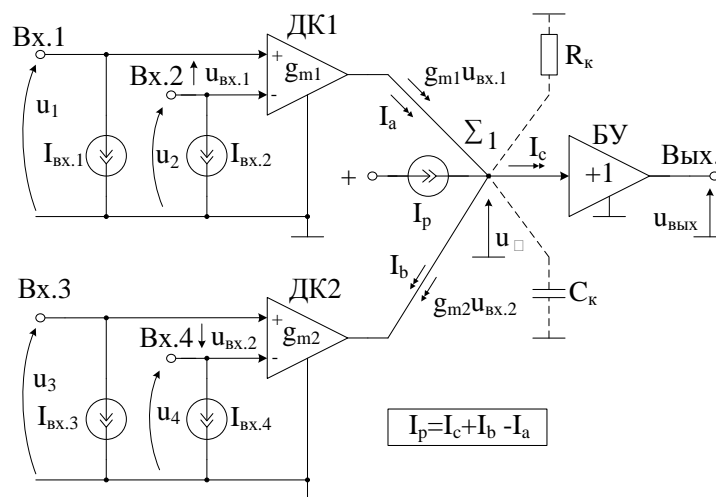


Рис. 2. Полная эквивалентная схема МОУ для расчета $U_{см}$ аналоговых устройств

Для уменьшения статических ошибок от нулевого уровня МОУ рекомендуется обеспечить нулевое значение автономного параметра I_p . Это можно обеспечить за счет схемотехнических решений входных ДК [7,8].

Эквивалентная схема МОУ при работе с несколькими входными синфазными сигналами

На каждом из двух (1-2, 3-4) дифференциальных входов МОУ (рис. 3) в общем случае могут присутствовать разные входные синфазные сигналы $u_{\text{сф.1}} = (u_1 + u_2)/2$ и $u_{\text{сф.2}} = (u_3 + u_4)/2$. Эти сигналы из-за неидеальности транзисторов и разброса параметров активных и пассивных элементов входных каскадов ДК1 и ДК2 передаются в высокоимпедансный узел Σ_1 в виде токовых составляющих: $i_{1\text{сф}} = 0,5g_{\text{мсф.1}}(u_1 + u_2) \ll |(u_1 - u_2)g_{\text{м1}}|$, $i_{2\text{сф}} = 0,5g_{\text{мсф.2}}(u_3 + u_4) \ll |(u_3 - u_4)g_{\text{м2}}|$, где $g_{\text{м.сф.i}}$ – проводимости передачи входных синфазных напряжений ДК1 и ДК2 в узел Σ_1 ; $g_{\text{м1}}$, $g_{\text{м2}}$ – проводимости передачи входных дифференциальных напряжений ДК1, ДК2 в узел Σ_1 . Причем $g_{\text{м.сф.1}} \ll g_{\text{м1}}$, $g_{\text{м.сф.2}} \ll g_{\text{м2}}$. Влияние напряжений $u_{\text{сф.1}}$ и $u_{\text{сф.2}}$ на погрешности в различных схемах включения МОУ можно отразить введением в его эквивалентной схеме (рис. 3) автономного параметра - источника тока $i_{\text{сф}}$, который зависит от амплитуд $u_{\text{сф.1}}$, $u_{\text{сф.2}}$, а также проводимостей $g_{\text{м.сф.1}}$, $g_{\text{м.сф.2}}$:

$$i_{\text{сф}} = g_{\text{мсф.1}}u_{\text{сф.1}} + g_{\text{мсф.2}}u_{\text{сф.2}}, \quad (1)$$

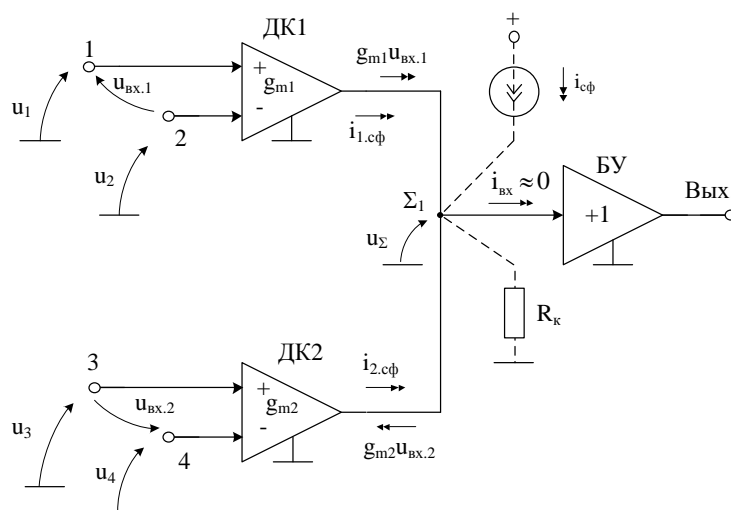


Рис. 3. Эквивалентная схема МОУ для расчета ошибок от синфазных сигналов на входах ДК1 и ДК2 [7]

Таким образом, в зависимости от схемы включения МОУ в конкретных устройствах, аналитический расчет ошибок от синфазных сигналов на входах ДК1, ДК2 можно выполнить с учетом эквивалентной схемы (рис. 3) в следующей последовательности:

1. Определяется входной узел аналогового устройства на базе МОУ, к которому должна быть приведена ошибка от синфазных сигналов на входах ДК1, ДК2.

2. Устанавливается наличие (или отсутствие) синфазных напряжений на входах ДК1 и ДК2. Если одно из напряжений $u_{\text{сф.1}}$, $u_{\text{сф.2}}$ равно нулю, то в эквивалентной схеме МОУ рис. 3 исключаются соответствующие слагаемые тока $i_{\text{сф}}$.

3. Определяется зависимость проводимостей передачи синфазных сигналов $g_{\text{м.сф.1}}$ ($g_{\text{м.сф.2}}$) от параметров элементов схемы для случая, когда

высокоимпедансный узел Σ_1 закорочен на эквипотенциальный узел с нулевым внутренним сопротивлением.

4. Рассчитывается одним из методов анализа электронных схем (с учетом рис. 3) ошибка, обусловленная синфазными сигналами на входах ДК1, ДК2 в конкретном устройстве на основе МОУ [7].

17.2. Результаты компьютерного моделирования МОУ

На рис. 4 показан коэффициент усиления МОУ рис. 8.

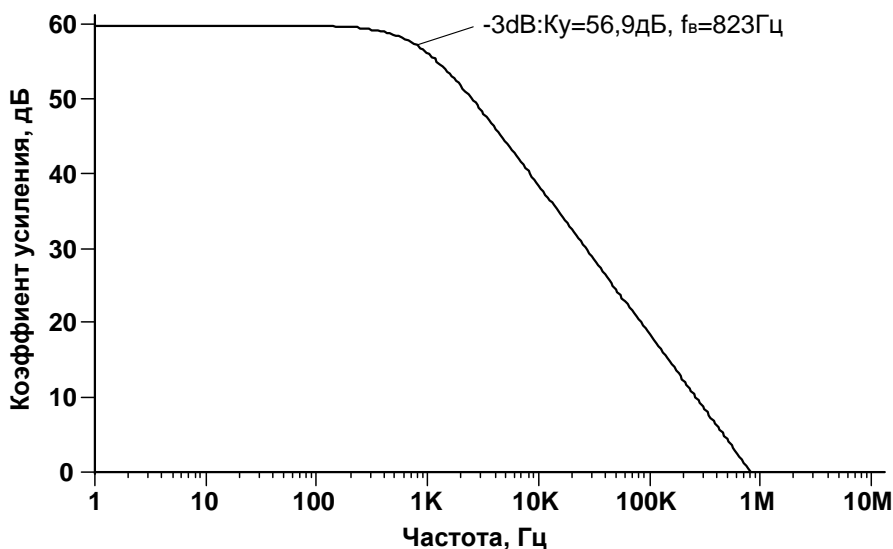


Рис. 4. Коэффициент усиления МОУ

Зависимость систематической составляющей напряжения смещения нуля МОУ (рис.8) от температуры изображена на рис. 5.

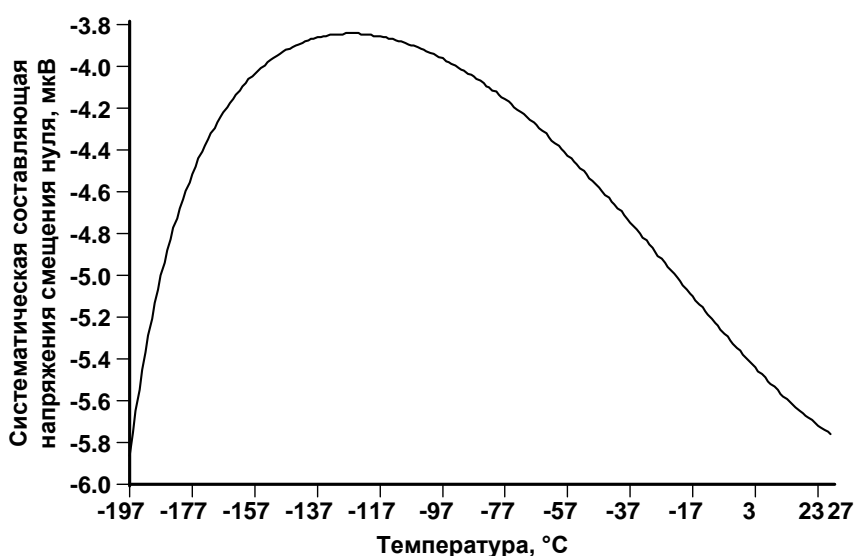


Рис. 5. Зависимость систематической составляющей напряжения смещения нуля от температуры

На рис. 6 представлены зависимости систематической составляющей напряжения смещения нуля МОУ (рис.8) от потока нейтронов при $t=27^{\circ}\text{C}$ (а) и $t=-197^{\circ}\text{C}$ (б).

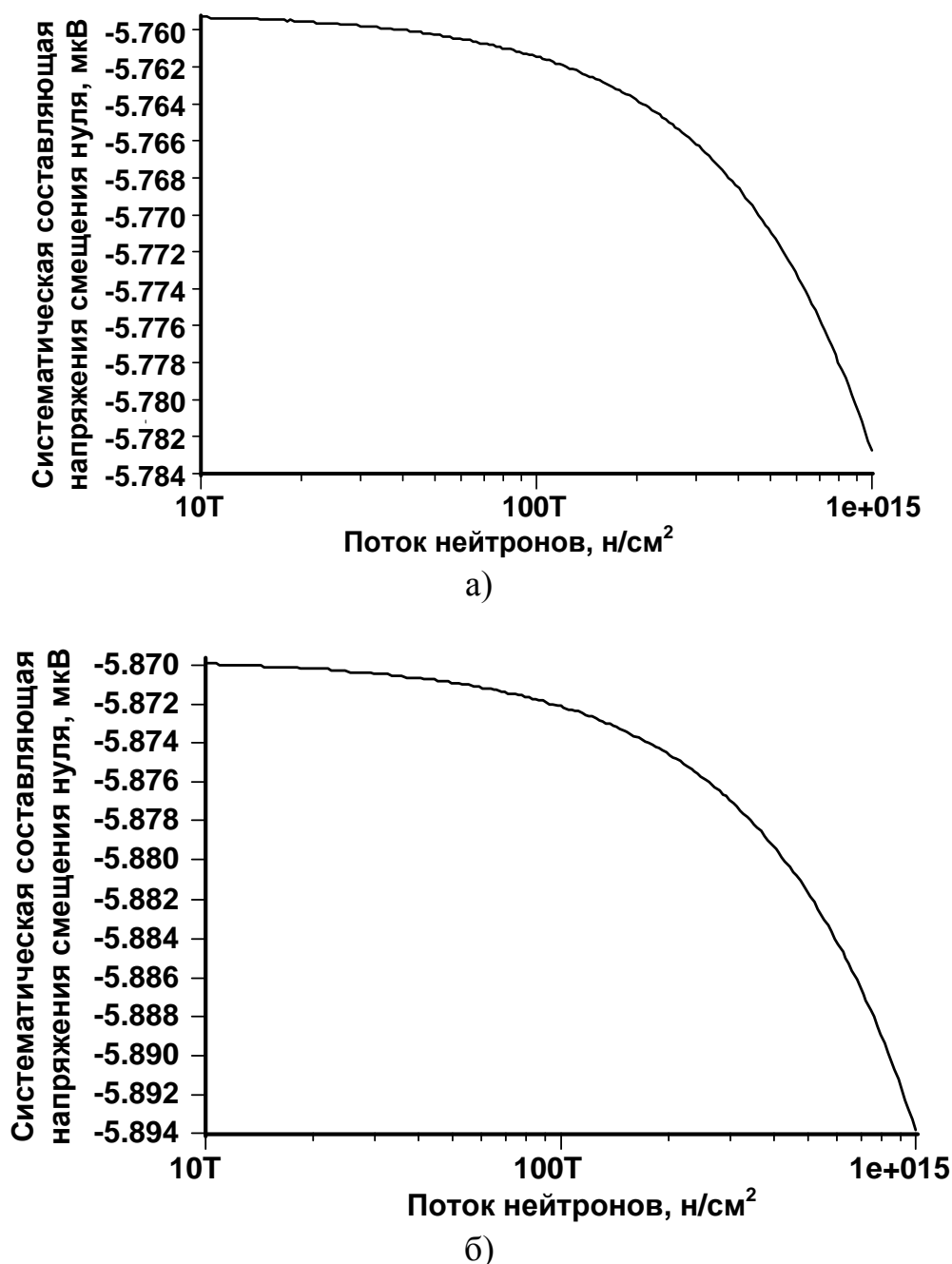
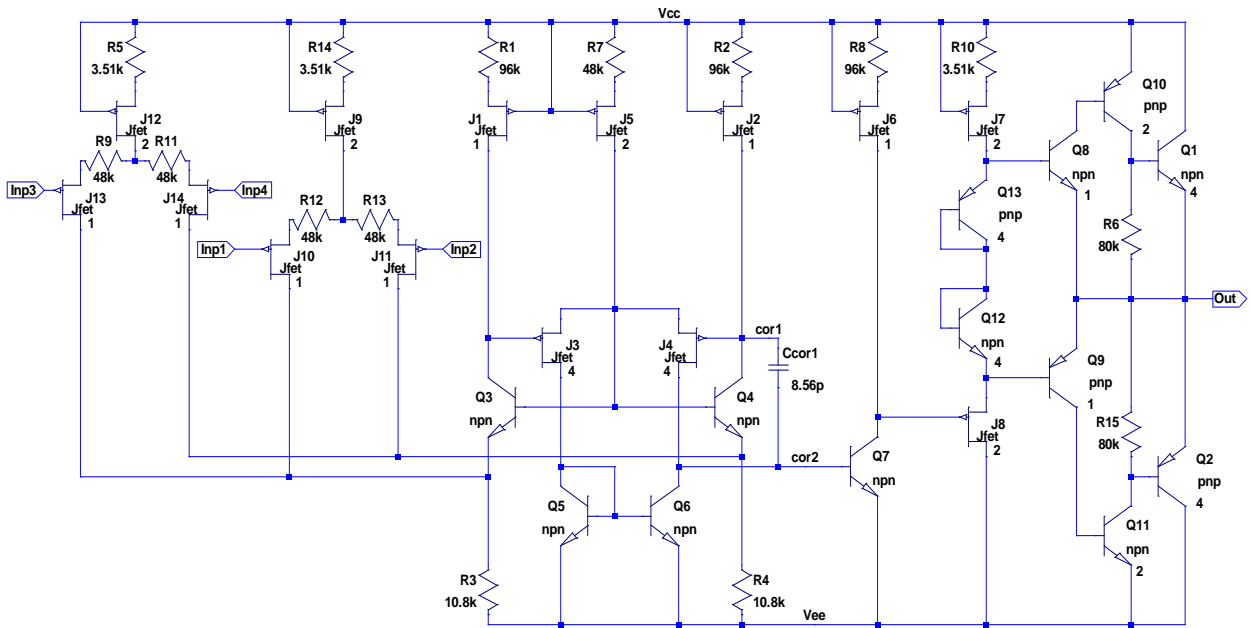


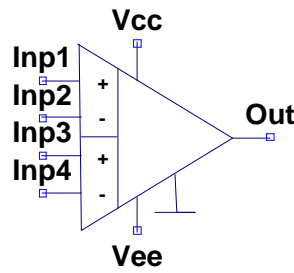
Рис. 6. Зависимости систематической составляющей напряжения смещения нуля от потока нейтронов при $t=27^{\circ}\text{C}$ (а) и $t=-197^{\circ}\text{C}$ (б)

17.3. Макромодель МОУ и схема его включения

В частном случае МОУ OAmr3 (рис. 4а) исследовался в САПР LTSpice [9]. Данное схемотехническое решение используется в составе БСК МН2ХА030 [10, 11]. На основе схемы рис. 4а [10, 11] была создана макромодель МОУ (рис. 4б).



а)



б)

Рис. 7. МОУ OАmp3 [11] (а) и его макромодель (б)

На рис. 8 представлена схема включения МОУ (рис.7), используемая при исследовании основных параметров.

```
.tran 0 20u 0
.lib ABMK-2.2-2.lib
;noise v(out) vinp1 dec 101 1 1e7 temp list {LT}
.ac dec 101 1 10e7
*.step param Vref list -2.0 0 2.0
.step param LT -197 30 1
.dc Vinp1 list 1u
.step dec param fn 1e13 1e15 100
.param Fn=1
.param Dg=1
.param fit=1
.param VRef=0
.param VTOValue=1.44
.param LT=27
.op
.ac lin 101 1 100G
```

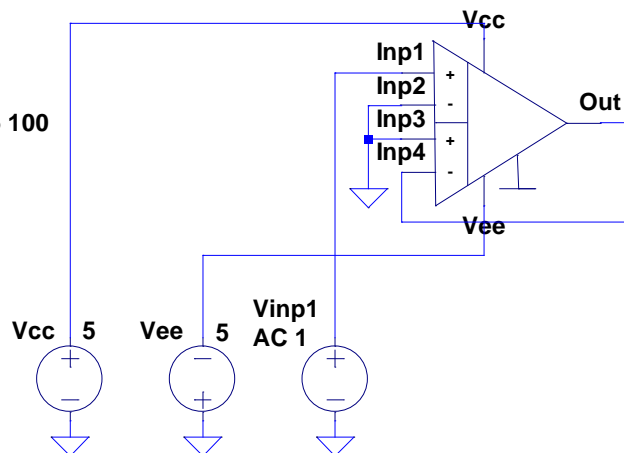


Рис. 8. Схема включения МОУ

Netlist в Spice схемы включения МОУ рис.8

```
C:\Users\Uset\Desktop\29-10-2019_11-33-  
06\MH2XA030_LTSpice\MH2XA030_LTSpice\OAmpl_3_1.asc  
Vcc N001 0 5  
Vee 0 N004 5  
Vinp1 N002 0 AC 1  
XX2 N002 0 0 N003 N003 N001 N004 dda  
block symbol definitions  
.subckt dda Inp1 Inp2 Inp3 Inp4 Out Vcc Vee  
J1 N022 Vcc N003 Jfet 1  
R1 Vcc N003 Rpr 96k  
J2 cor1 Vcc N005 Jfet 1  
R2 Vcc N005 Rpr 96k  
Q3 N022 N021 N028 0 npn  
R3 N028 Vee Rpr 10.8k  
Q4 cor1 N021 N024 0 npn  
R4 N024 Vee Rpr 10.8k  
Q5 N026 N026 Vee 0 npn  
J3 N026 N022 N021 Jfet 4  
Q6 cor2 N026 Vee 0 npn  
J4 cor2 cor1 N021 Jfet 4  
J5 N021 Vcc N004 Jfet 2  
R7 Vcc N004 Rpr 48k  
J6 N023 Vcc N006 Jfet 1  
R8 Vcc N006 Rpr 96k  
Q7 N023 cor2 Vee 0 npn  
J7 N019 Vcc N007 Jfet 2  
R10 Vcc N007 Rpr 3.51k  
J8 Vee N023 N019 Jfet 2  
J9 N015 Vcc N002 Jfet 2  
R14 Vcc N002 Rpr 3.51k  
J10 N028 Inp3 N016 Jfet 1  
J11 N024 Inp4 N017 Jfet 1  
J12 N012 Vcc N001 Jfet 2  
R5 Vcc N001 Rpr 3.51k  
J13 N028 Inp1 N013 Jfet 1  
J14 N024 Inp2 N014 Jfet 1  
R9 N012 N013 Rpr 48k  
R11 N014 N012 Rpr 48k  
R12 N015 N016 Rpr 48k  
R13 N017 N015 Rpr 48k  
Ccor1 cor1 cor2 8.56p  
Q1 N018 N019 Out 0 npn  
R15 Vcc N011 Rpr 525  
Q2 Vcc Vcc N011 0 npn  
J16 Vee N010 N009 Jfet 1  
J17 N025 N011 N009 Jfet 1  
R16 Vcc N009 Rpr 96k  
R17 Vcc N010 Rpr 525  
J18 Vee N025 Out Jfet 8  
Q8 N027 N027 Vee 0 npn
```

```

Q9 N025 N027 Vee 0 npn 2
J15 N027 Vcc N008 Jfet 1
R6 Vcc N008 Rpr 96k
Q11 N020 N018 N011 0 pnp 3
Q12 N011 N020 Out 0 npn 9
.ENDS DDA
.MODEL NPN NPN
.MODEL PNP PNP
.LIB C:\USERS\Uset\documents\ltspicexvii\lib\cmp\standard.bjt
.MODEL NJF NJF
.MODEL PJF PJF
.LIB C:\USERS\Uset\documents\ltspicexvii\lib\cmp\standard.jft
.DC VINP1 LIST 1U
.LIB ABMK-2.2-2.LIB
.PARAM FN=1
.PARAM DG=1
.PARAM FIT=1
.STEP PARAM LT LIST -197 27
.PARAM VREF=0
*.STEP PARAM VREF LIST -2.0 0 2.0
.PARAM VTOVALUE=1.44
.AC DEC 101 1 10E7
;NOISE V(OUT) VINP1 DEC 101 1 1E7 TEMP LIST {LT}
.TRAN 0 20U 0
.OP
.AC DEC 101 1 100G
.STEP DEC PARAM FN 1E13 1E15 101
.PARAM LT=-197
.BACKANNO
.END

```

17.4. Список литературы

1. Butyrlagin N., Prokopenko N., Savchenko E., Budyakov A. "Design features of high-speed CMOS differential difference operational amplifiers at low static current consumption", "26th IEEE Telecommunications Forum TELFOR 2018, 20th and 21st November 2018, in the SAVA Center, Belgrade, Serbia, pp. 1-4.

2. Титов А.Е., Жебрун Е.А., Бутырлагин Н.В., Игнашин А.А. Оценка эффективности цепей стабилизации режимов работы входных каскадов дифференциальных и мультидифференциальных операционных усилителей при воздействии проникающей радиации и температуры. Часть 2. Обратные связи по току, Инженерный вестник Дона, №4 (2018), С. 1-10. URL: ivdon.ru/ru/magazine/archive/n4y2018/5328

3. Титов А.Е., Жебрун Е.А., Бутырлагин Н.В., Свизев Г.А. Оценка эффективности цепей стабилизации режимов работы входных каскадов дифференциальных и мультидифференциальных операционных усилителей при воздействии проникающей радиации и температуры. Часть 1. Обратные связи по напряжению, Инженерный вестник Дона, №4 (2018), С. 1-13. URL: ivdon.ru/ru/magazine/archive/n4y2018/5327

4. Титов А.Е., Жебрун Е.А., Бутырлагин Н.В., Игнашин А.А. BiJFet мультидифференциальный ОУ с парафазным выходом для низкотемпературных радиационно-стойких интерфейсов датчиков: модификация МОУ-2 [Электронный ресурс] Институт проблем проектирования в микроэлектронике РАН: [сайт]. [2018]. <http://www.ippm.ru/data/eljrnal/paper/J19.pdf>
5. Прокопенко Н.Н., Бутырлагин Н.В. Компьютерное моделирование базовых схем включения мультидифференциального операционного усилителя [Электронный ресурс] // Институт проблем проектирования в микроэлектронике РАН: [сайт]. [2019]. URL: <http://www.ippm.ru/data/eljrnal/paper/J23.pdf> (дата обращения: 14.01.2019).
6. Прокопенко Н.Н., Дворников О.В., Будяков П.С. Основные свойства, параметры и базовые схемы включения мультидифференциальных операционных усилителей с высокоимпедансным узлом // Электронная техника. Серия 2. Полупроводниковые приборы. Выпуск 2 (233), 2014 г. С. 53-64
7. Пахомов Илья Викторович. Мультидифференциальные операционные усилители напряжений и токов с активной отрицательной обратной связью: диссертация ... кандидата Технические науки: 05.13.05 / Пахомов Илья Викторович; [Место защиты: ФГБОУ ВО «Южно-Российский государственный политехнический университет (НПИ) имени М.И. Платова»], 2018.
8. N. N. Prokopenko, I. V. Pakhomov, A. V. Bugakova and N. V. Butyrlagin, "Zero level of BiJFet-differential difference operational amplifiers and methods of its decrease in conditions of low temperatures and radiation effect," 2016 International Conference on Signals and Electronic Systems (ICSES), Krakow, 2016, pp. 131-134. doi: 10.1109/ICSES.2016.7593836
9. Володин В. Я. LTspice: компьютерное моделирование электронных схем. — СПб.: БХВ-Петербург, 2010. — 400 с.: ил.
10. Дворников О.В., Прокопенко Н.Н., Бугакова А.В., Игнашин А.А. Инструментальные и мультидифференциальные усилители датчиковых систем на основе новой микросхемы базового структурного кристалла МН2ХА010 // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2016. № 3. С. 106-113.
11. Oleg V. Dvornikov, Vladimir A. Tchekhovski, Valentin L. Dziatlau, Nikolay N. Prokopenko, Nikolay V. Butyrlagin, Design of Low-Temperature DDOAs on the Elements of BiJFet Array Chip МН2ХА030, SERBIAN JOURNAL OF ELECTRICAL ENGINEERING, Vol. 15, No. 2, June 2018, pp. 233–247. DOI: <https://doi.org/10.2298/SJEE1802233D>.
12. Прокопенко Н.Н., Титов А.Е., Бутырлагин Н.В. Токовые зеркала для проектирования КМОП аналоговых микросхем: основные модификации (ТЗ №1-№ 36) [Электронный ресурс] // Институт проблем проектирования в микроэлектронике РАН: [сайт]. [2018]. URL: <http://www.ippm.ru/data/eljrnal/paper/J4.pdf> (дата обращения: 17.04.2018).

18. CJFet операционный усилитель с парафазным выходом: модификация ОУ- №13

18.1. Назначение и текстовое описание схемы ОУ

Предлагаемый CJFet ОУ (рис.1) относится к области радиотехники и микроэлектроники и может быть использован в аналоговых микросхемах (АМ) и аналого-цифровых интерфейсах датчиков, работающих в тяжелых условиях эксплуатации.

ОУ с парафазным выходом [1-26] относится к числу перспективных активных элементов современной микроэлектроники. На их основе реализуется широкий класс аналоговых интерфейсов, в т.ч. для АЦП преобразователей, имеющих дифференциальный вход и дифференциальный выход. Такое схемотехническое решение ОУ имеет ряд известных преимуществ в сравнении с традиционными ОУ без парафазного выхода [26].

Техническим результатом является создание операционного усилителя с парафазным выходом только на полевых транзисторах с управляющим р-п переходом, которые демонстрируют высокую радиационную стойкость и устойчивую работу при криогенных температурах при экстремально малом уровне шумов.

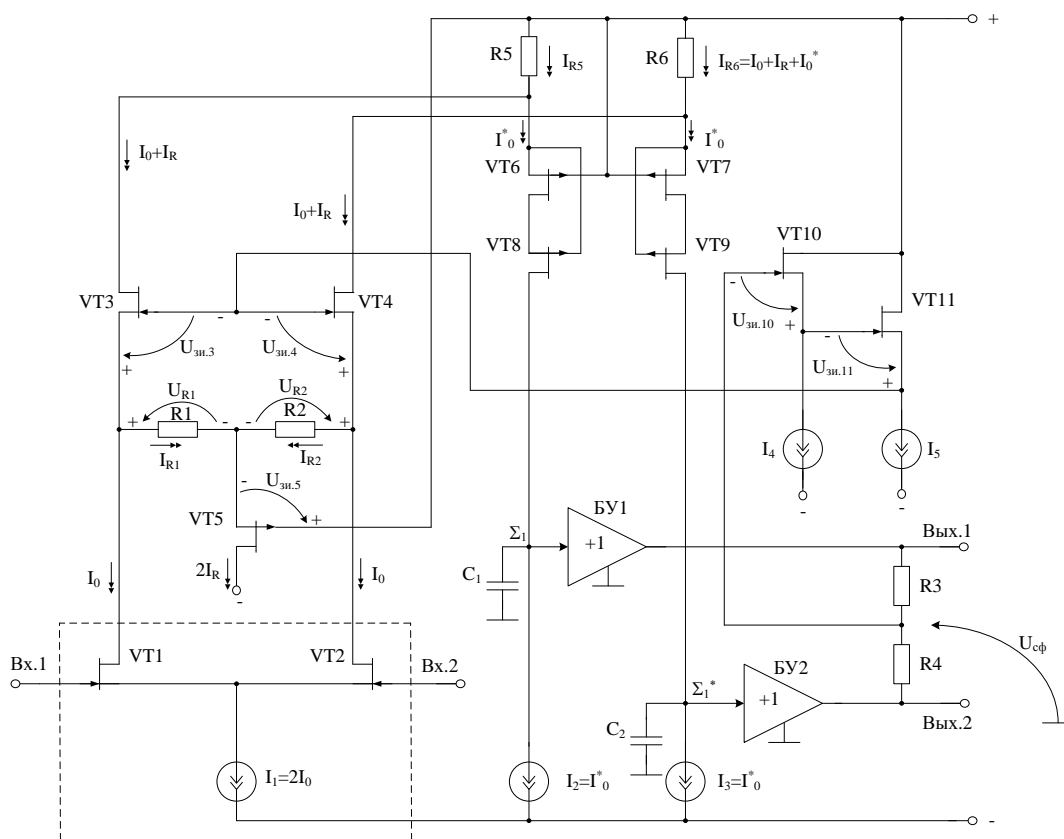


Рис. 1. Функциональная схема ОУ

Главной особенностью CJFet ОУ (рис.1) с парафазным выходом на полевых JFET транзисторах, является высокая радиационная стойкость, устойчивая работа

при криогенных температурах и экстремально малом уровне шумов, а также повышенный коэффициент усиления по напряжению.

Практическая реализация схемы ОУ рис. 1 может быть осуществлена в рамках SiFet техпроцесса АО «Интеграл» (г. Минск, Беларусь), а также BiSiFet АО «НПП Пульсар» (г. Москва, Россия).

Текстовое описание схемы рис. 1

Статический режим ОУ рис. 1 устанавливается резисторами R1-R6.

В качестве буферного усилителя (БУ) могут применяться более 30 классических вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная структура ОУ в рамках SiFet технологического процесса, на которой можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой выходного каскада (БУ), статическим режимом VT1-VT12, и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с БУ позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

Для повышения разомкнутого коэффициента усиления ОУ в схеме рис. 1 предусмотрено выполнение выходных полевых транзисторов по каскадным структурам. Как показывает моделирование (рис. 5), это позволяет обеспечить в заявляемом ОУ разомкнутый коэффициент усиления более 100 дБ в широком диапазоне температур и радиационных воздействий, что достаточно важно для применения предлагаемого ОУ в активных RC-фильтрах при тяжелых условиях эксплуатации (рис. 7).

Замечательная особенность ОУ рис.1 состоит также в том, что он выполнен на JFET транзисторах, которые обеспечивают работу ОУ и аналоговых устройств на его основе, например, ARC фильтров, при криогенных температурах (рис. 4) и воздействии потока нейтронов (рис. 5). Для рассмотренного схемотехнического решения ОУ разработана макромодель с учетом воздействия потока нейтронов (F_n) и низких температур, которая была исследована в структуре фильтра нижних частот (ФНЧ) с дифференциальным входом и дифференциальным выходом при воздействии потока нейтронов (рис. 7). Графики рис. 7 показывают, что ФНЧ на основе рассматриваемого ОУ работоспособен при $F_n < 10^{15}$ н/см². При более высоких значениях F_n схема ФНЧ рис. 8 не работает (рис. 7).

Таким образом, предлагаемое устройство, предназначенное для проектирования ARC фильтров, работающих в тяжелых условиях эксплуатации, имеет существенные преимущества.

18.2. Результаты компьютерного моделирования и netlist ОУ

В частном случае схема ОУ рис. 1 исследовалась в среде LTSpice на моделях библиотеки SiFET_5.



Рис. 2. Графическое изображение моделей CJFet с р-канальными (а) и п-канальными (б) транзисторами

На рис. 3 показана схема ОУ рис. 1 в среде моделирования LTSpice.

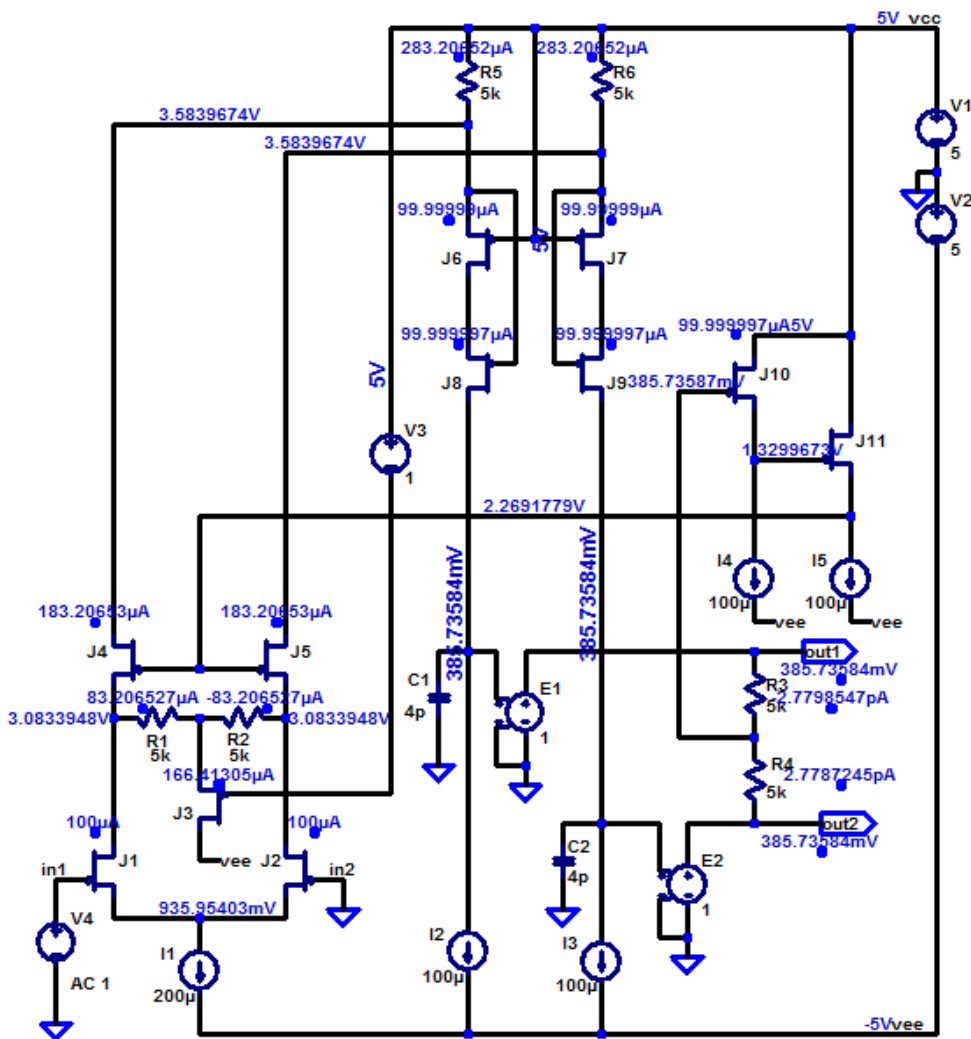


Рис. 3. Схема для моделирования CJFet ОУ рис.1 в среде LTSpice на моделях CJFet_5 при $t=27^{\circ}\text{C}$, $I_1=200 \text{ мкА}$, $I_2=I_5=100 \text{ мкА}$

Результаты компьютерного моделирования основных характеристик ОУ рис. 1 приведены на рис. 4-5.

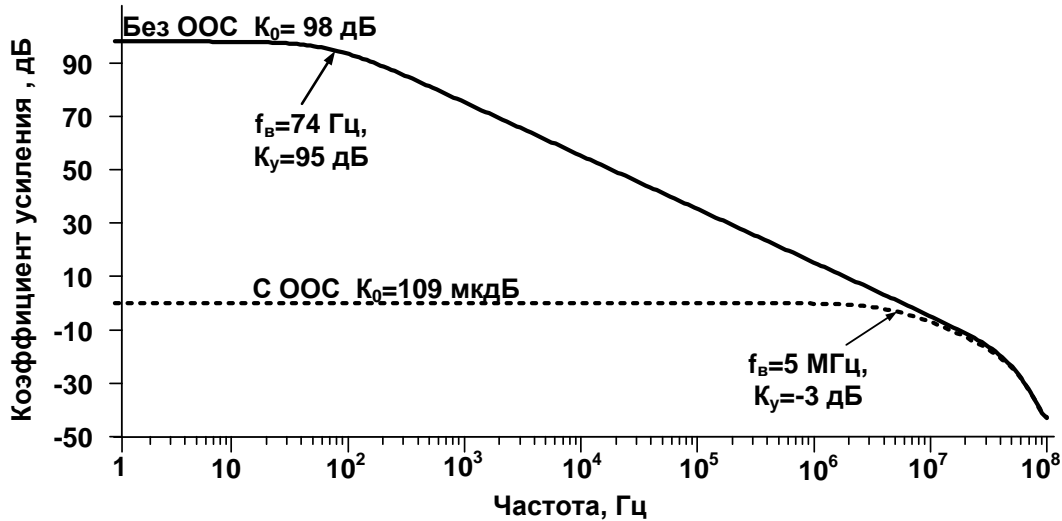


Рис. 4. АЧХ ОУ рис. 3 со 100% отрицательной обратной связью (ООС) и без ООС при $t=-197^{\circ}\text{C}$

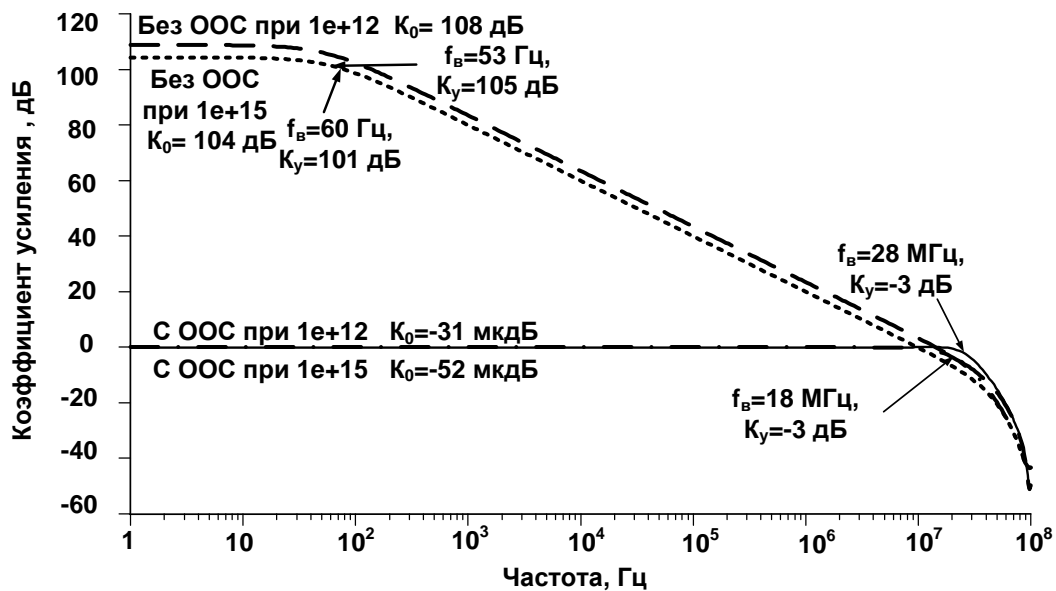


Рис. 5. Влияние потока нейтронов ($\text{н}/\text{см}^2$) на АЧХ ОУ со 100% отрицательной обратной связью (ООС) и без ООС при $t=27^{\circ}\text{C}$

Netlist ОУ Рис. 3

1. V1 vcc 0 5
2. V2 0 vee 5
3. J1 N010 A2 N017 JN260_2 {JNV}
4. R5 vcc N001 5k
5. I1 N017 vee 200μ
6. R6 vcc N002 5k
7. J2 N012 N016 N017 JN260_2 {JNV}
8. J3 vee N013 N011 JP50_2 {JPV}
9. R1 N010 N011 5k
10. R2 N011 N012 5k
11. J4 N001 N007 N010 JN260_2 {JNV}
12. J5 N002 N007 N012 JN260_2 {JNV}
13. J6 N003 vcc N001 JP50_2 {JPV}

```

14. J7 N004 vcc N002 JP50_2 {JPV}
15. J8 N008 N001 N003 JP50_2 {JPV}
16. J9 N014 N002 N004 JP50_2 {JPV}
17. E1 N009 0 N008 0 1
18. I2 N008 vee 100μ
19. I3 N014 vee 100μ
20. R4 N005 N015 5k
21. E2 N015 0 N014 0 1
22. R3 N009 N005 5k
23. J10 vcc N005 N006 JN260_2 {JNV}
24. J11 vcc N006 N007 JN260_2 {JNV}
25. I4 N006 vee 100μ
26. I5 N007 vee 100μ
27. V3 vcc N013 1
28. V4 in1 in2 AC 1
29. C1 N008 0 4p
30. C2 N014 0 4p
31. R7 A1 in1 5k
32. R8 N018 in2 5k
33. C3 A1 N018 {(1591e-12)/2}
34. R9 A2 A1 5k
35. R10 N016 N018 5k
36. R11 N009 out1 1k
37. R12 N015 out2 1k
38. C4 out1 out2 {(1591e-12)/2}
39. R13 N015 N018 5k
40. C5 N015 N016 {159.1e-12}
41. R14 N009 A1 5k
42. C6 N009 A2 {159.1e-12}
43. .model NJF NJF
44. .model PJF PJF
45. .lib C:\Users\Алексей\Documents\LTspiceXVII\lib\cmp\standard.jft
46. .op
47. .lib C:\\LT\CJFET_5.lib
48. .param LT=27
49. .temp={LT}
50. .param weight=250
51. .param JNV={weight/260}
52. .param JPV={weight/50}
53. .param fn=1
54. .param fit=1
55. .param Dg=1
56. .ac dec 100 1 1G
57. .step param fn list 1 1e12 300e12
58. .backanno
59. .end

```

18.3. Макромодель фильтра низких частот и ее netlist

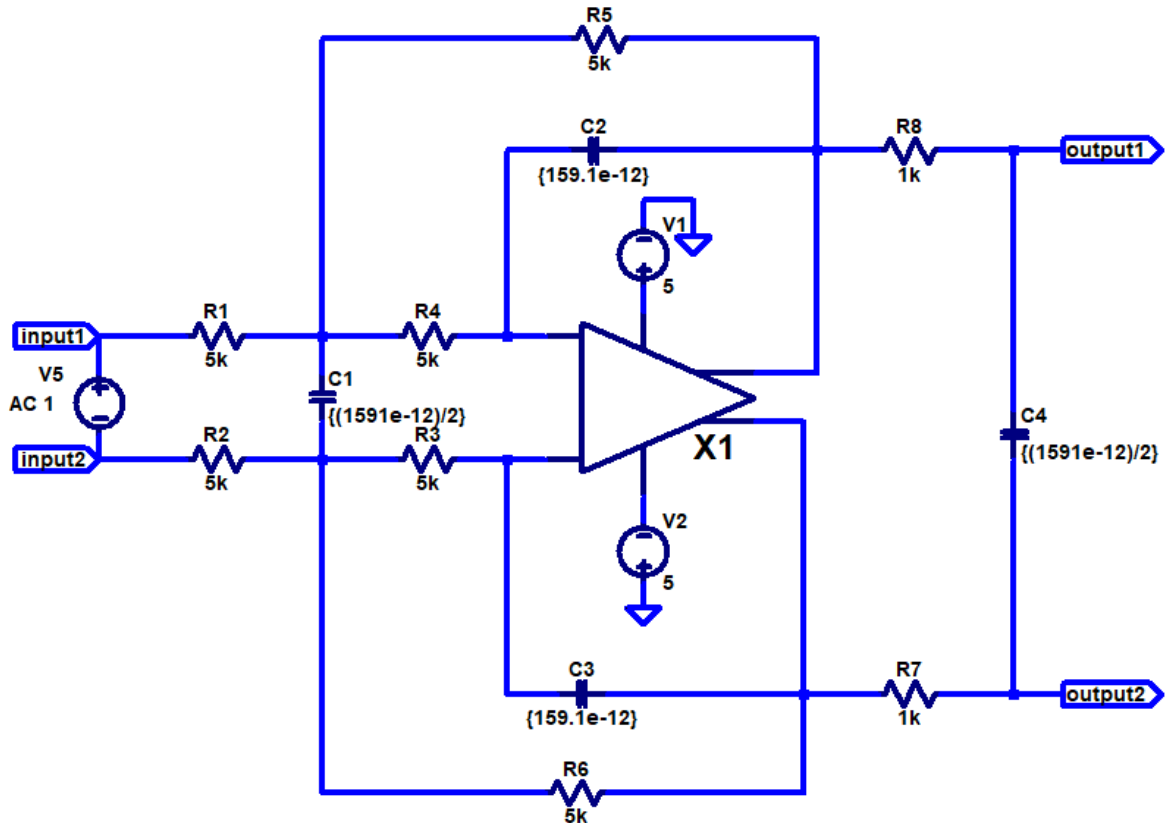


Рис. 6. Схема для моделирования ФНЧ с макромоделью CJFet ОУ рис.1 в среде LTspice при $t=27^{\circ}\text{C}$

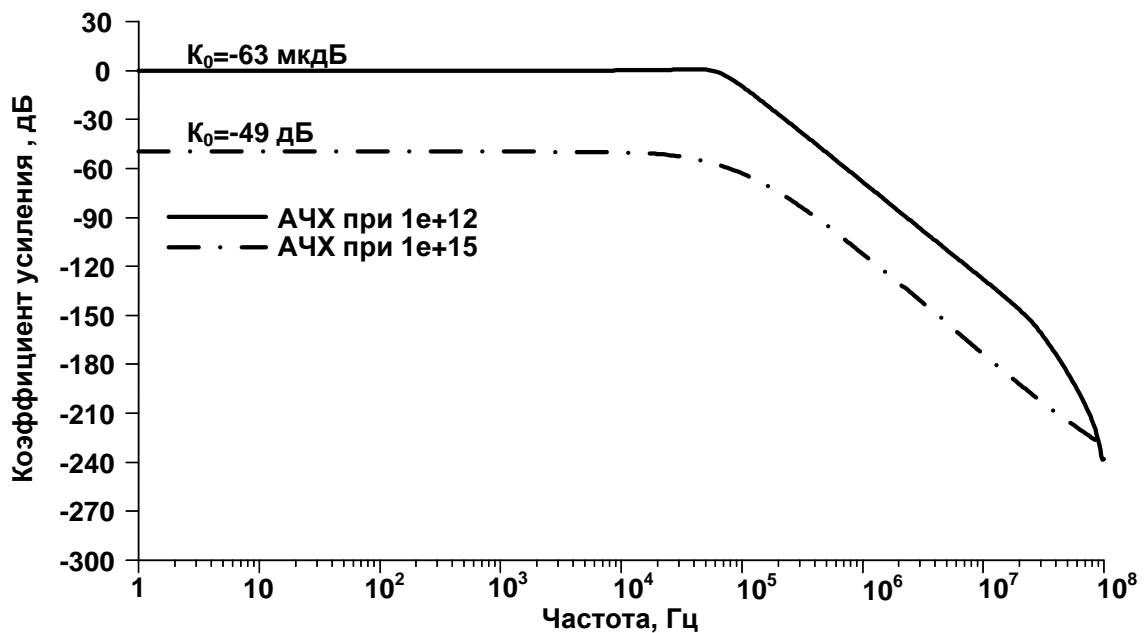


Рис. 7. АЧХ ФНЧ с макромоделью рис.5 при $t=27^{\circ}\text{C}$

Netlist ФНЧ с макромоделью рис.5:

```
1. V5 input1 input2 AC 1
2. V1 N004 0 5
3. V2 0 N008 5
4. R1 N001 input1 5k
5. R2 N006 input2 5k
6. C1 N001 N006 {(1591e-12)/2}
7. R3 N007 N006 5k
8. R4 N003 N001 5k
9. C2 N002 N003 {159.1e-12}
10. C3 N005 N007 {159.1e-12}
11. R5 N002 N001 5k
12. R6 N005 N006 5k
13. C4 output1 output2 {(1591e-12)/2}
14. R7 output2 N005 1k
15. R8 output1 N002 1k
16. XX1 N003 N007 N002 N005 N004 N008 1
block symbol definitions
17. .subckt 1 in1 in2 out1 out2 vcc vee
18. J12 N009 in1 N014 JN260_2 {JNV}
19. R7 vcc N001 5k
20. I6 N014 vee {Ivar1}
21. R8 vcc N002 5k
22. J13 N011 in2 N014 JN260_2 {JNV}
23. J14 vee N012 N010 JP50_2 {JPV}
24. R9 N009 N010 5k
25. R10 N010 N011 5k
26. J15 N001 N007 N009 JN260_2 {JNV}
27. J16 N002 N007 N011 JN260_2 {JNV}
28. J17 N003 vcc N001 JP50_2 {JPV}
29. J18 N004 vcc N002 JP50_2 {JPV}
30. J19 N008 N001 N003 JP50_2 {JPV}
31. J20 N013 N002 N004 JP50_2 {JPV}
32. E3 out1 0 N008 0 1
33. I7 N008 vee {Ivar2}
34. I8 N013 vee {Ivar2}
35. R11 N005 out2 5k
36. E4 out2 0 N013 0 1
37. R12 out1 N005 5k
38. J21 vcc N005 N006 JN260_2 {JNV}
39. J22 vcc N006 N007 JN260_2 {JNV}
40. I9 N006 vee {Ivar2}
41. I10 N007 vee {Ivar2}
42. V4 vcc N012 {Vvar1}
43. C3 N008 0 {Cvar1}
44. C4 N013 0 {Cvar1}
45. .lib C:\\LT\\CJFET_5.lib
46. .param LT=27
47. .param weight=250
48. .param JNV={weight/260}
49. .param JPV={weight/50}
50. .param fn=1e15
```

```

51. .param fit=1
52. .param Dg=1
53. .param Ivar1=200u
54. .param Ivar2=100u
55. .param Cvar1=4p
56. .param Vvar1=1
57. .ends 1
58. .model NJF NJF
59. .model PJF PJF
60. .lib C:\Users\Алексей\Documents\LTspiceXVII\lib\cmp\standard.jft
61. .op
62. .lib C:\\LT\CJFET_5.lib
63. .param LT=27
64. .temp={LT}
65. .param weight=250
66. .param JNV={weight/260}
67. .param JPV={weight/50}
68. .param fn=1e15
69. .param fit=1
70. .param Dg=1
71. .ac dec 100 1 1G
72. .step param fn list 1 1e12 1e15
73. .param Ivar1=200u
74. .param Ivar2=100u
75. .param Cvar1=4p
76. .backanno
77. .end

```

18.4. Список литературы

1. Патент US 6.937.100, 2005 г.
2. Патент US 6.956.434, fig.1, 2005 г.
3. Патент US 7.894.727, fig.3, 2011 г.
4. Патент US 5.880.634, fig.4,fig.7B, 1999 г.
5. Патент US 5.146.179, fig.2, 1992 г.
6. Патент US 6.624.697, fig.1, 2003 г.
7. Патент US 6.356.152, fig.4, 2002 г.
8. Патент US 6.329.849, fig.8, 2001 г.
9. Патент US 5.376.899, fig.1, 1994 г.
10. Патент US 6.750.715, fig.4, 2004 г.
11. Патент US 5.604.464, fig.2, 1997 г.
12. Патент US 5.847.607, fig.8, 1998 г.
13. Патент US 5.406.220, fig.2, 1995 г.
14. Патент US 6.628.168, fig.2, 2003 г.
15. Патент US 4.714.895, fig.1, 1997 г.
16. Патент EP 0 632 581, fig.3, 1995 г.
17. Патент US 4.697.152, fig.2, 1987 г.

18. Патент US 5.212.455, 1993 г.
19. Патент US 6.804.305, fig.1, 2004 г.
20. Патент US 4.600.893, fig. 4, 1986 г.
21. Патент US 4.151.483, fig. 4, 1979 г.
22. Патент US 4.151.484, fig. 4, 1979 г.
23. Патент US 4.406.990, fig. 3, 1983 г.
24. Патент US 5.963.085, 1999 г.
25. Патент US 8.350.622, 2013 г.
26. I.M. Filanovsky, V.V. Ivanov, "Operational Amplifier Speed and Accuracy Improvement: Analog Circuit Design with Structural Methodology," Kluwer Academic Publishers, New York, Boston, Dordrecht, London, 2004, 194 p.
27. O. V. Dvornikov, V. L. Dzialau, N. N. Prokopenko, K. O. Petrosiants, N. V. Kozhukhov and V. A. Tchekhovski, "The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the BiJFET analog interfaces of the sensors," 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507

19. ViJFet зарядочувствительный усилитель на базе микросхемы МН2ХА030: модификация ЗЧУ-№1

19.1 Назначение и текстовое описание схемы ЗЧУ-№1

Зарядочувствительные усилители (ЗЧУ) широко применяются в аналоговых интерфейсах датчиков для преобразования генерируемого заряда в напряжение. В большинстве случаев главным требованием, предъявляемым к ЗЧУ, является обеспечение минимального уровня шумов и максимального быстродействия, необходимого для предотвращения наложения выходных импульсов.

Существенные отличия требований к характеристикам ЗЧУ, зависящим от параметров источника входного сигнала, делают нецелесообразным использование для создания ЗЧУ операционных усилителей. Более перспективна разработка специальных схем ЗЧУ, причем особое внимание уделяют выбору типа и режима работы входного транзистора [1, 2]. Для быстрой обработки сигналов емкостных датчиков с большой емкостью источника входного сигнала СD обычно применяют ЗЧУ, выполненные на основе перегнутого каскода [3, 4].

Ранее в работе [5] разработана методика уменьшения шумов ЗЧУ, применение которой позволило создать на базовом матричном кристалле (БМК) МН2ХА030 быстродействующий маломушящий ЗЧУ для обработки сигналов датчиков.

Электрическая схема в среде LTspice ViJFet ЗЧУ-№1 [5] показана на рис. 1. Главной особенностью данной схемы являются уточнённые значения сопротивлений резисторов и параметров входного транзистора J1, полученными при измерениях экспериментальных образцов БМК, а также уменьшенным сопротивлением внешнего резистора R_{F1}.

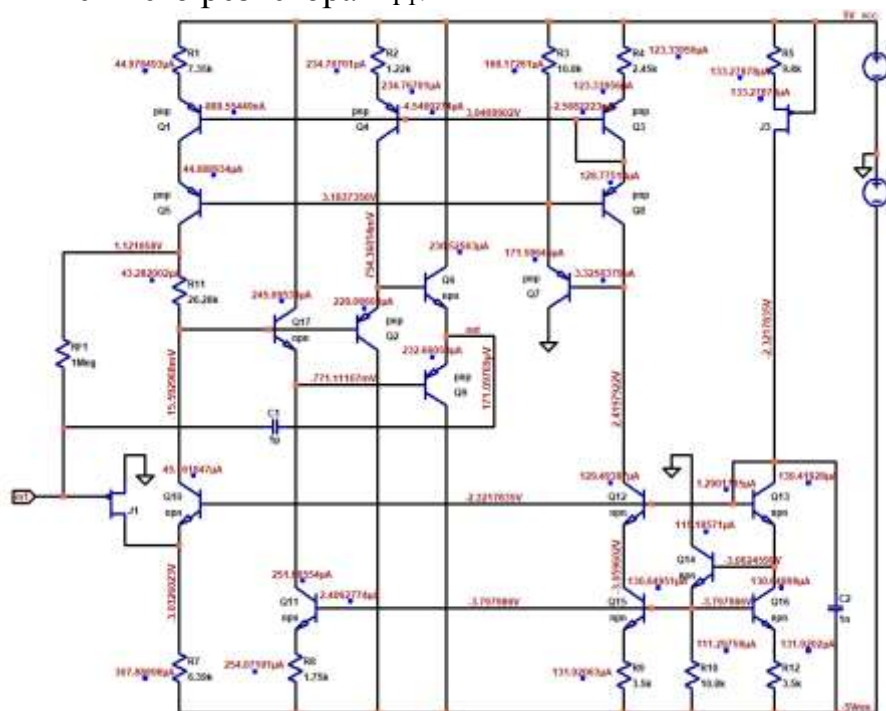


Рисунок 1 – Электрическая схема ViJFet ЗЧУ-№1 с входным Si p-JFET в среде LTspice

ViJFet ЗЧУ-№1 [5] реализован на инвертирующем усилителе напряжения, охваченном RC-цепью отрицательной обратной связи (ОС). Инвертирующий усилитель содержит перевернутый каскод с входным р-JFET J1, n-p-n- транзистором с общей базой Q10 и активной нагрузкой на р-n-p-транзисторах Q1, Q5 в каскодном включении, а также эмиттерный повторитель Q6, Q2, Q17, Q9 на комплементарных биполярных транзисторах. Цепь емкостной ОС отделена от цепи резистивной ОС, устанавливающей выходное напряжение покоя при отсутствии входного сигнала. Обратную емкостную связь в ЗЧУ осуществляет конденсатор C_1 , включаемый между выводами In1 и Out, а обратную резистивную связь – резистор R_{F1} . Это сделано для того, чтобы за счет сдвига постоянного уровня напряжения на резисторе R11 обеспечить напряжение на выводе Out около нуля при отсутствии входного сигнала. На исток J1 подают нулевое напряжение, однако изменяя напряжение на этом выводе можно регулировать уровень постоянного выходного напряжения [5].

19.2 Результаты компьютерного моделирования ViJFet ЗЧУ-№1 и netlist

В частном случае схема ViJFet ЗЧУ-№1 исследовалась в среде LTspice IV на моделях интегрированной библиотеки ViJFet транзисторов Дворникова О.В. (МНИПИ, г. Минск, Беларусь).



Рисунок 2 – Графическое изображение полевых транзисторов с каналом n-типа (а) и р-типа (б) в среде LTspice.

Результаты компьютерного моделирования коэффициента усиления ViJFet ЗЧУ-№1 рис. 1 приведены на рис. 3.

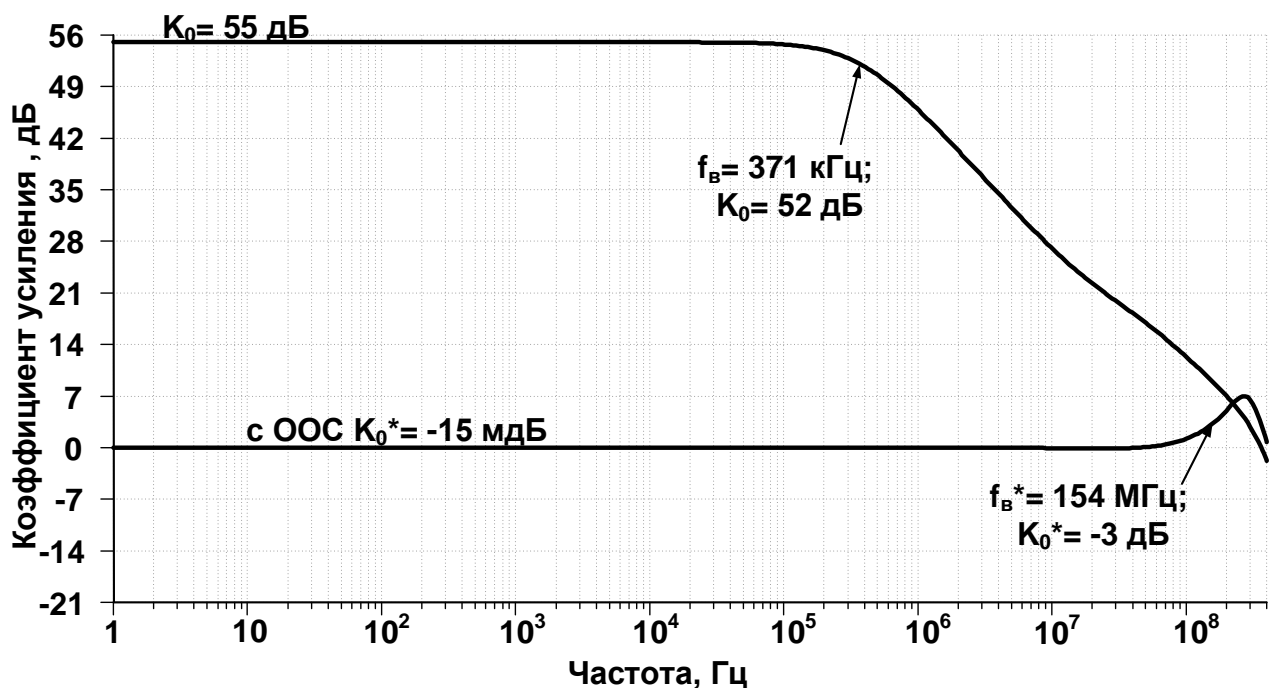


Рисунок 3 – ЛАЧХ BiJFet 3ЧУ-№1 рис.1 при $t=27^{\circ}\text{C}$

Netlist BiJFet 3ЧУ-№1 рис.1

1. ZCHU-11.asc
2. V5 vcc 0 5
3. V6 0 vee 5
4. J3 N013 vcc N004 JP50_2 {JPV}
5. Q17 vcc N011 N012 0 npn
6. Q3 N005 N005 N003 0 pnp
7. R1 vcc N001 7.35k
8. R2 vcc N002 1.22k
9. R4 vcc N003 2.45k
10. R5 vcc N004 9.8k
11. R3 vcc N007 10.8k
12. Q8 N010 N007 N005 0 pnp
13. Q1 N006 N005 N001 0 pnp
14. Q4 N009 N005 N002 0 pnp
15. Q5 N008 N007 N006 0 pnp
16. R11 N008 N011 26.28k
17. Q2 vee N011 N009 0 pnp
18. Q6 vcc N009 out 0 npn
19. Q7 0 N010 N007 0 pnp
20. Q9 vee N012 out 0 pnp
21. RF1 N008 in 1Meg
22. J1 N014 in 0 JP50_2 {JPV}
23. Q10 N011 N013 N014 0 npn
24. R7 N014 vee 6.39k
25. R8 N019 vee 1.75k
26. Q11 N012 N018 N019 0 npn
27. Q12 N010 N013 N017 0 npn
28. C2 N013 vee 1n
29. Q13 N013 N013 N015 0 npn

```

30. Q14 0 N015 N018 0 npn
31. Q15 N017 N018 N020 0 npn
32. Q16 N015 N018 N021 0 npn
33. R9 N020 vee 3.5k
34. R10 N018 vee 10.8k
35. R12 N021 vee 3.5k
36. C3 in N016 1n
37. V1 N016 0 AC 1
38. C1 out in 1p
39. .model NPN NPN
40. .model PNP PNP
41. .lib C:\Users\Алексей\Documents\LTspiceXVII\lib\cmp\standard.bjt
42. .model NJF NJF
43. .model PJF PJF
44. .lib C:\Users\Алексей\Documents\LTspiceXVII\lib\cmp\standard.jft
45. .op
46. .lib C:\LT\CJFET_3+ABMK-2.2-1.lib
47. .param Dg=1
48. .param fit=1
49. .param weight=260
50. .param JNV={weight/260}
51. .param JPV={weight/50}
52. .param fn=1
53. .param LT=27
54. .temp={LT}
55. .backanno
56. .end

```

19.3 Макромодель BiJFet ЗЧУ-№1 и её netlist

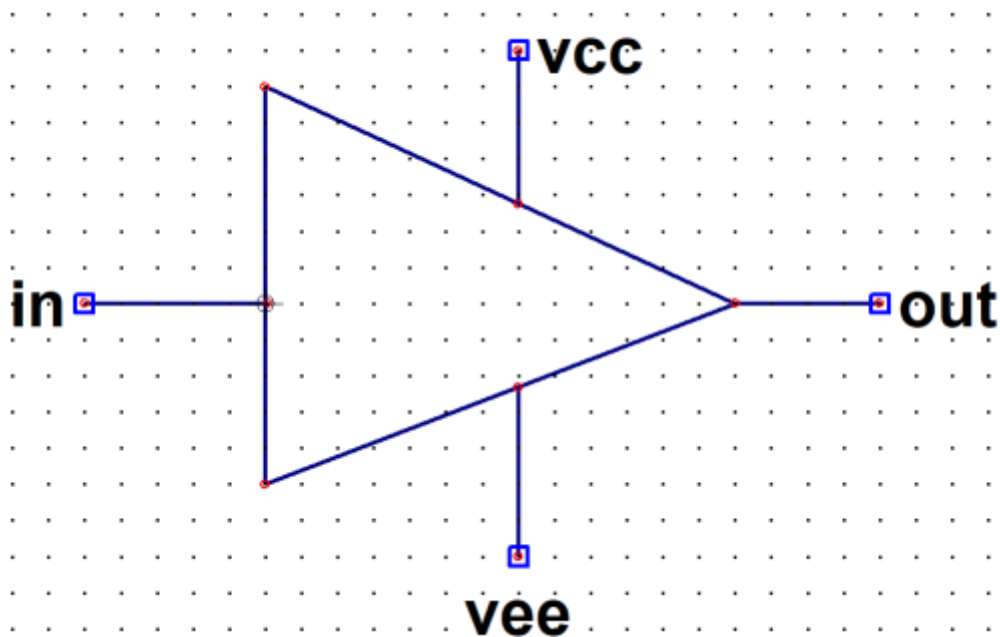


Рисунок 4 – Символ макромодели BiJFet ЗЧУ-№1 в среде LTspice

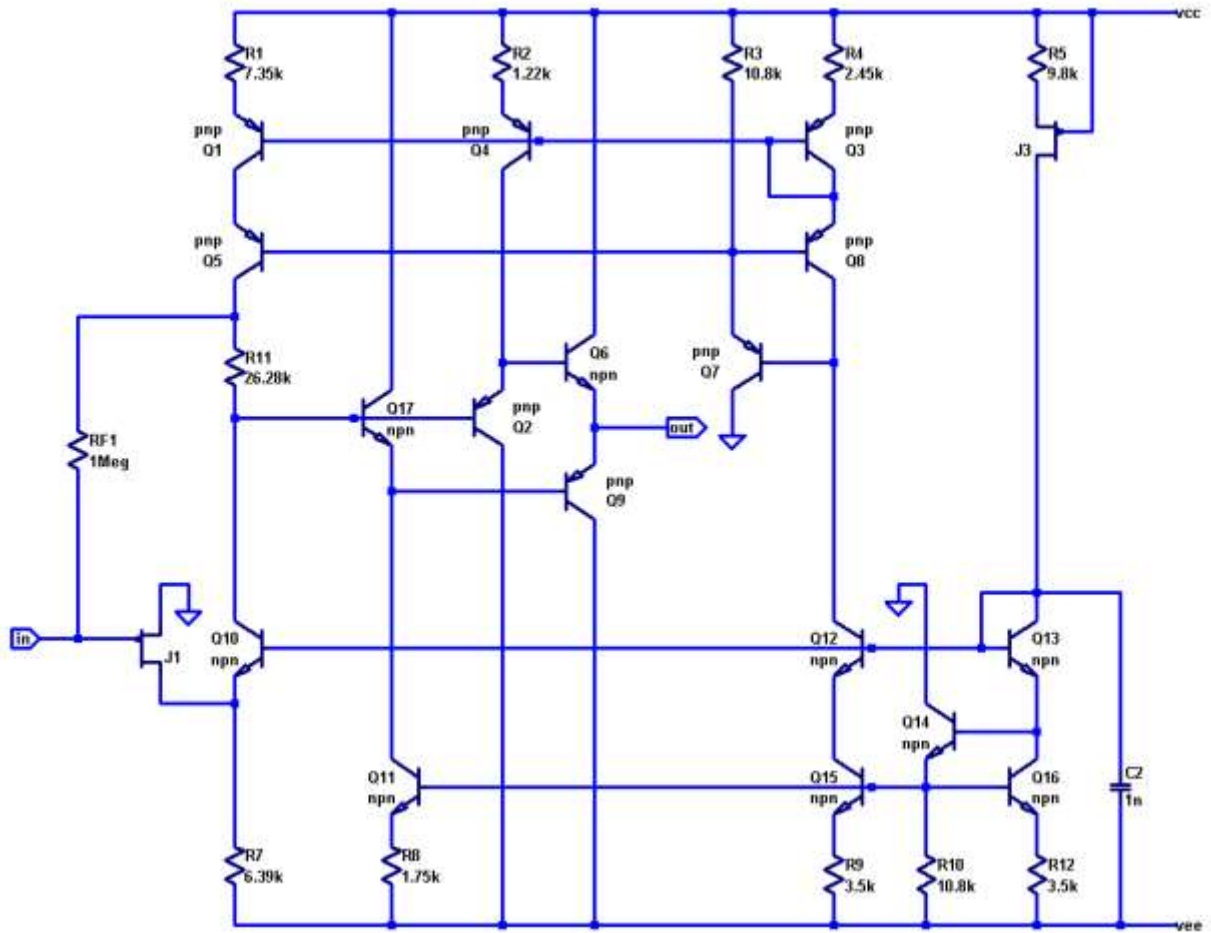


Рисунок 5 – Подсхема BiJFet ЗЧУ-№1 макромодели рис.4 в среде LTspice

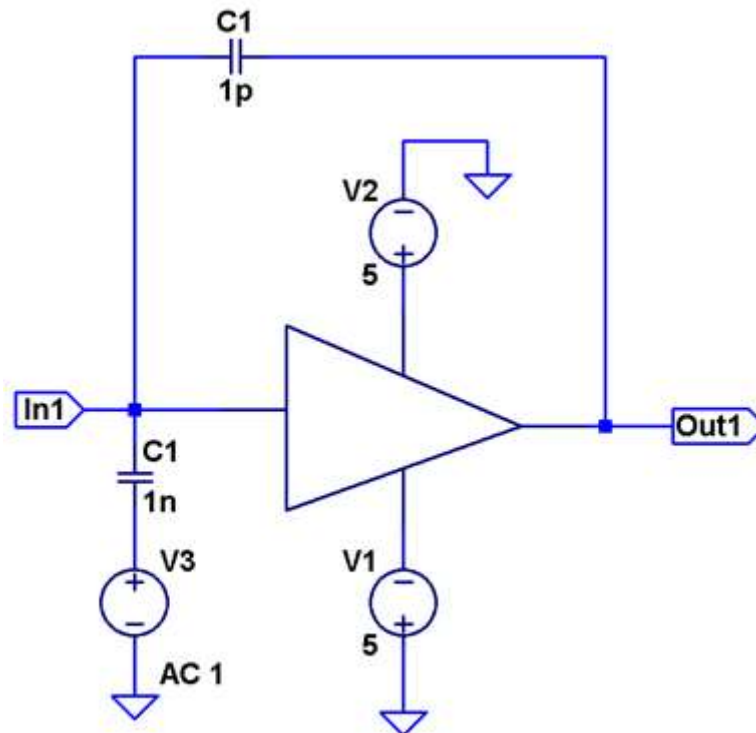


Рисунок 6 – Схема макромодели BiJFet ЗЧУ-№1 с «обвязкой» в среде LTspice

Netlist макромодели BiJFet ЗЧУ-№1 рис. 6

```
1. *ZCHU-1.asc
2. V1 0 N003 5
3. V2 N001 0 5
4. C10 In N002 1n
5. V3 N002 0 AC 1
6. C1 Out In 1p
7. XX1 In N001 N003 Out 2
8. block symbol definitions
9. .subckt 2 in vcc vee out
10. J3 N013 vcc N004 JP50_2 {JPV}
11. Q17 vcc N011 N012 0 npn
12. Q3 N005 N005 N003 0 pnp
13. R1 vcc N001 7.35k
14. R2 vcc N002 1.22k
15. R4 vcc N003 2.45k
16. R5 vcc N004 9.8k
17. R3 vcc N007 10.8k
18. Q8 N010 N007 N005 0 pnp
19. Q1 N006 N005 N001 0 pnp
20. Q4 N009 N005 N002 0 pnp
21. Q5 N008 N007 N006 0 pnp
22. R11 N008 N011 26.28k
23. Q2 vee N011 N009 0 pnp
24. Q6 vcc N009 out 0 npn
25. Q7 0 N010 N007 0 pnp
26. Q9 vee N012 out 0 pnp
27. RF1 N008 in 1Meg
28. J1 N014 in 0 JP50_2 {JPV}
29. Q10 N011 N013 N014 0 npn
30. R7 N014 vee 6.39k
31. R8 N018 vee 1.75k
32. Q11 N012 N017 N018 0 npn
33. Q12 N010 N013 N016 0 npn
34. C2 N013 vee 1n
35. Q13 N013 N013 N015 0 npn
36. Q14 0 N015 N017 0 npn
37. Q15 N016 N017 N019 0 npn
38. Q16 N015 N017 N020 0 npn
39. R9 N019 vee 3.5k
40. R10 N017 vee 10.8k
41. R12 N020 vee 3.5k
42. .lib C:\\LT\\CJFET_3+ABMK-2.2-1.lib
43. .param Dg=1
44. .param fit=1
45. .param weight=260
46. .param JNV={weight/260}
47. .param JPV={weight/50}
48. .param fn=1
49. .param LT=27
50. .ends 2
```

```

51. .model NPN NPN
52. .model PNP PNP
53. .lib C:\Users\Алексей\Documents\LTspiceXVII\lib\cmp\standard.bjt
54. .model NJF NJF
55. .model PJF PJF
56. .lib C:\Users\Алексей\Documents\LTspiceXVII\lib\cmp\standard.jft
57. .op
58. .ac dec 100 1 1G
59. .lib C:\\LT\CJFET_3+ABMK-2.2-1.lib
60. .param Dg=1
61. .param fit=1
62. .param weight=260
63. .param JNV={weight/260}
64. .param JPV={weight/50}
65. .param fn=1
66. .param LT=27
67. .temp={LT}
68. .backanno
69. .end

```

19.4 Список литературы

1. Structured Array for Designing High Speed Multichannel ICs for Nuclear Electronics / O.V. Dvornikov, V. A. Tchekhovski, V. L. Dziatlau, S. A. Movchan, N.N. Prokopenko, A.V. Bugakova // IEEE Transactions on Nuclear Science, Volume 66, Issue 11, November 2019, P. 2305-2311 DOI: 10.1109/TNS.2019.2943370
2. L. Bombelli, C. Fiorini, T. Frizzi, R. Alberti and A. Longoni, "“CUBE”, A low-noise CMOS preamplifier as alternative to JFET front-end for high-count rate spectroscopy," 2011 IEEE Nuclear Science Symposium Conference Record, Valencia, 2011, pp. 1972-1975. doi: 10.1109/NSSMIC.2011.6154396.
3. A. Pullia, F. Zocca, G. Pascovici. An Advanced Preamplifier for Highly Segmented Germanium Detectors. IEEE Transactions on Nuclear Science 53(5):2869 - 2875. November 2006. DOI: 10.1109/TNS.2006.880402
4. C. Boiano, R. Bassini, A. Pullia, A. Pagano. Wide-Dynamic-Range Fast Preamplifier for Pulse Shape Analysis of Signals from High-Capacitance Detectors. IEEE Transactions on Nuclear Science (Vol. 51, N 5, October 2004). P. 1931 - 1935. DOI: 10.1109/TNS.2004.83230.
5. O. Dvornikov, V. Tchekhovski, N. Prokopenko and A. Titov. Comparison of Fast Response and Noise of Charge-Sensitive Amplifiers with Various Types of Input Fets. 2020 International Symposium on Industrial Electronics and Applications, 4-6 November 2020, Banja Luka, Bosnia and Herzegovina (INDEL 2020). P. 1-6.

19.5 Выводы

Результаты моделирования BiJFet ЗЧУ-№1 рис. 1 полностью совпадают с результатами моделирования схемы рис. 6. Таким образом, макромодель BiJFet ЗЧУ-№1 рис. 6 – работоспособна.