

Федеральное государственное бюджетное учреждение науки  
Институт проблем проектирования в микроэлектронике  
Российской академии наук (ИППМ РАН)

Библиотека схемотехнических решений

Токовый пороговый элемент «Сумматор по модулю 3»

Бутырлагин Н.В. [nbutyrlagin@mail.ru](mailto:nbutyrlagin@mail.ru),  
Югай В.Я. [yugtag@gmail.com](mailto:yugtag@gmail.com),  
Прокопенко Н.Н. [prokopenko@sssu.ru](mailto:prokopenko@sssu.ru),  
Бугакова А.В. [annabugakova.1992@mail.ru](mailto:annabugakova.1992@mail.ru)

Научно-исследовательская лаборатория проблем проектирования в экстремальной микроэлектронике ИППМ РАН и Донского государственного технического университета (г. Ростов-на-Дону)

1. Области применения токового порогового элемента  
«Сумматор по модулю 3»

В статье предлагается схема токового порогового элемента «Сумматор по модулю 3» [1], в которой внутреннее преобразование информации производится в токовой форме сигналов. В конечном итоге это позволяет создать функционально полный базис цифровых устройств, работающих на принципах многозначной линейной алгебры [2-3].

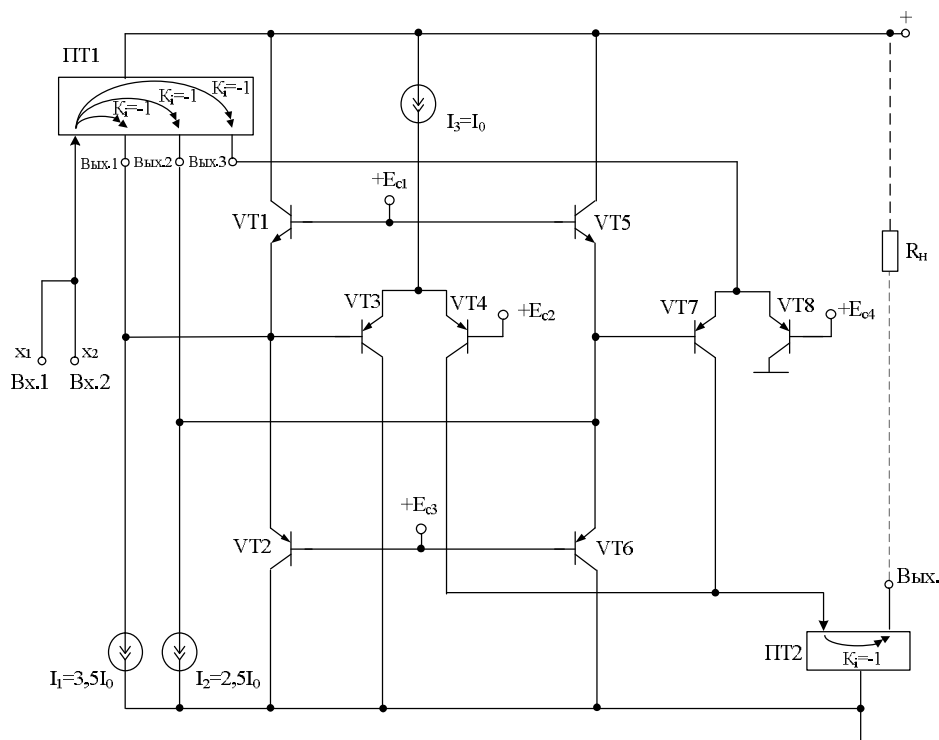


Рис. 1. Схема токового порогового элемента «Сумматор по модулю 3» [1]

Практическая реализация схемы рис.1 может быть осуществлена в рамках различных технологий: TSMC (BiCMOS), SiGe (IHP, Германия), NHGRACE SoI (кремний на изоляторе), H10-CMOS090\_LP (АО «Микрон», г. Зеленоград), ЗКБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

## 2. Текстовое описание схемы токового порогового элемента «Сумматор по модулю 3»

Схема токового порогового логического элемента «Сумматор по модулю 3» рис.1 включает:

- входы (Вх.1 и Вх.2) и выход (Вых.) устройства,
- входные транзисторы (VT1, VT2, VT5, VT6),
- источники напряжения смещения ( $E_{c1}$ - $E_{c4}$ ),
- источники опорного тока ( $I_1$ - $I_4$ ),
- токовые зеркала (ПТ1, ПТ2),
- дифференциальные каскады (VT3-VT4, VT7-VT8).

На основе теории пороговых функций сумматор по модулю 3 может быть реализован с применением следующего выражения:

$$y = (x_1 + x_2) * \text{sigh}((x_1 + x_2) < 2,5) + ((x_1 + x_2) > 3,5). \quad (1)$$

Таблица истинности функции «Сумматор по модулю 3»:

$x_1$	0	1	2	0	1	2	0	1	2
$x_2$	0			1			2		
$x_1 + {}^{(3)}x_2$	0	1	2	1	2	0	2	0	1

Входные сигналы « $x_1$ », « $x_2$ », принимающие значения 0,  $I_0$  или  $2I_0$ , суммируются, а эта сумма в виде сигнала втекающего тока поступает на вход токового зеркала ПТ1. Выходной сигнал с Вых.1 ПТ1 подается на объединённые эмиттеры транзисторов VT1 и VT2, а также на базу транзистора VT3, где вычитается втекающий ток источника опорного тока  $I_1$ . Режимы работы транзисторов VT1 и VT2 задаются источниками напряжений смещения  $E_{c1}$  и  $E_{c3}$ .

Транзисторы VT3 и VT4 образуют дифференциальный каскад (ДК). Переключение коллекторных токов этих транзисторов определяется сигналом, поступающим на базу транзистора VT4. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной  $(x_1+x_2)$  с пороговым уровнем  $3,5I_0$ . Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах 0,5 кванта тока  $I_0$ . При положительной разности сигналов  $(x_1+x_2) - 3,5$  ток источника опорного тока  $I_3$  через коллектор транзистора VT4 в виде кванта

тока подается на вход токового зеркала ПТ2, реализуя второе слагаемое выражения (1).

Выходной сигнал с Вых.2 токового зеркала ПТ1 подается на объединённые эмиттеры входных транзисторов VT5 и VT6, а также на базу входного транзистора VT7, где вычитается втекающий ток источника опорного тока  $I_2$ . Режимы работы транзисторов VT5 и VT6 задаются источниками напряжений смещения  $E_{c1}$  и  $E_{c3}$ .

Транзисторы VT7 и VT8 образуют дифференциальный каскад (ДК), переключение коллекторных токов этих транзисторов определяется сигналом, поступающим на базу транзистора VT7. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной  $(x_1+x_2)$  с пороговым уровнем  $2,5I_0$ . Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах 0,5 кванта тока  $I_0$ . При отрицательной разности сигналов  $(x_1+x_2)-2,5$  ток с Вых.3 токового зеркала ПТ1 через коллектор транзистора VT7 реализует первое слагаемое выражения (1) и в виде сигнала тока подается на токовое зеркало ПТ2, где суммируется с квантом тока с коллектора транзистора VT4 и преобразуется в равный ему втекающий ток, а затем передаётся на выход схемы.

Резистор  $R_n$  служит для обнаружения кванта тока в выходной цепи в процессе экспериментальных исследований (рис.1).

Таким образом, рассмотренное схемотехническое решение токового «Сумматора по модулю 3» характеризуется многозначным состоянием внутренних сигналов и сигналов на его токовых входах и выходах.

### 3. Компьютерное моделирование токового порогового логического элемента «Сумматор по модулю 3»

В частном случае схема токового порогового элемента «Сумматор по модулю 3» рис. 1 исследовалась в среде моделирования LTspice на моделях транзисторов базового матричного кристалла АБМК\_2.2.1 (АО «Интеграл», г. Минск [4-5]).



Рис. 2. Графическое изображение n-p-n и p-n-p транзисторов АБМК\_2.2.1.

На рис. 3 показана схема токового порогового элемента «Сумматор по модулю 3» в среде моделирования LTspice.

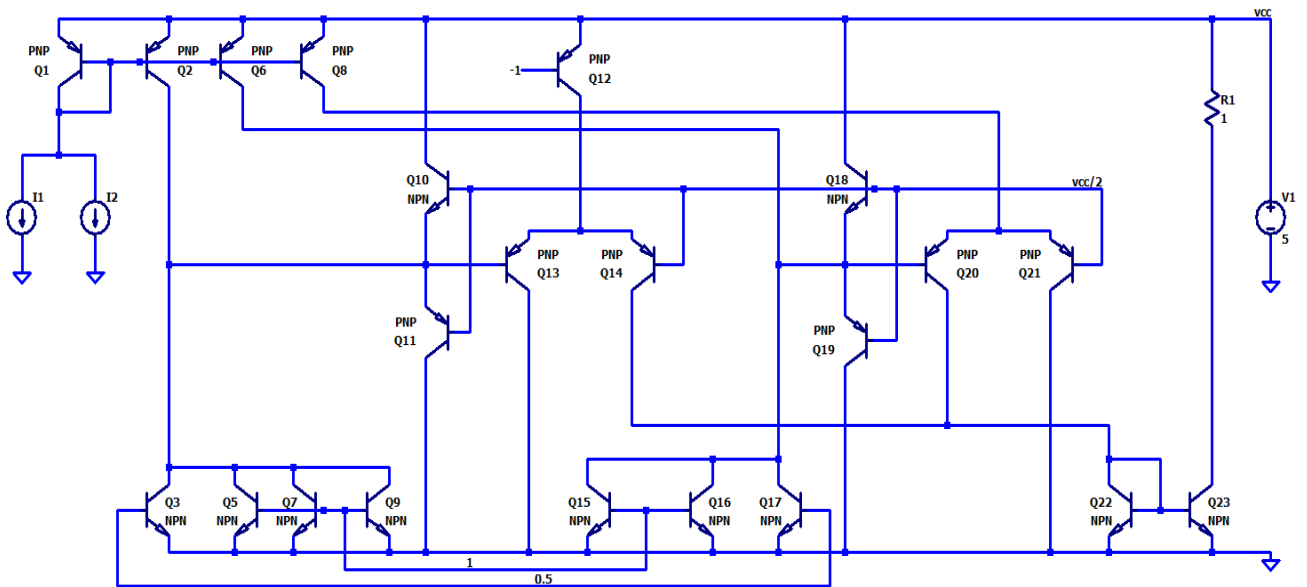


Рис. 3. Схема рис. 1 в среде LTspice на моделях транзисторов АБМК\_2.2.1.

#### 4. Ожидаемые параметры и характеристики токового порогового элемента «Сумматор по модулю 3»

На рис.4 приведены осциллограммы входных и выходных сигналов токового порогового элемента «Сумматор по модулю 3» (рис. 3).

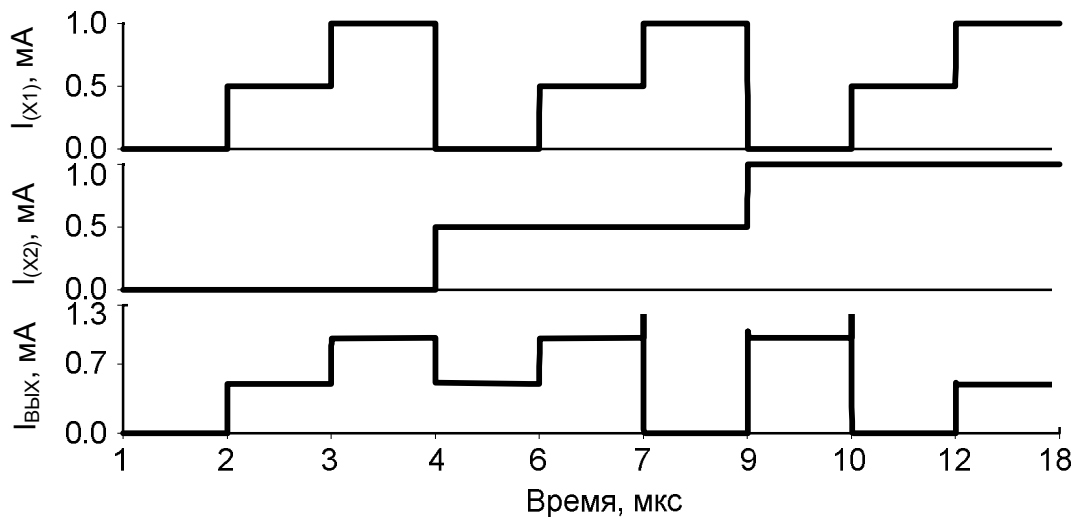


Рис. 4. Осциллограммы входных и выходных сигналов токового порогового элемента «Сумматор по модулю 3» (рис.3)

#### 5. Параметры оптимизации

Оптимизации подлежат: значения токов дополнительных источников опорного тока  $I_1 - I_3$ , а также значения напряжений источников напряжения смещения ( $E_{c1} - E_{c4}$ ) для корректирования режимов работы входных транзисторов и ДК.

## 6. Netlist в Spice (рис.3)

```
1: D:\simulation\LTSpice\токовая логика (195-200)\Scheme_214\8125.asc
2: V1 vcc 0 5
3: Q28 -1 -1 N003 0 PNP
4: Q29 N006 -1 N003 0 PNP
5: I5 -1 0 500μ
6: R4 N006 0 1
7: V4 N003 0 5
8: Q25 N004 0.5 0 0 NPN
9: Q24 0.5 0.5 0 0 NPN
10: I3 N001 0.5 200μ
11: R2 N001 N004 1
12: V2 N001 0 5
13: Q27 N005 1 0 0 NPN
14: Q26 1 1 0 0 NPN
15: I4 N002 1 500μ
16: R3 N002 N005 1
17: V3 N002 0 5
18: V11 vcc/2 0 2.5
19: Q1 N007 N007 vcc 0 PNP
20: Q2 N011 N007 vcc 0 PNP
21: Q6 N009 N007 vcc 0 PNP
22: Q8 N008 N007 vcc 0 PNP
23: Q12 N010 -1 vcc 0 PNP
24: Q10 vcc vcc/2 N011 0 NPN
25: Q11 0 vcc/2 N011 0 PNP
26: Q18 vcc vcc/2 N009 0 NPN
27: Q19 0 vcc/2 N009 0 PNP
28: Q14 N012 vcc/2 N010 0 PNP
29: Q13 0 N011 N010 0 PNP
30: Q21 0 vcc/2 N008 0 PNP
31: Q20 N012 N009 N008 0 PNP
32: Q3 N011 0.5 0 0 NPN
33: Q5 N011 1 0 0 NPN
34: Q7 N011 1 0 0 NPN
35: Q9 N011 1 0 0 NPN
36: Q15 N009 1 0 0 NPN
37: Q16 N009 1 0 0 NPN
38: Q17 N009 0.5 0 0 NPN
39: Q22 N012 N012 0 0 NPN
40: Q23 N013 N012 0 0 NPN
41: R1 vcc N013 1
```

```

42: I2 N007 0 PWL(0 0 60n 0 60.005n 500u 120n 500u 120.005n 1000u 180n
    1000u)
43: I1 N007 0 PWL(0 0 20n 0 20.005n 500u 40n 500u 40.005n 1000u 60n 1000u
    60.005n 0 80n 0 80.005n 500u 100n 500u 100.005n 1000u 120n 1000u
    120.005n 0 140n 0 140.005n 500u 160n 500u 160.005n 1000u 180n 1000u)
44: .model NPN NPN
45: .model PNP PNP
46: .lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.bjt
47: .op
48: .param LT=27
49: .temp={LT}
50: .ac dec 100 1 100Meg
51: .tran 0 180n 0 5n
52: .step param LT -197 27 2
53: .step param Dg 1 1Meg 300
54: .step dec param fn 1e12 1e18 1e2
55: .param fn=1
56: .param Dg=1
57: .param V1=1.8
58: .lib C:\LT\ABMK-2.2-1.lib
59: .param weight=250
60: .param JNV={weight/260}
61: .param JPV={weight/50}
62: .param I1=1u
63: .step param V1 -5 5 50m
64: .step param I1 1u 1m 10u
65: .param fit=1
66: .backanno
67: .end

```

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 18-37-00061.

При этом использовались компьютерные модели транзисторов, разработанных Дворниковым Олегом Владимировичем (г.Минск, МНИПИ, [oleg\\_dvornikov@tut.by](mailto:oleg_dvornikov@tut.by)).

#### Список литературы

1. Токовый пороговый элемент "Сумматор по модулю три": заявка на патент РФ; МПК: H03K19/00, H03K19/013, H03K19/017 / Н.В. Бутырлагин, В.Я. Югай, Н.Н. Прокопенко, А.В. Бугакова – № 2020109184; Заявл. 02.03.2020
2. Чернов Н.И. Основы теории логического синтеза цифровых структур над полем вещественных чисел // Монография. – Таганрог: ТРТУ, 2001. – 147с.

3. Чернов Н.И. Линейный синтез цифровых структур АСОИУ» // Учебное пособие Таганрог. – ТРТУ, 2004г., 118с.

4. K.O. Petrosyants, M. Ismail-zade, O.V. Dvornikovetal. “Automation of parameter extraction procedure for Si JFET SPICE model in the– 200...+ 110° C temperature range”, Moscow Workshop on Electronic and Networking Technologies, pp. 1-6, 2018.

5. O. V. Dvornikov, V. L. Dziatlau, N. N. Prokopenko, K. O. Petrosiants, N. V. Kozhukhov and V. A. Tchekhovski, "The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the BiJFET analog interfaces of the sensors," 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, Kazakhstan, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507