

Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)

Библиотека схемотехнических решений

Токовый пороговый троичный элемент «Максимум»

Бутырлагин Н.В., nbutyrlagin@mail.ru,
Югай В.Я., yugtag@gmail.com,
Прокопенко Н.Н., prokopenko@sssu.ru,
Пахомов И.В., ilyavpakhomov@gmail.com

Научно-исследовательская лаборатория проблем проектирования в экстремальной микроэлектронике ИППМ РАН и Донского государственного технического университета (г. Ростов-на-Дону)

1. Области применения токового порогового троичного элемента «Максимум»

Построение компонентов цифровых управляющих и вычислительных систем, например, беспилотных летательных аппаратов, базируется на использовании логических элементов «Максимум» [1]. Применение линейной алгебры в качестве математического аппарата логического синтеза цифровых структур [2] позволяет получить логическую, а на ее основе – схемотехническую, реализацию линейных аналогов указанной логической функции [3].

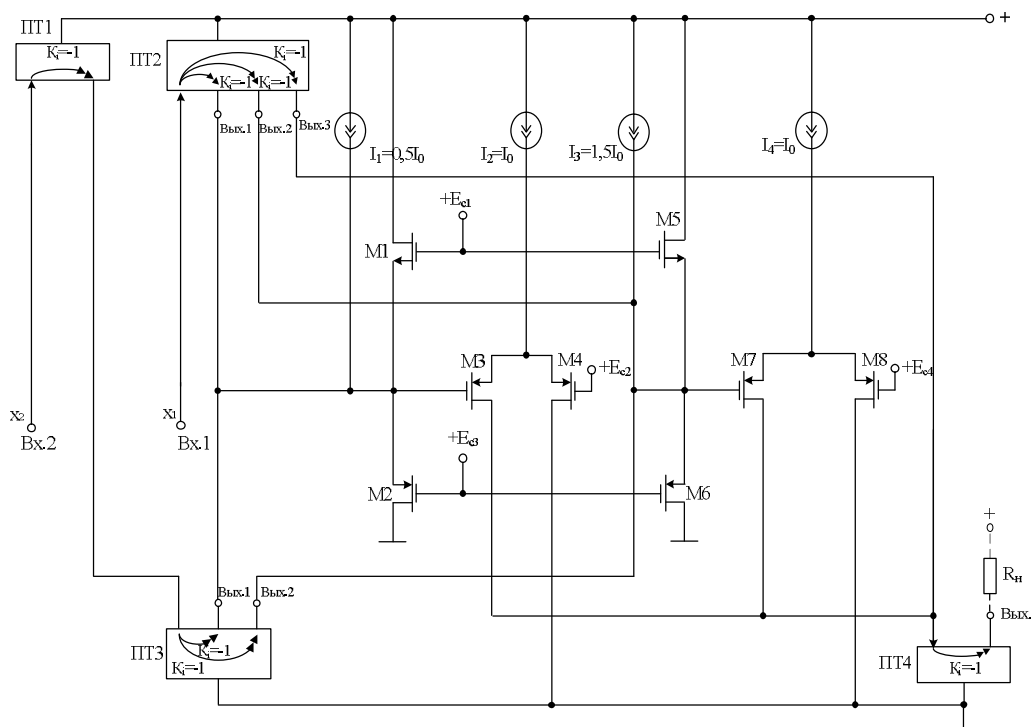


Рис. 1. Схема токового порогового троичного элемента «Максимум» [4]

Практическая реализация схемы рис. 1 может быть осуществлена в рамках различных технологий: TSMC (BiCMOS), SiGe (IHP, Германия), NHGRACE SoI (кремний на изоляторе), H10-CMOS090_LP (АО «Микрон», г. Зеленоград), ЗКБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

2. Текстовое описание схемы токового порогового троичного элемента «Максимум»

Схема токового порогового троичного элемента «Максимум» рис.1 включает:

- входы (Вх.1 и Вх.2) и выход (Вых.) устройства,
- входные транзисторы (M1, M2, M5, M6),
- источники напряжения смещения (E_{c1} - E_{c4}),
- источники опорного тока (I_1 - I_4),
- токовые зеркала (ПТ1-ПТ4),
- дифференциальные каскады (M3-M4, M7-M8).

Рассмотрим работу схемы ЛЭ рис.1. Пороговая реализация троичной логической функции $\max(x_1, x_2)$ описывается следующим уравнением:

$$y_{\max,2} = x_1 + (x_2 > (x_1 + 0,5)) + (x_2 > (x_1 + 1,5)) \quad (1)$$

Таблица истинности функции $\max(x_1, x_2)$ представлена ниже:

x_1	0	1	2	0	1	2	0	1	2
x_2	0			1			2		
y	0	1	2	1	1	2	2	2	2

Входная переменная « x_2 » в виде сигнала втекающего тока поступает на Вх.2 схемы и далее на выход токового зеркала ПТ1. Выходной сигнал с выхода токового зеркала ПТ1 подаётся на вход токового зеркала ПТ3. Входная переменная « x_1 » в виде сигнала втекающего тока поступает на Вх.1 схемы и далее на вход токового зеркала ПТ2. Выходной сигнал с Вых.1 токового зеркала ПТ2 вычитается из сигнала Вых.1 токового зеркала ПТ3, затем из конечного сигнала вычитается сигнал 0,5 кванта тока I_0 источника опорного тока I_1 и далее поступает на объединённые истоки транзисторов M1 и M2, а также подаётся на затвор транзистора M3. Режимы работы транзисторов M1 и M2 задаются значениями напряжений источников напряжения смещения E_{c1} и E_{c3} .

Транзисторы M3 и M4 образуют дифференциальный каскад (ДК), переключение токов стоков этих транзисторов определяется сигналом, поступающим на затвор M3. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной $x_2 - x_1$ с пороговым уровнем тока $0,5I_0$. Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах диапазона изменения тока $0,5I_0$. При положительной разности сигналов $(x_2 - x_1) - 0,5$ ток

источника опорного тока I_2 через сток М3 в виде кванта тока подается на токовое зеркало ПТ4, реализуя первое слагаемое выражения (1). Выходной сигнал с Вых.2 токового зеркала ПТ3 вычитается из сигнала порогового уровня тока $1,5I_0$ источника опорного тока I_2 , сравнивается с выходным сигналом Вых.2 токового зеркала ПТ2 и далее поступает на объединённые истоки транзисторов М5 и М6, а также подаётся на затвор транзистора М7. Режимы работы М5 и М6 задаются значениями напряжений источников напряжения смещения E_{c1} и E_{c3} .

Транзисторы М7 и М8 образуют ДК, переключение токов стоков этих транзисторов определяется сигналом, поступающим на затвор М7. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной $x_2 - x_1$ с пороговым уровнем тока $1,5I_0$. Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах диапазона изменения тока $0,5I_0$. При положительной разности сигналов $(x_2 - x_1) - 1,5$ ток источника опорного тока I_4 через сток транзистора М7 реализует второе слагаемое выражения (1) и в виде сигнала тока подается на вход токового зеркала ПТ4. Сигналы со стоков М4 и М7 суммируются с сигналом Вых.3 токового зеркала ПТ2 и подаются на вход токового зеркала ПТ4, где преобразуются в равный им втекающий ток и передаются на выход схемы (Вых.).

В схеме на рис. 1 резистор R_n служит для обнаружения наличия кванта тока в выходной цепи в процессе экспериментальных исследований.

3. Компьютерное моделирование токового порогового троичного элемента «Максимум»

В частном случае схема токового порогового троичного элемента «Максимум» рис. 1 исследовалась в среде моделирования LTspice на моделях транзисторов базового матричного кристалла АБМК_2.2.1 (АО «Интеграл», г. Минск [7-8], (рис.2).



Рис. 2. Графическое изображение n-p-n и p-n-p транзисторов АБМК_2.2.1.

На рис. 3 показана схема токового порогового троичного элемента «Максимум» в среде моделирования LTspice.

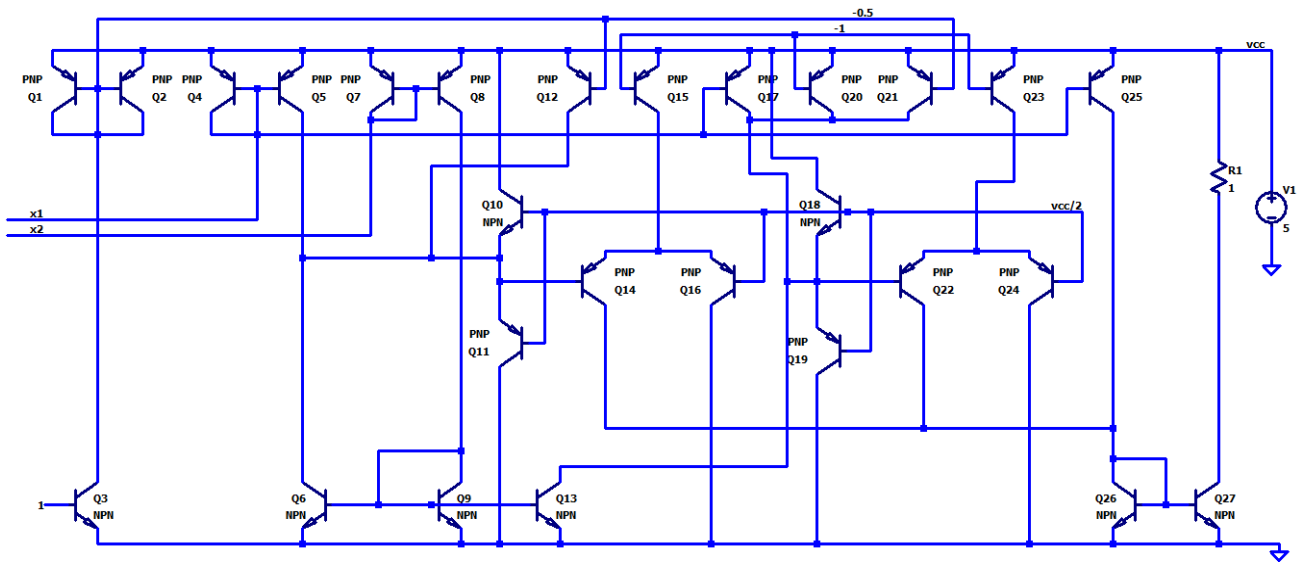


Рис. 3. Схема рис. 1 в среде LTspice на моделях транзисторов АБМК_2.2.1.

4. Ожидаемые параметры и характеристики токового порогового элемента «Сумматор по модулю 3»

На рис.4 приведены осциллограммы входных и выходных сигналов токового порогового троичного элемента «Максимум» (рис. 3).

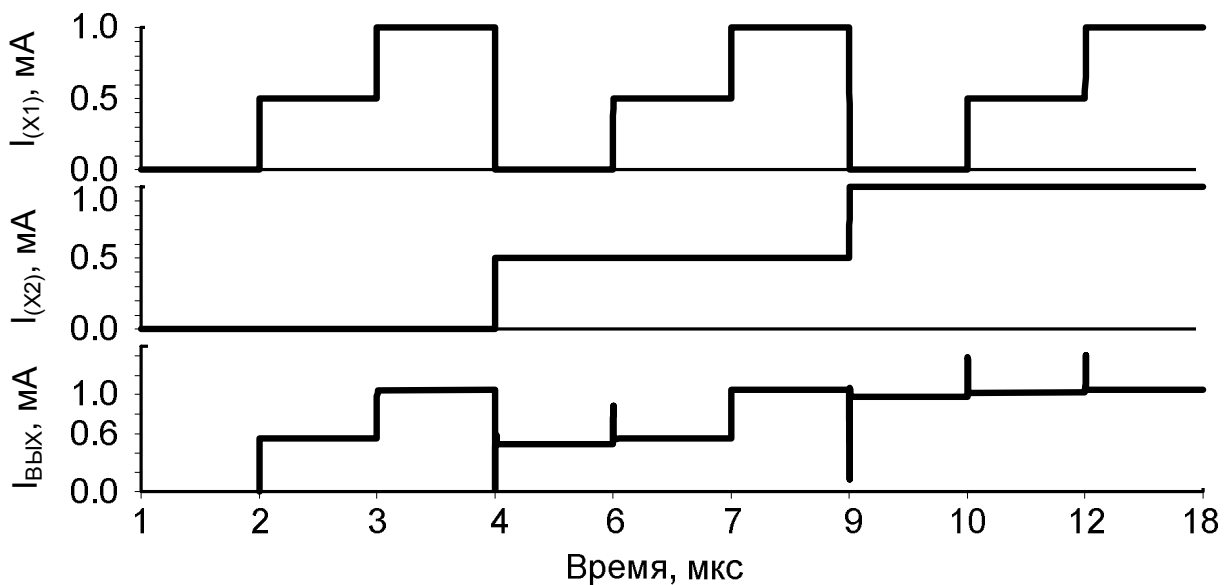


Рис. 4. Осциллограммы входных и выходных сигналов схемы токового порогового троичного элемента «Максимум» (рис.3).

5. Параметры оптимизации

Оптимизации подлежат: значения токов дополнительных источников опорного тока $I_1 - I_4$, а также источников напряжения смещения ($E_{c1}-E_{c4}$) для корректирования режимов работы входных транзисторов и ДК.

6. Netlist в Spice (рис.3)

```
1: D:\simulation\LTSpice\токовая логика (195-200)\Scheme_215\8125.asc
2: V1 vcc 0 5
3: Q32 -1 -1 N003 0 PNP
4: Q33 N006 -1 N003 0 PNP
5: I3 -1 0 500μ
6: R4 N006 0 1
7: V4 N003 0 5
8: Q31 N005 1 0 0 NPN
9: Q30 1 1 0 0 NPN
10: I2 N002 1 600μ
11: R3 N002 N005 1
12: V3 N002 0 5
13: V11 vcc/2 0 2.5
14: Q10 vcc vcc/2 N008 0 NPN
15: Q11 0 vcc/2 N008 0 PNP
16: Q18 vcc vcc/2 N007 0 NPN
17: Q19 0 vcc/2 N007 0 PNP
18: Q16 0 vcc/2 N010 0 PNP
19: Q14 N011 N008 N010 0 PNP
20: Q24 0 vcc/2 N009 0 PNP
21: Q22 N011 N007 N009 0 PNP
22: Q13 N007 N012 0 0 NPN
23: Q6 N008 N012 0 0 NPN
24: Q9 N012 N012 0 0 NPN
25: Q26 N011 N011 0 0 NPN
26: Q27 N013 N011 0 0 NPN
27: R1 vcc N013 1
28: I5 x2 0 PWL(0 0 60n 0 60.005n 500u 120n 500u 120.005n 1000u 180n 1000u)
29: I4 x1 0 PWL(0 0 20n 0 20.005n 500u 40n 500u 40.005n 1000u 60n 1000u
    60.005n 0 80n 0 80.005n 500u 100n 500u 100.005n 1000u 120n 1000u
    120.005n 0 140n 0 140.005n 500u 160n 500u 160.005n 1000u 180n 1000u)
30: Q1 -0.5 -0.5 vcc 0 PNP
31: Q2 -0.5 -0.5 vcc 0 PNP
32: Q4 x1 x1 vcc 0 PNP
33: Q5 N008 x1 vcc 0 PNP
34: Q7 x2 x2 vcc 0 PNP
35: Q8 N012 x2 vcc 0 PNP
36: Q12 N008 -0.5 vcc 0 PNP
37: Q15 N010 -1 vcc 0 PNP
38: Q17 N007 x1 vcc 0 PNP
39: Q20 N007 -1 vcc 0 PNP
40: Q21 N007 -0.5 vcc 0 PNP
```

```

41: Q23 N009 -1 vcc 0 PNP
42: Q25 N011 x1 vcc 0 PNP
43: Q3 -0.5 1 0 0 NPN
44: Q28 -0.5 -0.5 N001 0 PNP
45: Q29 N004 -0.5 N001 0 PNP
46: I1 -0.5 0 300µ
47: R2 N004 0 1
48: V2 N001 0 5
49: .model NPN NPN
50: .model PNP PNP
51: .lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.bjt
52: .op
53: .param LT=27
54: .temp={LT}
55: .ac dec 100 1 100Meg
56: .tran 0 180n 0 5n
57: .step param LT -197 27 2
58: .step param Dg 1 1Meg 300
59: .step dec param fn 1e12 1e18 1e2
60: .param fn=1
61: .param Dg=1
62: .param V1=1.8
63: .lib C:\LT\ABMK-2.2-1.lib
64: .param weight=250
65: .param JNV={weight/260}
66: .param JPV={weight/50}
67: .param I1=1u
68: .step param V1 -5 5 50m
69: .step param I1 1u 1m 10u
70: .param fit=1
71: .backanno
72: .end

```

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 18-37-00061.

При этом использовались компьютерные модели транзисторов, разработанных Дворниковым Олегом Владимировичем (г. Минск, МНИПИ, oleg_dvornikov@tut.by).

Список литературы

1. Поспелов Д. А. Логические методы анализа и синтеза схем. Изд. 3-е, перераб. и доп., М., «Энергия», 1974, 368 с.
2. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Basic Concept of Linear Synthesis of Multi-Valued Digital Structures in Linear Spaces. Proceeding of IEEE

East-West Design & Test Symposium (EWDTS'2013). Rostov-on-Don, Russia, September 27-30, 2013. pp. 146-149. DOI: 10.1109/EWDTS.2014.7027045

3. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Schematic Design of Digital IC at the Base of Linear Algebra. ICSES 2014 International Conference on Signals and Electronic Systems, September 11-13, 2014, Poznan, POLAND. DOI: 10.1109/ICSES.2014.6948728.

4. Токовый пороговый троичный элемент "Максимум": заявка на патент РФ; МПК: H03K 19/00, H03K 19/17 / Н.В. Бутырлагин, В.Я. Югай, Н.Н. Прокопенко – № 2020109465; Заявл. 04.03.2020

5. Чернов Н.И. Основы теории логического синтеза цифровых структур над полем вещественных чисел // Монография. – Таганрог: ТРТУ, 2001. – 147с.

6. Чернов Н.И. Линейный синтез цифровых структур АСОИУ» // Учебное пособие Таганрог. – ТРТУ, 2004г., 118с.

7. K.O. Petrosyants, M. Ismail-zade, O.V. Dvornikovetal. "Automation of parameter extraction procedure for Si JFET SPICE model in the– 200...+ 110° C temperature range", Moscow Workshop on Electronic and Networking Technologies, pp. 1-6, 2018.

8. O. V. Dvornikov, V. L. Dziatlau, N. N. Prokopenko, K. O. Petrosiants, N. V. Kozhukhov and V. A. Tchekhovski, "The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the BiJFET analog interfaces of the sensors," 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, Kazakhstan, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507