

**Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)**

Библиотека схемотехнических решений

Токовый пороговый параллельный троичный компаратор

Бутырлагин Н.В. nbutyrlagin@mail.ru,

Югай В.Я. yugtag@gmail.com,

Прокопенко Н.Н. prokopenko@sssu.ru,

Игнашин А.А. igan_96@mail.ru

**Научно-исследовательская лаборатория проблем проектирования в
экстремальной микроэлектронике ИППМ РАН и Донского государственного
технического университета (г. Ростов-на-Дону)**

**1. Области применения токового порогового параллельного троичного
компаратора**

В различных вычислительных и управляющих системах широко используются компараторы, работающие по законам булевой алгебры и имеющие по выходу два логических состояния «0» и «1», характеризующихся низким и высоким потенциалами. Предлагаемый в статье компаратор [1] позволяет создать элементную базу вычислительных устройств, работающих на принципах многозначной линейной алгебры [2-3].

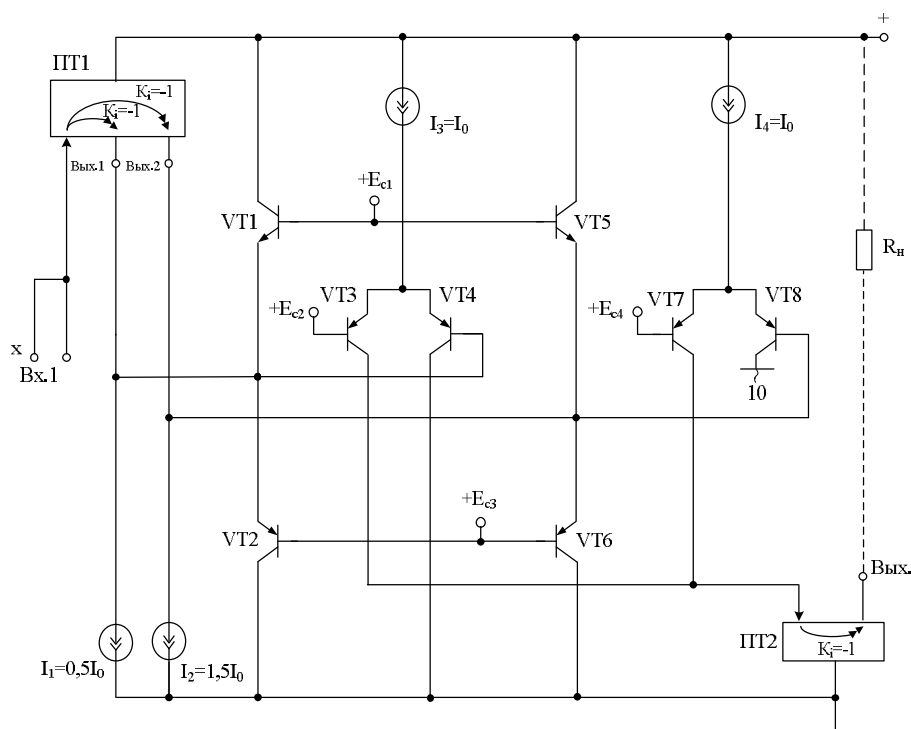


Рис. 1. Схема токового порогового параллельного троичного компаратора [1].

Схема рис.1 может быть реализована в рамках различных технологий: TSMC (BiCMOS), SiGe (IHP, Германия), NHGRACE SoI (кремний на изоляторе), H10-CMOS090_LP (АО «Микрон», г. Зеленоград), 3КБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

2. Текстовое описание схемы токового порогового параллельного троичного компаратора

Схема токового порогового параллельного троичного компаратора рис.1 включает:

- вход (Вх.1) и выход (Вых.) устройства,
- входные транзисторы (VT1, VT2, VT5, VT6),
- источники напряжения смещения (E_{c1} - E_{c4}),
- источники опорного тока (I_1 - I_4),
- токовые зеркала (ПТ1, ПТ2),
- дифференциальные каскады (VT3-VT4, VT7-VT8).

Рассмотрим работу предлагаемой схемы рис.1 [1].

Троичный компаратор на основе пороговых функций может быть реализован с применением следующего выражения:

$$y = (x > 0,5) + (x > 1,5), \quad (1)$$

Входная переменная «х» в виде сигнала втекающего тока поступает на вход схемы и далее на вход токового зеркала ПТ1. Выходной сигнал с Вых.1 токового зеркала ПТ1 подается на объединённые эмиттеры транзисторов VT1 и VT2, а также на базу транзистора VT4, где вычитается втекающий ток источника опорного тока I_1 . Режимы работы транзисторов VT1 и VT2 задаются источниками напряжений смещения E_{c1} и E_{c3} .

Транзисторы VT3 и VT4 образуют дифференциальный каскад (ДК), переключение коллекторных токов этих транзисторов определяется сигналом, поступающим на базу транзистора VT4. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной x_1 с пороговым уровнем $0,5I_0$. Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах 0,5 кванта тока I_0 . При положительной разности сигналов $x - 0,5$ ток источника опорного тока I_3 через коллектор транзистора VT3 в виде кванта тока подается на вход токового зеркала ПТ2. Выходной сигнал с Вых.2 токового зеркала ПТ1 подается на объединённые эмиттеры транзисторов VT5 и VT6, а также на базу транзистора VT8, где вычитается втекающий ток источника опорного тока I_2 . Режимы работы транзисторов VT5 и VT6 задаются источниками напряжений смещения E_{c1} и E_{c3} .

Входные транзисторы VT7 и VT8 образуют ДК. Переключение коллекторных токов этих транзисторов определяется сигналом, поступающим на базу транзистора VT8. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной x с пороговым уровнем $1,5I_0$. Выбор

такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах 0,5 кванта тока I_0 . При положительной разности сигналов $x - 1,5$ ток источника опорного тока I_3 через коллектор транзистора VT7 в виде кванта тока подается на токовое зеркало ПТ2, где суммируется с током коллектора транзистора VT3 и преобразуется в равный ему втекающий ток, а затем передается на Вых. схемы.

Таким образом, в диапазоне изменения входного сигнала $0 - 0,5I_0$ выходной токовый сигнал имеет уровень «0», в диапазоне изменения входного сигнала $0,5I_0 - 1,5I_0$ выходной сигнал принимает значение « I_0 », при входном сигнале $>1,5I_0$ выходной сигнал равен « $2I_0$ ».

В схеме на рис.1 резистор R_n служит в процессе экспериментальных исследований для обнаружения кванта тока в выходной цепи.

3. Компьютерное моделирование токового порогового параллельного троичного компаратора

В частном случае схема токового порогового параллельного троичного компаратора рис. 1 исследовалась в среде LTspice на моделях биполярных транзисторов базового матричного кристалла АБМК_2.2.1 (АО «Интеграл», г. Минск [4-5], рис.2)



Рис. 2. Графическое изображение n-p-n и p-n-p транзисторов АБМК_2.2.1.

На рис. 3 показана схема токового порогового параллельного троичного компаратора в среде LTspice.

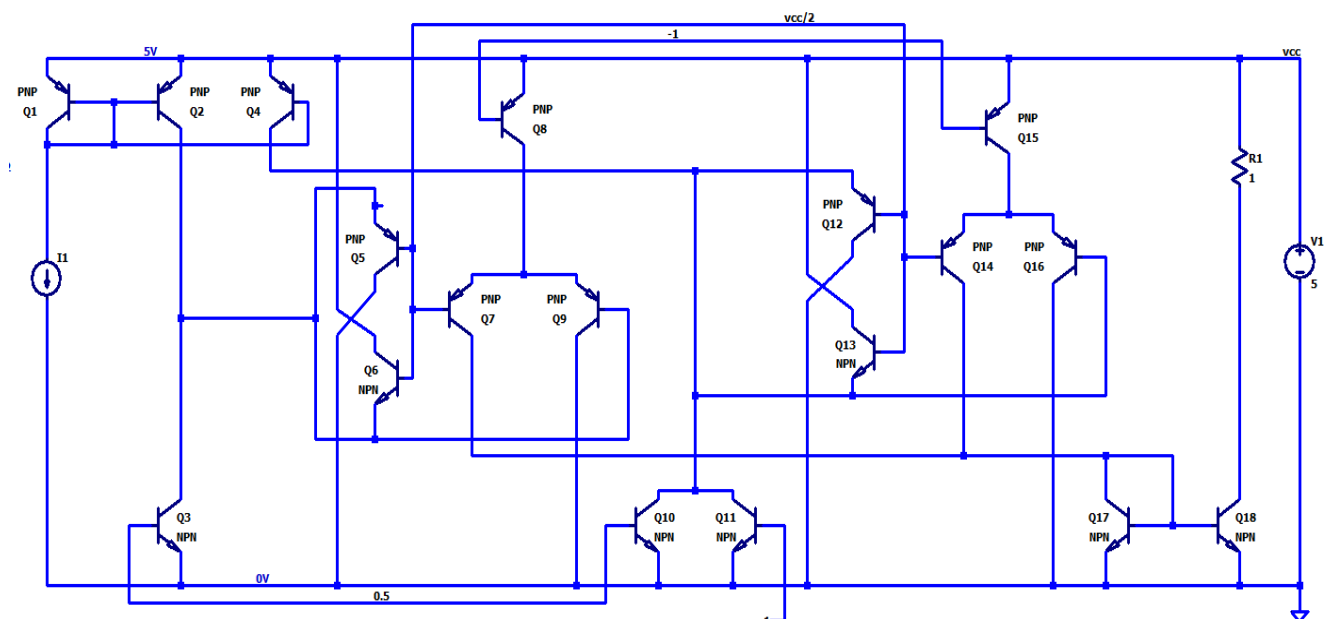


Рис. 3. Схема рис. 1 в среде LTspice на моделях транзисторов АБМК_2.2.1.

4. Ожидаемые параметры и характеристики токового порогового параллельного троичного компаратора

На рис.4 приведены осциллограммы входных и выходных сигналов схемы токового порогового параллельного троичного компаратора (рис. 3) при моделировании с входным токовым сигналом следующей формы

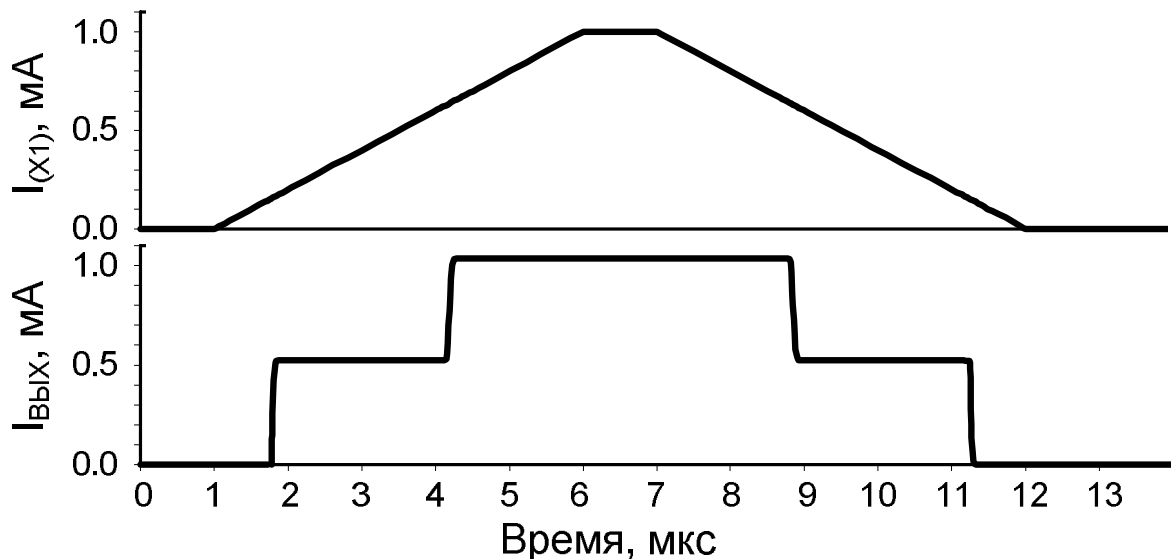


Рис. 4. Осциллограммы входных и выходных токовых сигналов токового порогового параллельного троичного компаратора рис.3.

5. Параметры оптимизации

Оптимизации подлежат: значения токов дополнительных источников опорного тока $I_1 - I_4$, а также источников напряжения смещения ($E_{c1}-E_{c4}$) для корректирования режимов работы входных транзисторов и ДК.

6. Netlist в Spice (рис.3)

```
1: D:\simulation\LTSpice\токовая логика\Scheme_23\8125.asc
2: V1 vcc 0 5
3: Q21 -1 -1 N002 0 PNP
4: Q22 N005 -1 N002 0 PNP
5: I3 -1 0 500μ
6: R3 N005 0 1
7: V3 N002 0 5
8: Q20 N004 0.5 0 0 NPN
9: Q19 0.5 0.5 0 0 NPN
10: I2 N001 0.5 200μ
11: R2 N001 N004 1
12: V2 N001 0 5
```

```

13: Q24 N006 1 0 0 NPN
14: Q23 1 1 0 0 NPN
15: I4 N003 1 500μ
16: R4 N003 N006 1
17: V4 N003 0 5
18: Q1 N007 N007 vcc 0 PNP
19: Q2 N009 N007 vcc 0 PNP
20: Q4 N008 N007 vcc 0 PNP
21: Q3 N009 0.5 0 0 NPN
22: Q6 vcc vcc/2 N009 0 NPN
23: Q5 0 vcc/2 N009 0 PNP
24: Q8 N011 -1 vcc 0 PNP
25: Q9 0 N009 N011 0 PNP
26: Q7 N012 vcc/2 N011 0 PNP
27: Q15 N010 -1 vcc 0 PNP
28: Q12 0 vcc/2 N008 0 PNP
29: Q16 0 N008 N010 0 PNP
30: Q14 N012 vcc/2 N010 0 PNP
31: Q11 N008 1 0 0 NPN
32: Q10 N008 0.5 0 0 NPN
33: Q17 N012 N012 0 0 NPN
34: Q18 N013 N012 0 0 NPN
35: R1 vcc N013 1
36: I1 N007 0 PWL(0 0 10n 0 60n 1m 70n 1m 120n 0 130n 0)
37: V11 vcc/2 0 0.5
38: Q13 vcc vcc/2 N008 0 NPN
39: .model NPN NPN
40: .model PNP PNP
41: .lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.bjt
42: .op
43: .param LT=27
44: .temp={LT}
45: .ac dec 100 1 100Meg
46: .tran 0 140n 0 5n
47: .step param LT -197 27 2
48: .step param Dg 1 1Meg 300
49: .step dec param fn 1e12 1e18 1e2
50: .param fn=1
51: .param Dg=1
52: .param V1=1.8
53: .lib C:\LT\ABMK-2.2-1.lib
54: .param weight=250
55: .param JNV={weight/260}
56: .param JPV={weight/50}
57: .param I1=1u

```

```
58: .step param V1 -5 5 50m
59: .step param I1 1u 1m 10u
60: .param fit=1
61: .backanno
62: .end
```

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 18-37-00061.

При этом использовались компьютерные модели транзисторов, разработанных Дворниковым Олегом Владимировичем (г. Минск, МНИПИ, oleg_dvornikov@tut.by).

Список литературы

1. Токовый пороговый параллельный троичный компаратор: заявка на патент РФ; МПК: H03K 19/21, H03K19/082 / Н.В. Бутырлагин, В.Я. Югай, Н.Н. Прокопенко – № 2020109474; Заявл. 04.03.2020.
2. Чернов Н.И. Основы теории логического синтеза цифровых структур над полем вещественных чисел // Монография. – Таганрог: ТРТУ, 2001. – 147с.
3. Чернов Н.И. Линейный синтез цифровых структур АСОИУ» // Учебное пособие Таганрог. – ТРТУ, 2004г., 118с.
4. K.O. Petrosyants, M. Ismail-zade, O.V. Dvornikovetal. “Automation of parameter extraction procedure for Si JFET SPICE model in the– 200...+ 110° C temperature range”, Moscow Workshop on Electronic and Networking Technologies, pp. 1-6, 2018.
5. O. V. Dvornikov, V. L. Dziatlau, N. N. Prokopenko, K. O. Petrosiants, N. V. Kozhukhov and V. A. Tchekhovski, "The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the BiJFET analog interfaces of the sensors," 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, Kazakhstan, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507