

Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)

Библиотека схемотехнических решений

Токовые пороговые элементы правого и левого циклического сдвига

Бутырлагин Н.В. nbutyrlagin@mail.ru,
Югай В.Я. yugtag@gmail.com,
Прокопенко Н.Н. prokopenko@sssu.ru,
Пахомов И.В. ilyavpakhomov@gmail.com

Научно-исследовательская лаборатория проблем проектирования в экстремальной микроэлектронике ИППМ РАН и Донского государственного технического университета (г. Ростов-на-Дону)

1. Области применения токовых пороговых элементов правого и левого циклического сдвига

В цифровых управляющих и вычислительных системах, например, роботах, используются логические элементы правого и левого циклического сдвига [1]. Эти схемотехнические решения могут быть затем использованы для построения специализированных токовых логических IP-модулей и цифровых СФ-блоков на их основе.

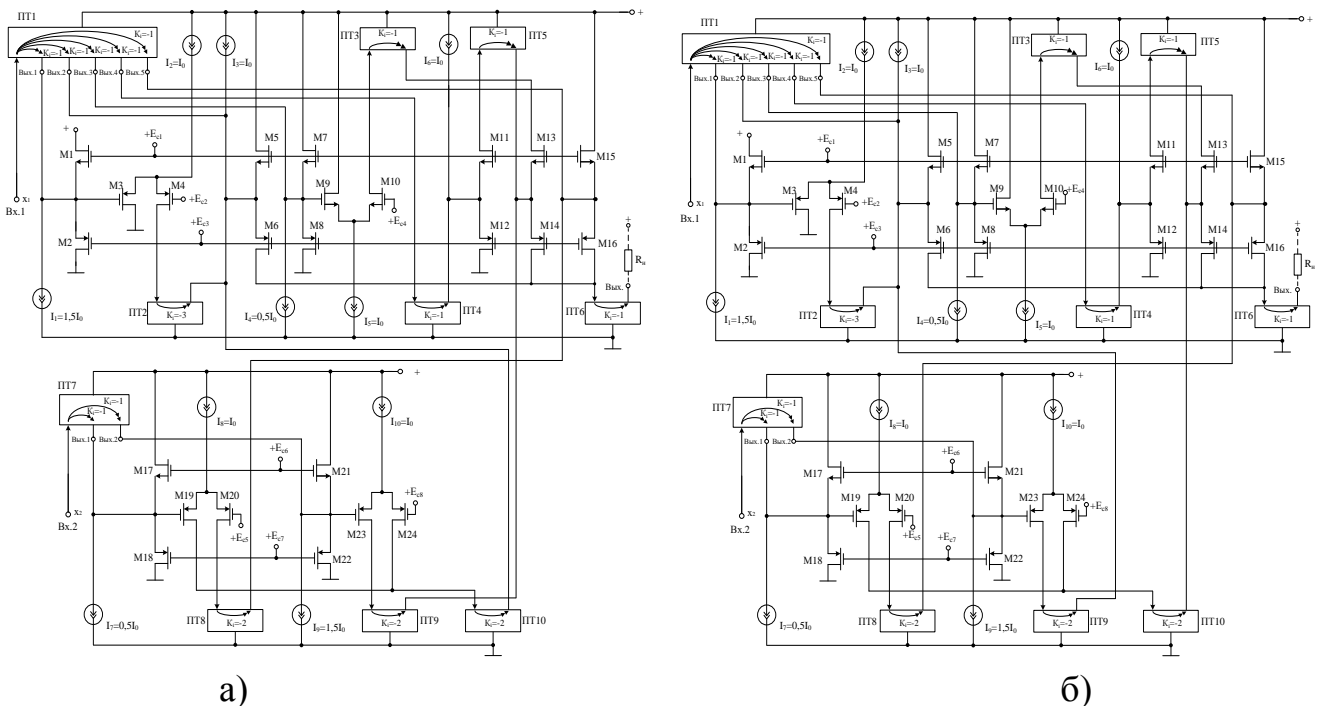


Рис. 1. Схемы токового порогового элемента правого (а) и левого (б) циклического сдвига.

Схемы, представленные на рис.1, могут быть реализованы на основе различных технологических процессов: TSMC (BiCMOS), SiGe (IHP, Германия), NHGRACE SoI (кремний на изоляторе), H10-CMOS090_LP (АО «Микрон», г. Зеленоград), 3КБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

2. Текстовое описание схем токовых пороговых элементов правого и левого циклического сдвига

Схема токового порогового элемента правого циклического сдвига рис. 1а включает [2]:

- входы (Вх.1 и Вх.2) и выход (Вых.) устройства,
- входные транзисторы (M1, M2, M5, M6, M7, M8, M11, M12, M13, M14, M15, M16, M17, M18, M21, M22),
- источники напряжения смещения (E_{c1} - E_{c8}),
- источники опорного тока (I_1 - I_{10}),
- токовые зеркала (ПТ1-ПТ10),
- дифференциальные каскады (M3-M4, M9-M10, M19-M20, M23-M24).

Рассмотрим работу предлагаемой схемы ЛЭ рис.1а. Пороговая реализация троичной логической функции $\min(x_1, x_2)$ описывается следующим уравнением:

Рассмотрим работу предлагаемой схемы рис.1а.

Таблица истинности функции $y=x \oplus i$ имеет вид:

x	0	1	2	0	1	2	0	1	2
i	0			1			2		
y	0	1	2	1	2	0	2	0	1

Учитывая, что $x \oplus 2 = x \ominus 1$ то для троичных переменных функция y записывается в следующем виде:

$$y = x \oplus i = (x - 2(i > 0,5)) + ((x \oplus 1) - 2((i < 0,5) + (i > 1,5))) + ((x \ominus 1) - 2(i < 1,5)), \quad (1)$$

Выражение (1) реализовано схемой на рис. 1а, на выход попадает переменная x при $i=0$, переменная $x \oplus 1$ при $i=1$ и переменная $x \oplus 2$ ($x \ominus 1$) при $i=2$.

Входная переменная « x_1 » в виде сигнала втекающего тока поступает на вход и далее на вход токового зеркала ПТ1. Выходной сигнал с Вых.1 токового зеркала ПТ1 подаётся на объединённые истоки полевых транзисторов M1 и M2, а затем на затвор полевого транзистора M3, где из данного сигнала вычитается ток источника опорного тока I_1 . Режимы работы полевых транзисторов M1 и M2 задаются значениями напряжений источников напряжения смещения.

Полевые транзисторы M3 и M4 образуют ДК, переключение токов стоков этих транзисторов определяется сигналом, поступающим на затвор полевого транзистора M3. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной ($x > 1,5$) с пороговым уровнем, задаваемым источником тока. Выбор такого порогового уровня обеспечивает независимость

результатов преобразования сигналов от погрешностей преобразования в пределах диапазона изменения тока $0,5I_0$. При положительной разности сигналов $(x-1,5)$ ток источника опорного тока I_2 через сток полевого транзистора М4 поступает на вход токового зеркала ПТ2. Выходной сигнал со Вых.2 токового зеркала ПТ1 суммируется с сигналом источника опорного тока I_2 , а из полученной суммы вычитается выходной ток токового зеркала ПТ2, формируя сигнал $x\oplus 1$. Входная переменная «i» в виде сигнала втекающего тока поступает на второй вход схемы и далее на вход токового зеркала ПТ7. Выходной сигнал Вых.1 токового зеркала ПТ7 подаётся на объединённые истоки полевых транзисторов М17 и М18, а затем на затвор полевого транзистора М19. Режимы работы первого полевых транзисторов М17 и М18 задаются источниками напряжения смещения.

Полевые транзисторы М19 и М20 образуют ДК, переключение токов стоков этих транзисторов определяется сигналом, поступающим на затвор полевого транзистора М19. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной $(i>0,5)$ с пороговым уровнем источника опорного тока I_7 . Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах диапазона изменения тока $0,5I_0$. При положительной разности сигналов $(i-0,5)$ ток источника опорного тока I_8 через сток полевого транзистора М20 подается на вход токового зеркала ПТ8. На выходе токового зеркала ПТ8 формируется сигнал «запрет», разрешая передачу сигнала Вых.5 токового зеркала ПТ1 только при $i=0$, таким образом, формируя первое слагаемое выражения (1). Выходной сигнал с Вых.2 токового зеркала ПТ7 подаётся на объединённые истоки полевых транзисторов М21 и М22, а затем на затвор полевого транзистора М23. Режимы работы полевых транзисторов М21 и М22 задаются источниками напряжения смещения E_{c6} и E_{c7} .

Полевые транзисторы М23 и М24 образуют ДК, переключение токов стоков этих транзисторов определяется сигналом, поступающим на затвор полевого транзистора М23. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной $(i<1,5)$ с пороговым уровнем источника опорного тока I_9 . Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах диапазона изменения тока $0,5I_0$. При положительной разности сигналов $(i-1,5)$ ток источника опорного тока I_{10} через сток полевого транзистора М23 подается на вход токового зеркала ПТ9. На выходе токового зеркала ПТ9 формируется сигнал «запрет», разрешая передачу сигнала с выхода токового зеркала ПТ5 только при $i=2$, таким образом, формируя третье слагаемое выражения (1). Выходной сигнал со стока полевого транзистора М19 складывается с выходным сигналом со стока полевого транзистора М24 и подается на вход токового зеркала ПТ10. На выходе токового зеркала ПТ10 формируется сигнал «запрет», разрешая передачу сигнала $x\oplus 1$ только при $i=1$, таким образом, формируя второе слагаемое выражения (1). Выходной сигнал с Вых.2 токового зеркала ПТ1 складывается с сигналом источника опорного тока I_3 и подаётся на объединённые истоки полевых транзисторов М5 и М6, где из данного сигнала вычитаются токи с выходов токовых зеркал ПТ2 и ПТ10. При

положительном значении алгебраической суммы этих токов через сток полевого транзистора М6 ток, определяемый вторым слагаемым выражения (1) поступает на вход токового зеркала ПТ6 и далее на выход логического элемента. Режимы работы полевых транзисторов М5 и М6 задаются значениями напряжений источников напряжения смещения E_{c1} и E_{c3} . Выходной сигнал с Вых.3 токового зеркала ПТ1 подаётся на объединённые истоки полевых транзисторов М7 и М8, а затем на затвор полевого транзистора М9, где из данного сигнала вычитается ток источника опорного тока I_4 . Режимы работы полевых транзисторов М7 и М8 задаются значениями напряжений источников напряжения смещения E_{c6} и E_{c7} .

Полевые транзисторы М9 и М10 образуют ДК, переключение токов стоков этих транзисторов определяется сигналом, поступающим на затвор полевого транзистора М9. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной ($x < 0,5$) с пороговым уровнем источника опорного тока I_4 . Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах диапазона изменения тока $0,5I_0$. При положительной разности сигналов ($i > 0,5$) ток источника опорного тока I_5 через сток полевого транзистора М10 поступает на вход токового зеркала ПТ3. Сигнал с выхода токового зеркала ПТ3 суммируется с выходным током токового зеркала ПТ5, формируя сигнал $x \oplus 2 = x \ominus 1$, и совместно с сигналом «запрет» на выходе токового зеркала ПТ9 через сток полевого транзистора М14 поступает на вход токового зеркала ПТ6 и далее на выход логического элемента. Выходной сигнал с Вых.4 токового зеркала ПТ1 подаётся на вход токового зеркала ПТ4. Из сигнала с выхода токового зеркала ПТ4 вычитается ток источника тока I_6 и подаётся на объединённые истоки полевых транзисторов М11 и М12. Режимы работы полевых транзисторов М11 и М12 задаются значениями напряжений источников напряжения смещения E_{c6} и E_{c7} . Сигнал со стока полевого транзистора М11 подаётся на вход токового зеркала ПТ5. Выходной сигнал с Вых.5 токового зеркала ПТ1 вычитается из сигнала с выхода токового зеркала ПТ8 и подаётся на объединённые истоки полевых транзисторов М15 и М16. Режимы работы полевых транзисторов М15 и М16 задаются значениями напряжений источников напряжения смещения E_{c6} и E_{c7} . Сигнал со стока полевого транзистора М16 складывается с сигналами со стоков полевых транзисторов М6 и М14 и подаются на вход токового зеркала ПТ6, где преобразуются в равный им вытекающий ток и передаются на выход схемы.

Схема токового порогового элемента левого циклического сдвига рис.16 включает:

- входы (Вх.1 и Вх.2) и выход (Вых.) устройства,
- входные транзисторы (М1, М2, М5, М6, М7, М8, М11, М12, М13, М14, М15, М16, М17, М18, М21, М22),
- источники напряжения смещения (E_{c1} - E_{c8}),
- источники опорного тока (I_1 - I_{10}),
- токовые зеркала (ПТ1-ПТ10),
- дифференциальные каскады (М3-М4, М9-М10, М19-М20, М23-М24).

Таблица истинности функции $y = x \ominus i$ имеет вид:

x	0	1	2	0	1	2	0	1	2
i	0			1			2		
y	0	1	2	2	0	1	1	2	0

Учитывая, что $x \ominus 2 = x \oplus 1$ для троичных переменных, функцию y запишем в следующем виде:

$$y = x \ominus i = (x - 2(i > 0,5)) + ((x \oplus 1) - 2(i < 1,5)) + ((x \ominus 1) - 2((i < 0,5) + (i > 1,5))), \quad (2)$$

это выражение реализовано схемой на рис. 1б. Верхняя часть схемы (рис. 1б) полностью повторяет схему на рис. 1а. Нижняя часть схемы (рис. 1б) содержит пороговые элементы (ДК), выполняющие сравнение константы i с пороговыми значениями, и также совпадает со схемой на рис. 1. Отличие только в подключении сигналов «запрет», два таких сигнала меняем местами. Т.е. на выход попадает переменная x при $i=0$, переменная $x \ominus 1$ при $i=1$ и переменная $x \ominus 2$ ($x \oplus 1$) при $i=2$.

В схемах на Рис. 1а,б резисторы R_n служат для обнаружения наличия кванта тока в выходной цепи в процессе экспериментальных исследований.

Таким образом, рассмотренные схемотехнические решения токовых пороговых элементов правого и левого циклического сдвига является необходимым компонентом функционально полных базисов, характеризуются многозначным состоянием внутренних сигналов и сигналов на их токовых входах и выходах, что может быть положено в основу вычислительных и управляющих устройств, использующих многозначную линейную алгебру, частным случаем которой является булева алгебра.

3. Компьютерное моделирование токовых пороговых элементов правого и левого циклического сдвига

В частном случае схемы токовых пороговых элементов правого и левого циклического сдвига (рис. 1 а,б) исследовались в среде моделирования LTspice на моделях транзисторов АБМК_2.2.1 (АО «Интеграл», г. Минск [3-4]).



Рис. 2. Графическое изображение n-p-n и p-n-p транзисторов АБМК_2.2.1.

На рис. 3 – рис. 4 показаны схемы токовых пороговых элементов правого и левого циклического сдвига в среде моделирования LTspice.

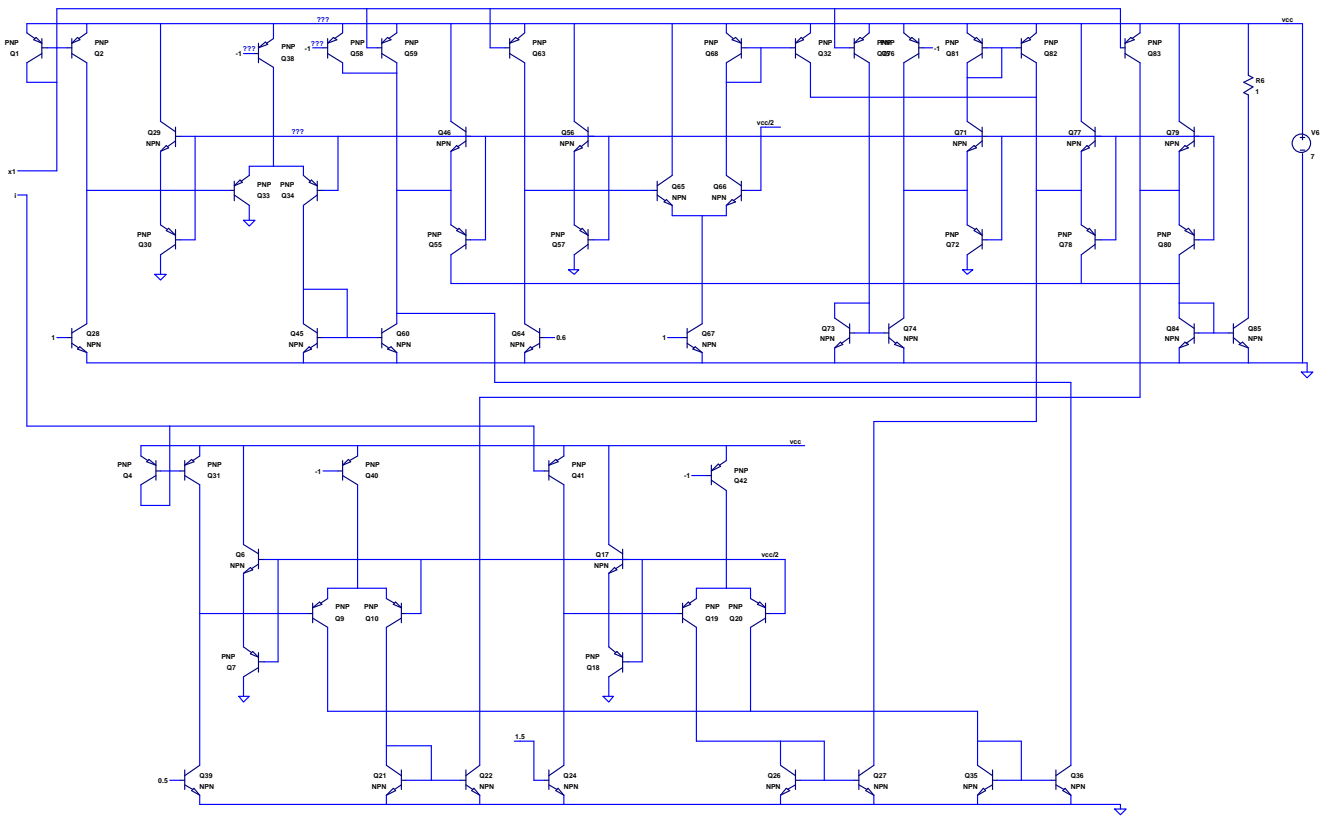


Рис. 3. Схема токового порогового элемента правого циклического сдвига.

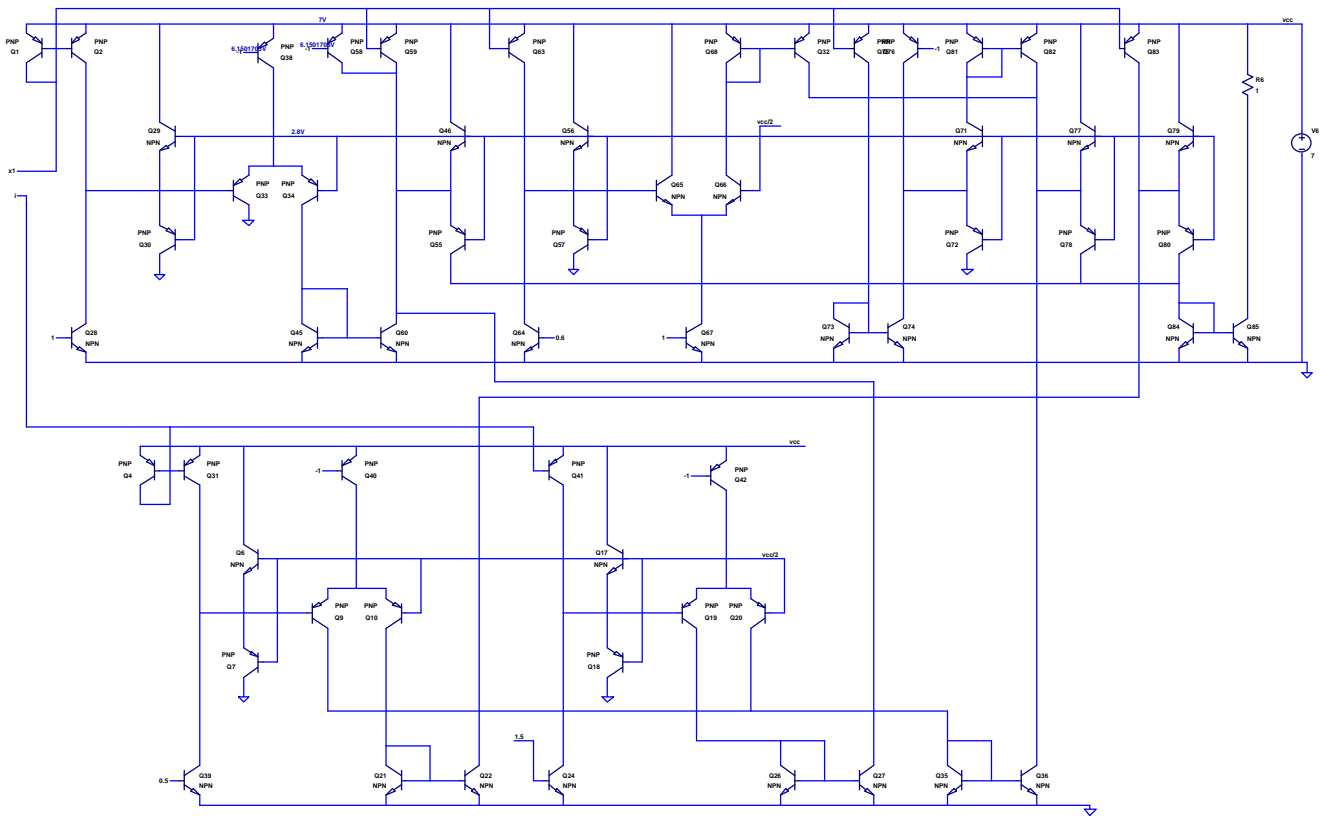


Рис. 4. Схема токового порогового элемента левого циклического сдвига.

4. Ожидаемые параметры и характеристики токовых пороговых элементов правого и левого циклического сдвига

На рис.5 - рис.6 приведены осциллограммы входных и выходных сигналов схем токовых пороговых элементов правого и левого циклического сдвига.

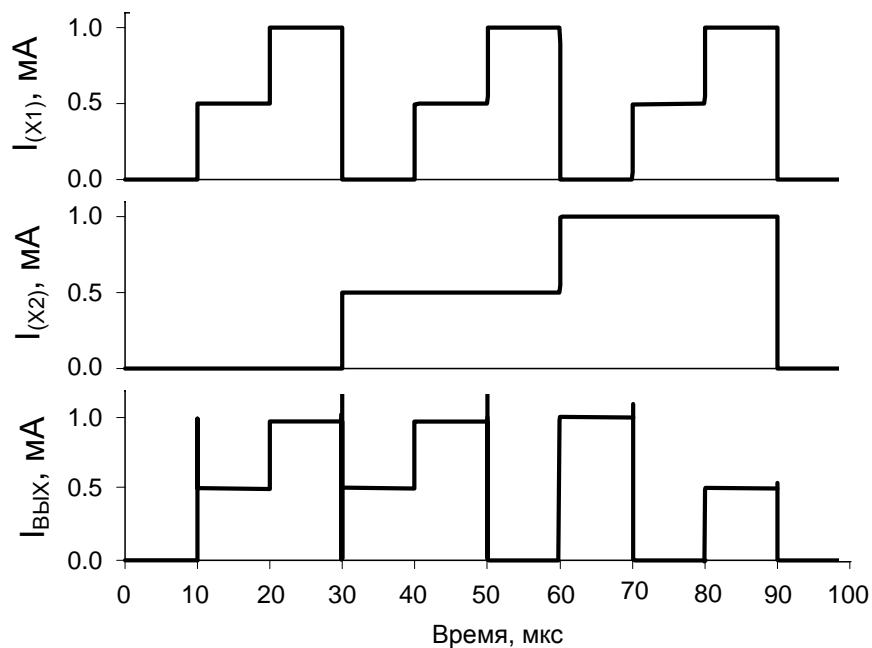


Рис. 5. Осциллограммы входных и выходных сигналов схемы токового порогового элемента правого циклического сдвига (рис.3).

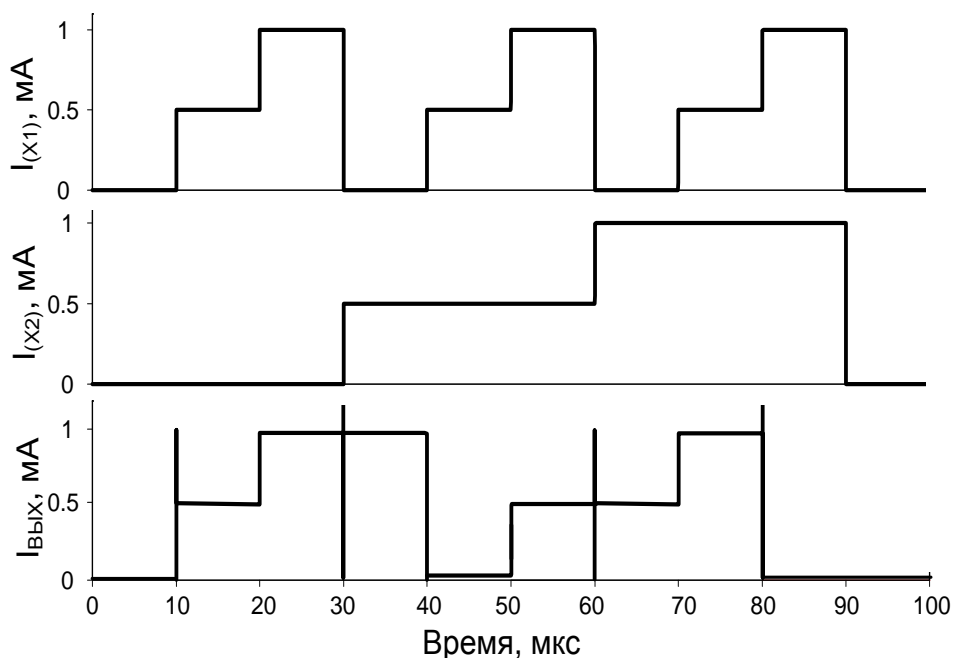


Рис. 6 Осциллограммы входных и выходных сигналов схемы токового порогового элемента левого циклического сдвига (рис.4).

5. Параметры оптимизации

Оптимизации подлежат: значения токов дополнительных источников опорного тока $I_1 - I_{10}$, а также значения напряжений источников напряжения смещения ($E_{c1}-E_{c8}$) для корректирования режимов работы входных транзисторов и ДК.

6. Netlist в Spice (рис.3)

```
1: C:\Users\Elija\Documents\работа\LTSpice\токовая логика (195-
   200)\Scheme_218\8125.asc
2: V6 vcc 0 5
3: V11 vcc/2 0 2
4: I2 i 0 PWL(0 0 3u 0 3.005u 500u 6u 500u 6.005u 1000u 9u 1000u 9.005u 0 10u
   0)
5: I1 x1 0 PWL(0 0 1u 0 1.005u 500u 2u 500u 2.005u 1000u 3u 1000u 3.005u 0 4u
   0 4.005u 500u 5u 500u 5.005u 1000u 6u 1000u 6.005u 0 7u 0 7.005u 500u 8u
   500u 8.005u 1000u 9u 1000u 9.005u 0 10u 0)
6: Q1 x1 x1 vcc 0 PNP
7: Q2 N014 x1 vcc 0 PNP
8: Q3 -0.5 -0.5 N001 0 PNP
9: Q16 N005 -0.5 N001 0 PNP
10: I6 -0.5 0 1m
11: R3 N005 0 1
12: V1 N001 0 5
13: Q8 N007 0.5 0 0 NPN
14: Q11 0.5 0.5 0 0 NPN
15: I3 N003 0.5 100μ
16: R4 N003 N007 1
17: V2 N003 0 5
18: Q12 N008 1 0 0 NPN
19: Q13 1 1 0 0 NPN
20: I5 N004 1 100μ
21: R5 N004 N008 1
22: V3 N004 0 5
23: Q14 -1 -1 N002 0 PNP
24: Q15 N006 -1 N002 0 PNP
25: I4 -1 0 400μ
26: R1 N006 0 1
27: V4 N002 0 5
28: Q28 N014 1 0 0 NPN
29: Q29 vcc vcc/2 N014 0 NPN
30: Q30 0 vcc/2 N014 0 PNP
31: Q31 N014 0.5 0 0 NPN
```


32: Q33 0 N014 N013 0 PNP
33: Q34 N021 vcc/2 N013 0 PNP
34: Q38 N013 -1 vcc 0 PNP
35: Q45 N021 N021 0 0 NPN
36: Q46 vcc vcc/2 N011 0 NPN
37: Q55 N020 vcc/2 N011 0 PNP
38: Q56 vcc vcc/2 N015 0 NPN
39: Q57 0 vcc/2 N015 0 PNP
40: Q58 N011 -1 vcc 0 PNP
41: Q59 N011 x1 vcc 0 PNP
42: Q60 N011 N021 0 0 NPN
43: Q63 N015 x1 vcc 0 PNP
44: Q64 N015 0.5 0 0 NPN
45: Q65 vcc N015 N019 0 NPN
46: Q66 N009 vcc/2 N019 0 NPN
47: Q67 N019 1 0 0 NPN
48: Q68 N009 N009 vcc 0 PNP
49: Q71 N010 N012 N016 0 NPN
50: Q72 0 N012 N016 0 PNP
51: Q73 N022 N022 0 0 NPN
52: Q74 N016 N022 0 0 NPN
53: Q75 N022 x1 vcc 0 PNP
54: Q76 N016 -1 vcc 0 PNP
55: Q77 vcc N012 N017 0 NPN
56: Q78 N020 N012 N017 0 PNP
57: Q79 vcc N012 N018 0 NPN
58: Q80 N020 N012 N018 0 PNP
59: Q81 N010 N010 vcc 0 PNP
60: Q82 N017 N010 vcc 0 PNP
61: Q83 N018 x1 vcc 0 PNP
62: Q84 N020 N020 0 0 NPN
63: Q85 N023 N020 0 0 NPN
64: R6 vcc N023 1
65: Q4 i i vcc 0 PNP
66: Q5 N026 i vcc 0 PNP
67: Q6 vcc vcc/2 N026 0 NPN
68: Q7 0 vcc/2 N026 0 PNP
69: Q9 N028 N026 N024 0 PNP
70: Q10 N030 vcc/2 N024 0 PNP
71: Q17 vcc vcc/2 N027 0 NPN
72: Q18 0 vcc/2 N027 0 PNP
73: Q19 N029 N027 N025 0 PNP
74: Q20 N028 vcc/2 N025 0 PNP
75: Q21 N030 N030 0 0 NPN
76: Q22 N018 N030 0 0 NPN

```

77: Q24 N031 0.5 0 0 NPN
78: Q25 N031 1 0 0 NPN
79: Q26 N029 N029 0 0 NPN
80: Q27 N017 N029 0 0 NPN
81: Q35 N028 N028 0 0 NPN
82: Q36 N011 N028 0 0 NPN
83: Q39 N026 0.5 0 0 NPN
84: Q40 N024 -1 vcc 0 PNP
85: Q41 N031 i vcc 0 PNP
86: Q42 N025 -1 vcc 0 PNP
87: .model NPN NPN
88: .model PNP PNP
89: .lib C:\Users\Elija\Documents\LTspiceXVII\lib\cmp\standard.bjt
90: .op
91: .param LT=27
92: .temp={LT}
93: .ac dec 100 1 100Meg
94: .tran 0 10u 0 0.1u
95: .step param LT -197 27 2
96: .step param Dg 1 1Meg 300
97: .step dec param fn 1e12 1e18 1e2
98: .param fn=1
99: .param Dg=1
100: .param V1=1.8
101: .lib C:\LT\ABMK-2.2-1.lib
102: .param weight=250
103: .param JNV={weight/260}
104: .param JPV={weight/50}
105: .param I1=1u
106: .step param V1 -5 5 50m
107: .step param I1 1u 1m 10u
108: .param fit=1
109: .backanno
110: .end

```

Netlist в Spice (рис.4)

```

1: F:\Мой первый грант 2017\8125-left.asc
2: V6 vcc 0 7
3: V11 vcc/2 0 2.8
4: I2 i 0 PWL(0 0 30u 0 30.005u 500u 60u 500u 60.005u 1000u 90u 1000u
90.005u 0 100u 0)
5: I1 x1 0 PWL(0 0 10u 0 10.005u 500u 20u 500u 20.005u 1000u 30u 1000u
30.005u 0 40u 0 40.005u 500u 50u 500u 50.005u 1000u 60u 1000u 60.005u 0
70u 0 70.005u 500u 80u 500u 80.005u 1000u 90u 1000u 90.005u 0 100u 0)

```

6: Q1 x1 x1 vcc 0 PNP
7: Q2 N017 x1 vcc 0 PNP
8: Q14 -1 -1 N002 0 PNP
9: Q15 N007 -1 N002 0 PNP
10: I4 -1 0 350 μ
11: R1 N007 0 1
12: V4 N002 0 5
13: Q28 N017 1 0 0 NPN
14: Q29 vcc vcc/2 N017 0 NPN
15: Q30 0 vcc/2 N017 0 PNP
16: Q33 0 N017 N016 0 PNP
17: Q34 N023 vcc/2 N016 0 PNP
18: Q38 N016 -1 vcc 0 PNP
19: Q45 N023 N023 0 0 NPN
20: Q46 vcc vcc/2 N013 0 NPN
21: Q55 N022 vcc/2 N013 0 PNP
22: Q56 vcc vcc/2 N018 0 NPN
23: Q57 0 vcc/2 N018 0 PNP
24: Q58 N013 -1 vcc 0 PNP
25: Q59 N013 x1 vcc 0 PNP
26: Q60 N013 N023 0 0 NPN
27: Q63 N018 x1 vcc 0 PNP
28: Q64 N018 0.6 0 0 NPN
29: Q65 vcc N018 N021 0 NPN
30: Q66 N011 vcc/2 N021 0 NPN
31: Q67 N021 1 0 0 NPN
32: Q68 N011 N011 vcc 0 PNP
33: Q71 N012 N015 N019 0 NPN
34: Q72 0 N015 N019 0 PNP
35: Q73 N024 N024 0 0 NPN
36: Q74 N019 N024 0 0 NPN
37: Q75 N024 x1 vcc 0 PNP
38: Q76 N019 -1 vcc 0 PNP
39: Q77 vcc N015 N014 0 NPN
40: Q78 N022 N015 N014 0 PNP
41: Q79 vcc N015 N020 0 NPN
42: Q80 N022 N015 N020 0 PNP
43: Q81 N012 N012 vcc 0 PNP
44: Q82 N014 N012 vcc 0 PNP
45: Q83 N020 x1 vcc 0 PNP
46: Q84 N022 N022 0 0 NPN
47: Q85 N025 N022 0 0 NPN
48: R6 vcc N025 1
49: Q4 i i vcc 0 PNP
50: Q6 vcc vcc/2 N028 0 NPN

```

51: Q7 0 vcc/2 N028 0 PNP
52: Q9 N030 N028 N026 0 PNP
53: Q10 N032 vcc/2 N026 0 PNP
54: Q17 vcc vcc/2 N029 0 NPN
55: Q18 0 vcc/2 N029 0 PNP
56: Q19 N031 N029 N027 0 PNP
57: Q20 N030 vcc/2 N027 0 PNP
58: Q21 N032 N032 0 0 NPN
59: Q22 N020 N032 0 0 NPN
60: Q24 N029 1.5 0 0 NPN
61: Q26 N031 N031 0 0 NPN
62: Q27 N013 N031 0 0 NPN
63: Q35 N030 N030 0 0 NPN
64: Q36 N014 N030 0 0 NPN
65: Q39 N028 0.5 0 0 NPN
66: Q40 N026 -1 vcc 0 PNP
67: Q41 N029 i vcc 0 PNP
68: Q42 N027 -1 vcc 0 PNP
69: Q32 N014 N011 vcc 0 PNP
70: Q3 N008 0.5 0 0 NPN
71: Q8 0.5 0.5 0 0 NPN
72: I3 N003 0.5 500μ
73: R2 N003 N008 1
74: V1 N003 0 8
75: Q11 N009 1.5 0 0 NPN
76: Q16 1.5 1.5 0 0 NPN
77: I6 N004 1.5 550μ
78: R3 N004 N009 1
79: V2 N004 0 5
80: Q23 N006 0.6 0 0 NPN
81: Q25 0.6 0.6 0 0 NPN
82: I7 N001 0.6 500μ
83: R4 N001 N006 1
84: V5 N001 0 5
85: Q31 N028 i vcc 0 PNP
86: Q5 N010 1 0 0 NPN
87: Q37 1 1 0 0 NPN
88: I8 N005 1 300μ
89: R7 N005 N010 1
90: V7 N005 0 5
91: .model NPN NPN
92: .model PNP PNP
93: .lib C:\Users\Uset\Documents\LTspiceXVII\lib\cmp\standard.bjt
94: .op
95: .param LT=27

```

```

96: .temp={LT}
97: .ac dec 100 1 100Meg
98: .tran 0 100u 0 0.1u
99: .step param LT -197 27 2
100: .step param Dg 1 1Meg 300
101: .step dec param fn 1e12 1e18 1e2
102: .param fn=1
103: .param Dg=1
104: .param V1=1.8
105: .lib C:\LT\ABMK-2.2-1.lib
106: .param weight=250
107: .param JNV={weight/260}
108: .param JPV={weight/50}
109: .param I1=1u
110: .step param V1 -5 5 50m
111: .step param I1 1u 1m 10u
112: .param fit=1
113: .backanno
114: .end

```

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 18-37-00061.

При этом использовались компьютерные модели транзисторов, разработанных Дворниковым Олегом Владимировичем (г. Минск, МНИПИ, oleg_dvornikov@tut.by).

Список литературы

1. Чернов Н.И. Основы теории логического синтеза цифровых структур над полем вещественных чисел // Монография. – Таганрог: ТРТУ, 2001. – 147с.
2. Токовый пороговый элемент правого циклического сдвига: заявка на патент РФ; МПК: H03K19/00, H03K 19/017 / Н.В. Бутырлагин, В.Я. Югай, Н.Н. Прокопенко, И.В. Пахомов – № 2020109170; Заявл. 02.03.2020
3. K.O. Petrosyants, M. Ismail-zade, O.V. Dvornikovetal. “Automation of parameter extraction procedure for Si JFET SPICE model in the– 200...+ 110° C temperature range”, Moscow Workshop on Electronic and Networking Technologies, pp. 1-6, 2018.
4. O. V. Dvornikov, V. L. Dziatlau, N. N. Prokopenko, K. O. Petrosiants, N. V. Kozhukhov and V. A. Tchekhovski, "The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the BiJFET analog interfaces of the sensors," 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, Kazakhstan, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507