

Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)

Библиотека схемотехнических решений

Компьютерное моделирование основных параметров BiJFet
мультидифференциального операционного усилителя OАmp3 на базе
микросхемы МН2ХА030

Бутырлагин Н.В., nbutyrlagin@mail.ru
Дворников О.В., oleg_dvornikov@tut.by
Жук А.А., alexey.zhuk96@mail.ru
Бугакова А.В., annabugakova.1992@mail.ru

Научно-исследовательская лаборатория проблем проектирования в
экстремальной микроэлектронике ИППМ РАН и Донского
государственного технического университета (г. Ростов-на-Дону)

1. Области применения мультидифференциального операционного
усилителя (МОУ)

МОУ предназначен для работы в аналоговых и аналого-цифровых
устройствах систем связи, автоматики и приборостроения [1-4], имеет
большое количество схем включения и позволяют получать различные
коэффициенты передачи [5,6] без резисторов обратной связи.

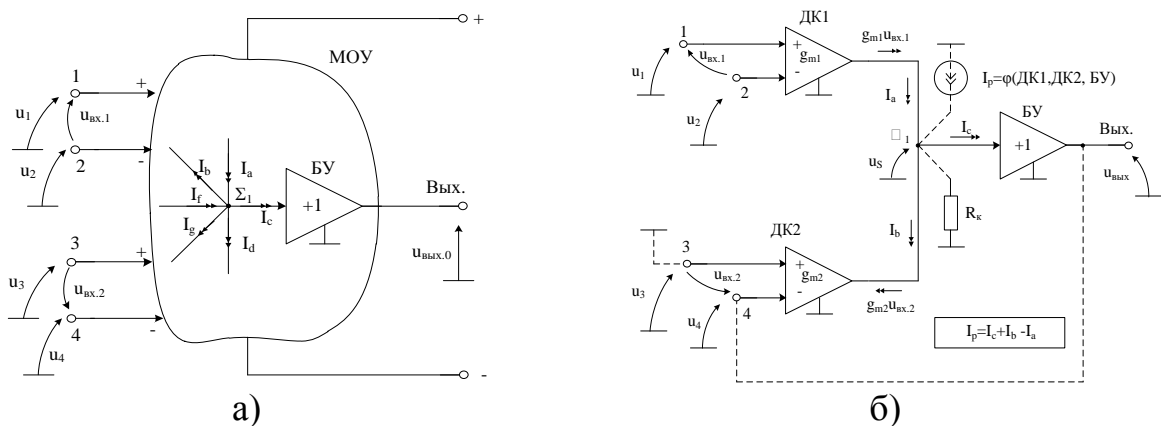


Рис. 1. Структурная схема МОУ с одним высокоимпедансным узлом (а) и пример его построения (б).

Практическая реализация схемы рис. 1 может быть осуществлена в
рамках различных технологий: TSMC (BiCMOS), SiGe (ИПР, Германия),
NHGRACE SoI (кремний на изоляторе), H10-CMOS090_LP (АО «Микрон»,
г. Зеленоград), ЗКБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл»,

г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

2. Текстовое описание функциональной схемы МОУ

Функциональная схема МОУ [7-9] рис.1б включает:

- преобразователи «напряжение-ток» (ДК1, ДК2) на основе классических дифференциальных каскадов (ДК),
- эквивалентное сопротивление в высокоимпедансном узле Σ_1 (R_k),
- эквивалентная ёмкость в высокоимпедансном узле Σ_1 (C_k),
- буферный усилитель (БУ).

3. Эквивалентная схема МОУ для расчета нулевого уровня

В связи с множеством вариантов включения МОУ, расчет его нулевого уровня целесообразно осуществлять с учетом автономного параметра I_p (рис. 1б) [7]. Здесь под автономным параметром I_p [7] понимается разностный ток в высокоимпедансном узле Σ_1 на эквипотенциальный узел при подключении всех входов МОУ к общей шине.

Таким образом, статическая погрешность МОУ определяется, используя автономный параметр I_p , который, в зависимости от схемы включения МОУ, «приводится» к тем или иным ее источникам сигнала через параметры крутизны g_{m1} , g_{m2} входных каскадов ДК1 и ДК2.

Рассматриваемая [7] методика аналитического расчета нулевого уровня схем с МОУ заключается в реализации следующих этапов:

1. Для расчета U_{cm} используется разработанная выше эквивалентная схема МОУ, в которой введен токовый автономный параметр I_p , характеризующий статические погрешности его дифференциальных каскадов;

2. Высокоимпедансный узел закорачивается на эквипотенциальный источник напряжения через низкоомный резистор R_k ;

3. Входы всех ДК подключаются к общей шине. При этом определяется автономный параметр I_p МОУ, связанный с высокоимпедансным узлом, учитывающий влияние β транзисторов. Он определяется как ток, протекающий в низкоомном резисторе R_k ;

4. Выбирается входной узел МОУ, для которого необходимо выполнить расчет напряжения смещения нуля ($U_{cm.i}$);

5. Методом теории цепей рассчитывается напряжение смещения нуля, приведенного к выбранному входу МОУ.

В общем случае, при наличии резисторов в цепях обратной связи и ненулевых сопротивлениях источников сигнала, нулевой уровень разных схем включения МОУ зависит не только от автономного параметра I_p , влияющего на U_{cm} , но и входных токов входных дифференциальных каскадов $I_{вх.1}$, $I_{вх.2}$, $I_{вх.3}$, $I_{вх.4}$. Эти токи в соответствии с [7], также являются автономными параметрами МОУ. В этой связи полная эквивалентная схема

МОУ с двумя входными каскадами для определения нулевого уровня различных схем его включения соответствует рис. 2.

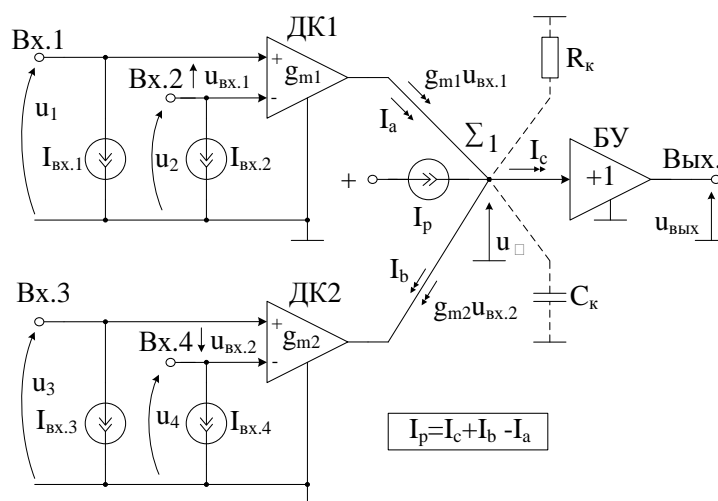


Рис. 2. Полная эквивалентная схема МОУ для расчета $U_{см}$ аналоговых устройств

Для уменьшения статических ошибок от нулевого уровня МОУ рекомендуется обеспечить нулевое значение автономного параметра I_p . Это можно обеспечить за счет схемотехнических решений входных ДК [7,8].

4. Эквивалентная схема МОУ при работе с несколькими входными синфазными сигналами

На каждом из двух (1-2, 3-4) дифференциальных входов МОУ (рис. 3) в общем случае могут присутствовать разные входные синфазные сигналы $u_{сф.1} = (u_1 + u_2)/2$ и $u_{сф.2} = (u_3 + u_4)/2$. Эти сигналы из-за неидеальности транзисторов и разброса параметров активных и пассивных элементов входных каскадов ДК1 и ДК2 передаются в высокоимпедансный узел Σ_1 в виде токовых составляющих: $i_{1сф} = 0,5g_{мсф.1}(u_1 + u_2) \ll |(u_1 - u_2)g_{м1}|$, $i_{2сф} = 0,5g_{мсф.2}(u_3 + u_4) \ll |(u_3 - u_4)g_{м2}|$, где $g_{м.сф.i}$ – проводимости передачи входных синфазных напряжений ДК1 и ДК2 в узел Σ_1 ; $g_{м1}$, $g_{м2}$ – проводимости передачи входных дифференциальных напряжений ДК1, ДК2 в узел Σ_1 . Причем $g_{м.сф.1} \ll g_{м1}$, $g_{м.сф.2} \ll g_{м2}$. Влияние напряжений $u_{сф.1}$ и $u_{сф.2}$ на погрешности в различных схемах включения МОУ можно отразить введением в его эквивалентной схеме (рис. 3) автономного параметра – источника тока $i_{сф}$, который зависит от амплитуд $u_{сф.1}$, $u_{сф.2}$, а также проводимостей $g_{м.сф.1}$, $g_{м.сф.2}$:

$$i_{сф} = g_{мсф.1}u_{сф.1} + g_{мсф.2}u_{сф.2}, \quad (1)$$

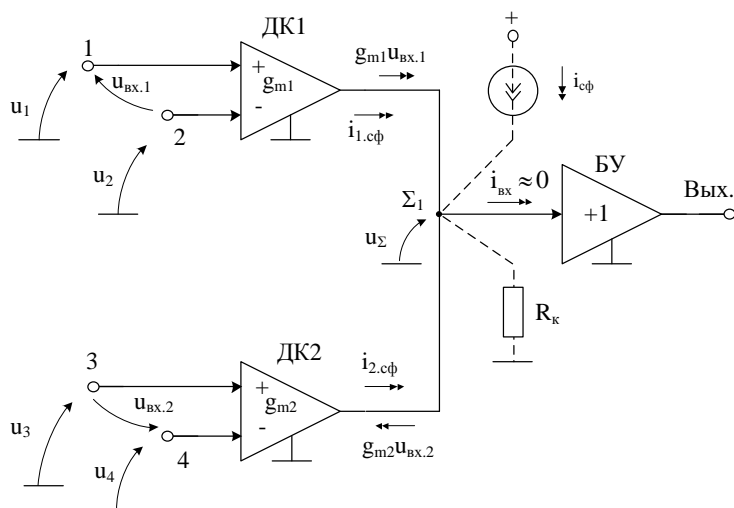


Рис. 3. Эквивалентная схема МОУ для расчета ошибок от синфазных сигналов на входах ДК1 и ДК2 [7]

Таким образом, в зависимости от схемы включения МОУ в конкретных устройствах, аналитический расчет ошибок от синфазных сигналов на входах ДК1, ДК2 можно выполнить с учетом эквивалентной схемы (рис. 3) в следующей последовательности:

1. Определяется входной узел аналогового устройства на базе МОУ, к которому должна быть приведена ошибка от синфазных сигналов на входах ДК1, ДК2.

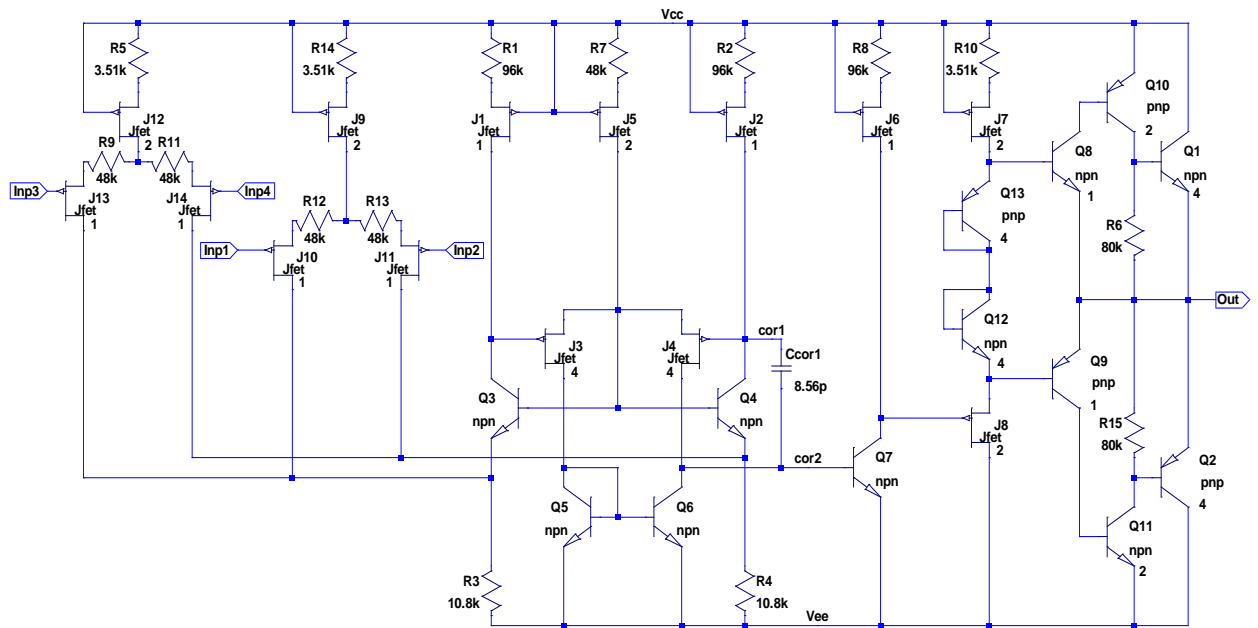
2. Устанавливается наличие (или отсутствие) синфазных напряжений на входах ДК1 и ДК2. Если одно из напряжений $u_{сф.1}$, $u_{сф.2}$ равно нулю, то в эквивалентной схеме МОУ рис. 3 исключаются соответствующие слагаемые тока $i_{сф}$.

3. Определяется зависимость проводимостей передачи синфазных сигналов $g_{m.сф.1}$ ($g_{m.сф.2}$) от параметров элементов схемы для случая, когда высокоимпедансный узел Σ_1 закорочен на эквипотенциальный узел с нулевым внутренним сопротивлением.

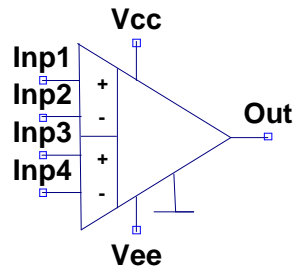
4. Рассчитывается одним из методов анализа электронных схем (с учетом рис. 3) ошибка, обусловленная синфазными сигналами на входах ДК1, ДК2 в конкретном устройстве на основе МОУ [7].

5. Макромодель функциональной схемы МОУ и схема включения

В частном случае МОУ ОАmp5 (рис. 4а) исследовался в САПР LTSpice [9]. Данное схемотехническое решение используется в составе БСК МН2ХА030 [10, 11]. На основе схемы рис. 4а [10, 11] была создана макромодель МОУ (рис. 4б).



a)



б)

Рис. 4. МОУ OАmp5 [11] (а) и его макромодель (б)

На рис. 5 представлена схема включения МОУ (рис.4), используемая при исследовании основных параметров.

```
.tran 0 20u 0
.lib ABMK-2.2-2.lib
;noise v(out) vinp1 dec 101 1 1e7 temp list {LT}
.ac dec 101 1 10e7
*.step param Vref list -2.0 0 2.0
.step param LT -197 30 1
.dc Vinp1 list 1u
.step dec param fn 1e13 1e15 100
.param Fn=1
.param Dg=1
.param fit=1
.param VRef=0
.param VTOValue=1.44
.param LT=27
.op
.ac lin 101 1 100G
```

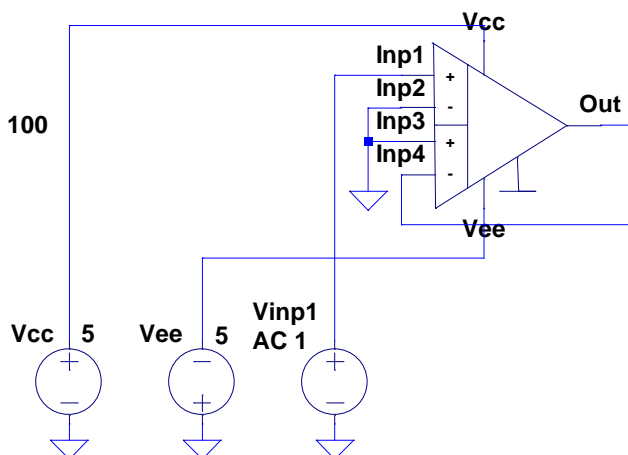


Рис. 5. Схема включения МОУ

6. Ожидаемые параметры и характеристики МОУ

На рис. 6 показан коэффициент усиления МОУ рис. 5.

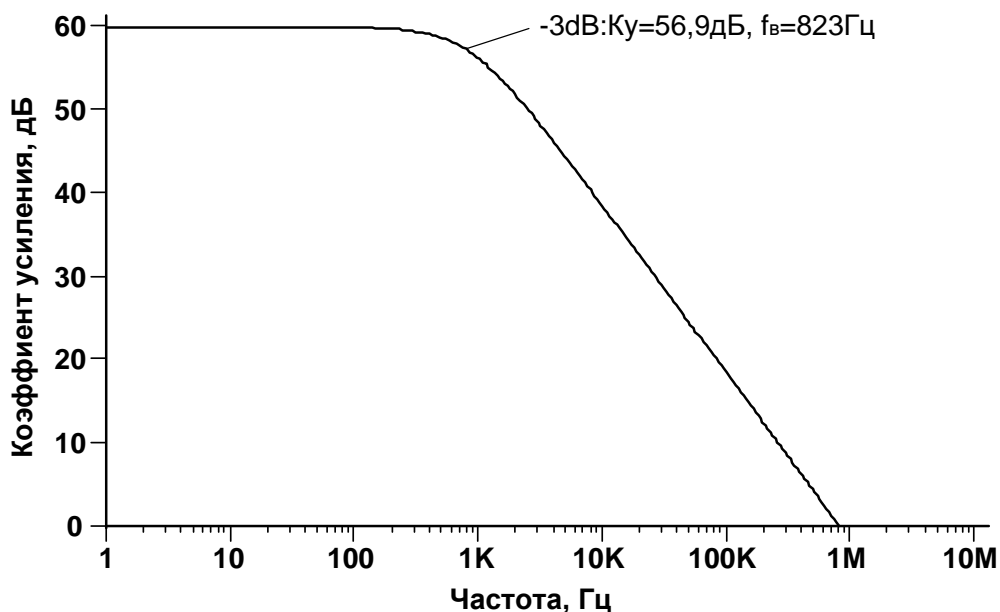


Рис. 6. Коэффициент усиления МОУ

Зависимость систематической составляющей напряжения смещения нуля МОУ (рис.5) от температуры изображена на рис. 7.

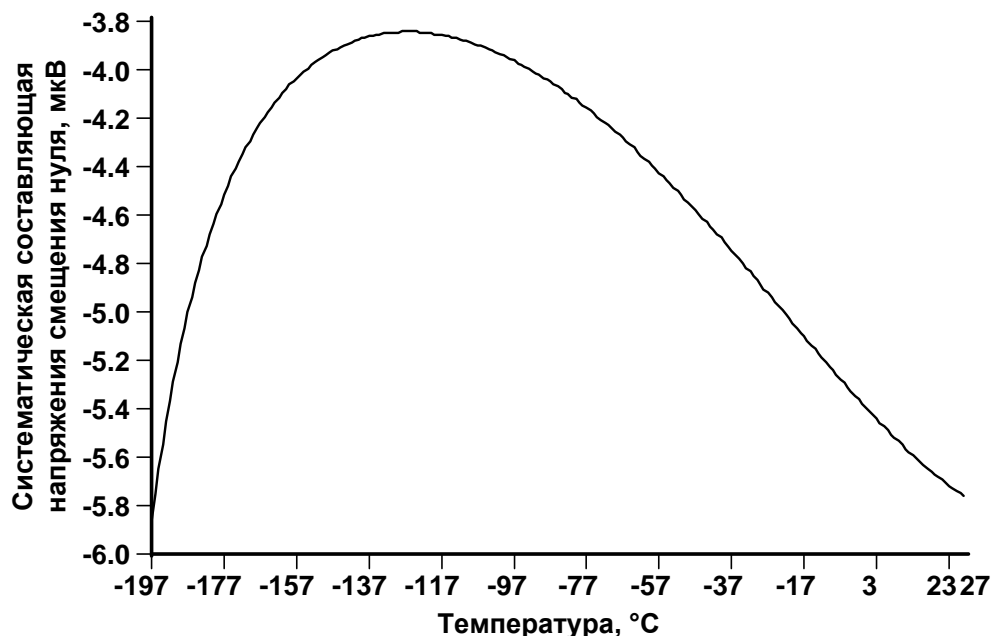
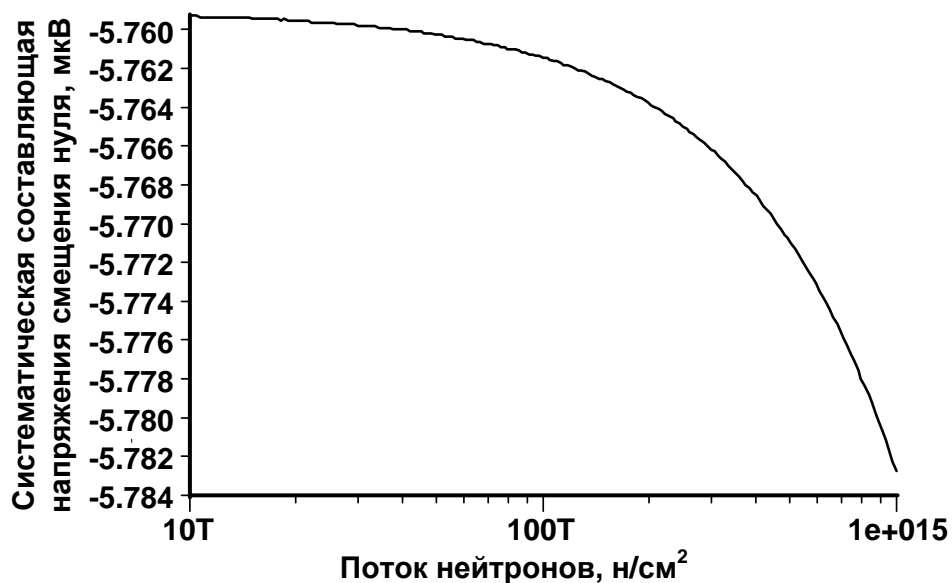
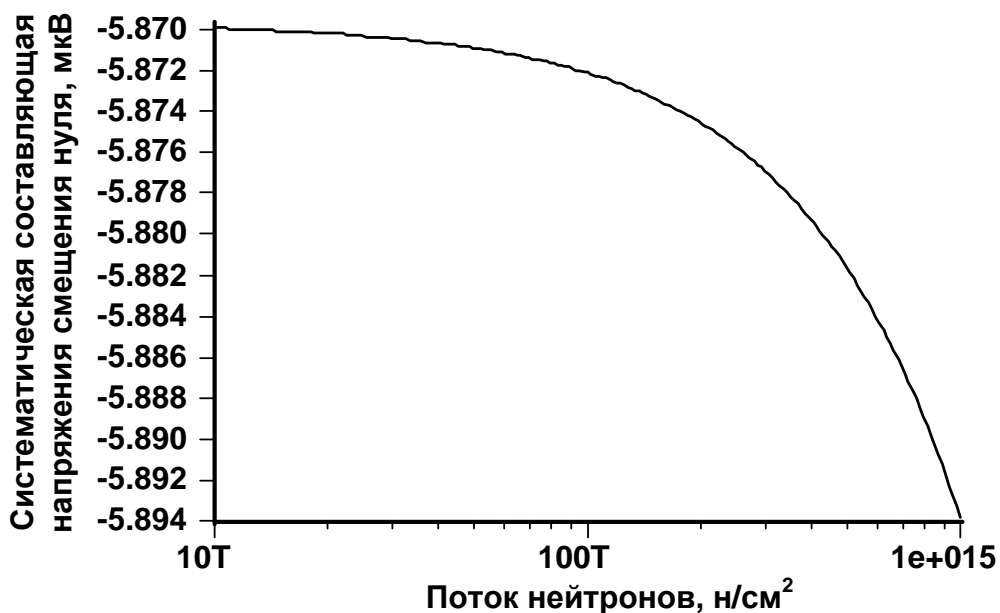


Рис. 7. Зависимость систематической составляющей напряжения смещения нуля от температуры

На рис. 8 представлены зависимости систематической составляющей напряжения смещения нуля МОУ (рис.5) от потока нейтронов при $t=27^{\circ}\text{C}$ (а) и $t=-197^{\circ}\text{C}$ (б).



а)



б)

Рис. 8 Зависимости систематической составляющей напряжения смещения нуля от потока нейтронов при $t=27^{\circ}\text{C}$ (а) и $t=-197^{\circ}\text{C}$ (б)

7. Параметры оптимизации

Практический интерес представляет определение оптимальных значений R1-R15 в схеме рис. 4а при заданных ограничениях на максимальную скорость нарастания выходного напряжения МОУ, разомкнутый коэффициент усиления, запас устойчивости по фазе, энергопотребление, ослабление синфазных сигналов, геометрию транзисторов, схемотехнику токовых зеркал [12].

Разработка выполнена в рамках стипендии Президента РФ для молодых ученых.

Netlist в Spice схемы включения МОУ рис.5

```
1: C:\Users\Uset\Desktop\29-10-2019_11-33-  
06\MH2XA030_LTSpice\MH2XA030_LTSpice\OAmp_3_1.asc  
2: Vcc N001 0 5  
3: Vee 0 N004 5  
4: Vinp1 N002 0 AC 1  
5: XX2 N002 0 0 N003 N003 N001 N004 dda  
6: block symbol definitions  
7: .subckt dda Inp1 Inp2 Inp3 Inp4 Out Vcc Vee  
8: J1 N022 Vcc N003 Jfet 1  
9: R1 Vcc N003 Rpr 96k  
10: J2 cor1 Vcc N005 Jfet 1  
11: R2 Vcc N005 Rpr 96k  
12: Q3 N022 N021 N028 0 npn  
13: R3 N028 Vee Rpr 10.8k  
14: Q4 cor1 N021 N024 0 npn  
15: R4 N024 Vee Rpr 10.8k  
16: Q5 N026 N026 Vee 0 npn  
17: J3 N026 N022 N021 Jfet 4  
18: Q6 cor2 N026 Vee 0 npn  
19: J4 cor2 cor1 N021 Jfet 4  
20: J5 N021 Vcc N004 Jfet 2  
21: R7 Vcc N004 Rpr 48k  
22: J6 N023 Vcc N006 Jfet 1  
23: R8 Vcc N006 Rpr 96k  
24: Q7 N023 cor2 Vee 0 npn  
25: J7 N019 Vcc N007 Jfet 2  
26: R10 Vcc N007 Rpr 3.51k  
27: J8 Vee N023 N019 Jfet 2  
28: J9 N015 Vcc N002 Jfet 2  
29: R14 Vcc N002 Rpr 3.51k  
30: J10 N028 Inp3 N016 Jfet 1  
31: J11 N024 Inp4 N017 Jfet 1  
32: J12 N012 Vcc N001 Jfet 2  
33: R5 Vcc N001 Rpr 3.51k  
34: J13 N028 Inp1 N013 Jfet 1  
35: J14 N024 Inp2 N014 Jfet 1
```



```

36: R9 N012 N013 Rpr 48k
37: R11 N014 N012 Rpr 48k
38: R12 N015 N016 Rpr 48k
39: R13 N017 N015 Rpr 48k
40: Ccor1 cor1 cor2 8.56p
41: Q1 N018 N019 Out 0 npn
42: R15 Vcc N011 Rpr 525
43: Q2 Vcc Vcc N011 0 npn
44: J16 Vee N010 N009 Jfet 1
45: J17 N025 N011 N009 Jfet 1
46: R16 Vcc N009 Rpr 96k
47: R17 Vcc N010 Rpr 525
48: J18 Vee N025 Out Jfet 8
49: Q8 N027 N027 Vee 0 npn
50: Q9 N025 N027 Vee 0 npn 2
51: J15 N027 Vcc N008 Jfet 1
52: R6 Vcc N008 Rpr 96k
53: Q11 N020 N018 N011 0 pnp 3
54: Q12 N011 N020 Out 0 npn 9
55: .ENDS DDA
56: .MODEL NPN NPN
57: .MODEL PNP PNP
58: .LIB C:\USERS\Uset\documents\ltspicexvii\lib\cmp\standard.bjt
59: .MODEL NJF NJF
60: .MODEL PJF PJF
61: .LIB C:\USERS\Uset\documents\ltspicexvii\lib\cmp\standard.jft
62: .DC VINP1 LIST 1U
63: .LIB ABMK-2.2-2.LIB
64: .PARAM FN=1
65: .PARAM DG=1
66: .PARAM FIT=1
67: .STEP PARAM LT LIST -197 27
68: .PARAM VREF=0
69: *.STEP PARAM VREF LIST -2.0 0 2.0
70: .PARAM VTOVALUE=1.44
71: .AC DEC 101 1 10E7
72: ;NOISE V(OUT) VINP1 DEC 101 1 1E7 TEMP LIST {LT}
73: .TRAN 0 20U 0
74: .OP
75: .AC DEC 101 1 100G
76: .STEP DEC PARAM FN 1E13 1E15 101

```

77: .PARAM LT=-197
78: .BACKANNO
79: .END

Вопросы о моделях транзисторов АБМК 2.2 можно задавать д.т.н., доценту Дворникову Олегу Владимировичу, Email: oleg_dvornikov@tut.by

Список литературы:

1. Butyrlagin N., Prokopenko N., Savchenko E., Budyakov A. "Design features of high-speed CMOS differential difference operational amplifiers at low static current consumption", "26th IEEE Telecommunications Forum TELFOR 2018, 20th and 21st November 2018, in the SAVA Center, Belgrade, Serbia, pp. 1-4.

2. Титов А.Е., Жебрун Е.А., Бутырлагин Н.В., Игнашин А.А. Оценка эффективности цепей стабилизации режимов работы входных каскадов дифференциальных и мультидифференциальных операционных усилителей при воздействии проникающей радиации и температуры. Часть 2. Обратные связи по току, Инженерный вестник Дона, №4 (2018), С. 1-10. URL: ivdon.ru/ru/magazine/archive/n4y2018/5328

3. Титов А.Е., Жебрун Е.А., Бутырлагин Н.В., Свизев Г.А. Оценка эффективности цепей стабилизации режимов работы входных каскадов дифференциальных и мультидифференциальных операционных усилителей при воздействии проникающей радиации и температуры. Часть 1. Обратные связи по напряжению, Инженерный вестник Дона, №4 (2018), С. 1-13. URL: ivdon.ru/ru/magazine/archive/n4y2018/5327

4. Титов А.Е., Жебрун Е.А., Бутырлагин Н.В., Игнашин А.А. BiJFet мультидифференциальный ОУ с парафазным выходом для низкотемпературных радиационно-стойких интерфейсов датчиков: модификация МОУ-2 [Электронный ресурс] Институт проблем проектирования в микроэлектронике РАН: [сайт]. [2018]. <http://www.ippm.ru/data/eljrnal/paper/J19.pdf>

5. Прокопенко Н.Н., Бутырлагин Н.В. Компьютерное моделирование базовых схем включения мультидифференциального операционного усилителя [Электронный ресурс] // Институт проблем проектирования в микроэлектронике РАН: [сайт]. [2019]. URL: <http://www.ippm.ru/data/eljrnal/paper/J23.pdf> (дата обращения: 14.01.2019).

6. Прокопенко Н.Н., Дворников О.В., Будяков П.С. Основные свойства, параметры и базовые схемы включения мультидифференциальных операционных усилителей с высокоимпедансным узлом // Электронная техника. Серия 2. Полупроводниковые приборы. Выпуск 2 (233), 2014 г. С. 53-64

7. Пахомов Илья Викторович. Мультидифференциальные операционные усилители напряжений и токов с активной отрицательной обратной связью: диссертация ... кандидата Технические наук: 05.13.05 / Пахомов Илья Викторович; [Место защиты: ФГБОУ ВО «Южно-Российский государственный политехнический университет (НПИ) имени М.И. Платова»], 2018.

8. N. N. Prokopenko, I. V. Pakhomov, A. V. Bugakova and N. V. Butyrlagin, "Zero level of BiJFet-differential difference operational amplifiers and methods of its decrease in conditions of low temperatures and radiation effect," 2016 International Conference on Signals and Electronic Systems (ICSES), Krakow, 2016, pp. 131-134. doi: 10.1109/ICSES.2016.7593836

9. Володин В. Я. LTspice: компьютерное моделирование электронных схем. — СПб.: БХВ-Петербург, 2010. — 400 с.: ил.

10. Дворников О.В., Прокопенко Н.Н., Бугакова А.В., Игнашин А.А. Инструментальные и мультидифференциальные усилители датчиковых систем на основе новой микросхемы базового структурного кристалла МН2ХА010 // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2016. № 3. С. 106-113.

11. Oleg V. Dvornikov, Vladimir A. Tchekhovski, Valentin L. Dziatlau, Nikolay N. Prokopenko, Nikolay V. Butyrlagin, Design of Low-Temperature DDOAs on the Elements of BiJFet Array Chip МН2ХА030, SERBIAN JOURNAL OF ELECTRICAL ENGINEERING, Vol. 15, No. 2, June 2018, pp. 233–247. DOI: <https://doi.org/10.2298/SJEE1802233D>.

12. Прокопенко Н.Н., Титов А.Е., Бутырлагин Н.В. Токовые зеркала для проектирования КМОП аналоговых микросхем: основные модификации (ТЗ №1-№ 36) [Электронный ресурс] // Институт проблем проектирования в микроэлектронике РАН: [сайт]. [2018]. URL: <http://www.ippm.ru/data/eljrnal/paper/J4.pdf> (дата обращения: 17.04.2018).