

Федеральное государственное бюджетное учреждение науки  
Институт проблем проектирования в микроэлектронике  
Российской академии наук (ИППМ РАН)

Библиотека схемотехнических решений

Многофункциональный токовый пороговый логический элемент

Бутырлагин Н.В., [nbutyrlagin@mail.ru](mailto:nbutyrlagin@mail.ru),  
Чернов Н.И., [chernovni@yandex.ru](mailto:chernovni@yandex.ru)  
Прокопенко Н.Н., [prokopenko@sssu.ru](mailto:prokopenko@sssu.ru),  
Югай В.Я., [yugtag@gmail.com](mailto:yugtag@gmail.com),  
Пахомов И.В., [pahom2191@mail.ru](mailto:pahom2191@mail.ru)

Научно-исследовательская лаборатория проблем проектирования в экстремальной микроэлектронике ИППМ РАН и Донского государственного технического университета (г. Ростов-на-Дону)

1. Области применения многофункционального токового порогового логического элемента

Построение компонентов цифровых управляющих и вычислительных систем, например, роботов и беспилотных летательных аппаратов, базируется на использовании логических элементов «И», «ИЛИ», «НЕ» и полнофункциональных логических элементов И-НЕ, ИЛИ-НЕ, реализованных на их основе [1]. Применение линейной алгебры в качестве математического аппарата логического синтеза цифровых структур [2] позволяет получить логическую, а на ее основе – схемотехническую, реализацию линейных аналогов указанных логических функций [3]. Эти схемотехнические решения могут быть затем использованы для построения специализированных токовых логических IP-модулей и цифровых СФ-блоков на их основе.

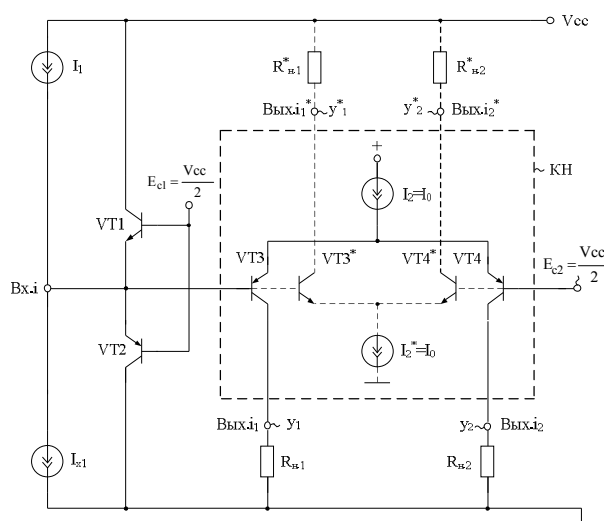


Рис. 1 Схема ВТТ многофункционального токового порогового логического элемента

Практическая реализация схемы рис. 1 может быть осуществлена (при определенной доработке принципиальной схемы под конкретную технологию) в рамках различных технологий: TSMC (BiCMOS), SiGe (IHP, Германия), NHGRACE SoI (кремний на изоляторе), H10-CMOS090\_LP (АО «Микрон», г. Зеленоград), ЗКБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

## 2. Текстовое описание схемы многофункционального токового порогового логического элемента

Схема многофункционального токового порогового логического элемента (МТПЛЭ) рис.1 включает:

- входы (Вх.і) и выходы (Вых.і<sub>1</sub>, Вых.і<sub>2</sub>, Вых.і<sub>1</sub>\*, Вых.і<sub>2</sub>\*) устройства,
- входные транзисторы (VT1-VT2),
- источники напряжения смещения (E<sub>c1</sub>-E<sub>c2</sub>),
- источники опорного тока (I<sub>x1</sub>, I<sub>1</sub>, I<sub>2</sub>, I<sub>2</sub>\*),
- дифференциальные каскады (VT3-VT4, VT3\*-VT4\*).

Схема рис. 1 [4] представляет собой универсальный логический элемент, который в рамках одной и той же архитектуры может реализовывать основные логические операции «И», «ИЛИ», «НЕ», «Сравнение  $x_1 > x_2$ » и др., а также выполнять нормализацию входных токовых логических переменных.

Линейное представление операции «НЕ» имеет вид

$$y = I - x_1,$$

где входная логическая переменная  $x_1$  и константа «1» представляют собой кванты тока  $I_0$ . Именно это позволяет применять к ним арифметические операции. Учитывая, что аргумент  $x$  и функция  $y$  являются логическими переменными, для компенсации возможных погрешностей преобразования сигналов функцию  $y$  будем формировать в соответствии с выражением:

$$y = I_0 \text{sign}(I - x),$$

причем для логических переменных разность  $I - x$  принимает либо значение 1, либо значение 0. Тогда формирование выходных сигналов в данном логическом элементе, построенном на основе базовой схемы (рис. 1), может быть представлено в форме логической функции сравнения

$$y = I_0 \text{sign}(x_1 < I)$$

На рис. 2 показана схема МТПЛЭ в режиме логической операции «НЕ», в которой в компаратор напряжений (КН) рис. 1 введены инвертирующие токовые зеркала ПТ1 и ПТ2. Входной ток  $I_{x1}$  в схеме рис. 2 соответствует первой входной логической переменной ( $x_1$ ), а численное значение статического тока  $I_1$  выбирается на уровне, близком к  $0.5I_0$ , где  $I_0$  - заданный квант тока, определяющий масштаб изменения первой входной логической переменной ( $x_1$ ) и позволяющий исключить неопределенность при равенстве потенциалов на входах дифкаскада. Уровень  $0.5I_0$  необходим для компенсации погрешностей и при значении  $x_1=0$ , и при  $x_1=1$ . Это позволяет реализовать логическую функцию «НЕ»

(выходная переменная  $y_2$ ), а выходная переменная  $y_1$  повторяет значение аргумента  $x_1$  ( $y_1 = x_1$ ) с компенсацией погрешностей преобразования  $x_1$ .

На выходах МТПЛЭ (рис. 2) получаем восстановление уровня выходного токового сигнала  $y_1$  ( $y_2$ ), до величины  $I_0$ , независимо от погрешностей  $I_{x1}$  (отличию  $I_{x1}$  от  $I_0$ ). Таким образом, представление операции НЕ приобретает вид

$$y = I_0 \text{sign}(x_1 < 0.5 I_0). \quad (1)$$

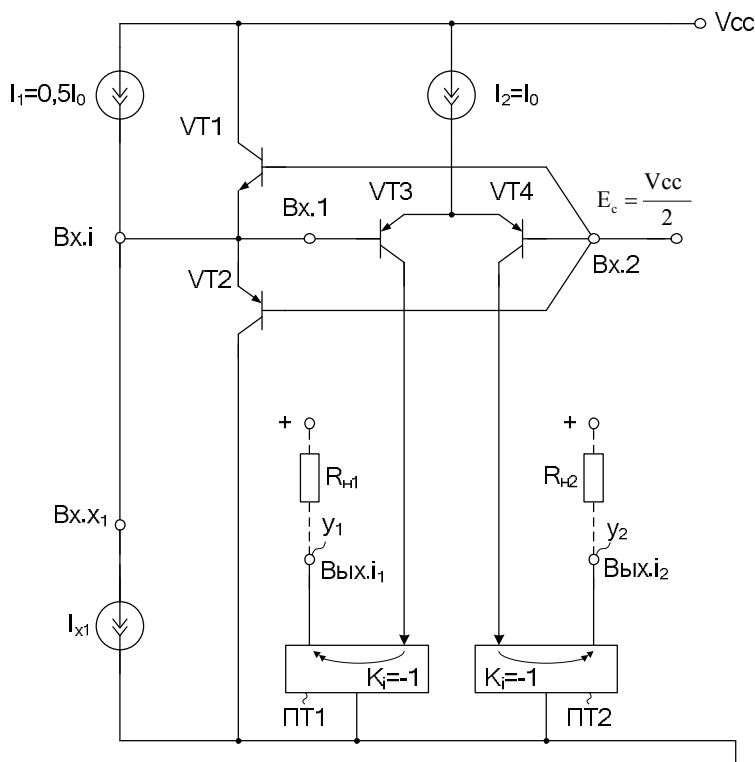


Рис. 2 МТПЛЭ в режиме логической операции «НЕ»

Линейное представление логической функции «И» в линейной алгебре имеет вид

$$y = x_1 + x_2 \div 1 \quad (2)$$

В данной формуле символом  $\div$  обозначена операция усеченной разности.

На рис. 3 показана схема МТПЛЭ в режиме логической операции «И», реализующая выражение (2). Здесь входной ток  $I_{x1}$  соответствует первой входной логической переменной ( $x_1$ ). К токовому входу МТПЛЭ ( $Bx.i$ ) подключен также второй источник входного логического тока  $I_{x2}$ , соответствующий второй входной логической переменной ( $x_2$ ). При этом численное значение тока  $I_1$  выбирается на уровне, близком к  $1.5I_0$ , где  $I_0$  - заданный квант тока, определяющий масштаб изменения первой ( $x_1$ ) и второй ( $x_2$ ) входных логических переменных. Это позволяет реализовать логическую функцию «И».

Для компенсации возможных погрешностей формирования выходных сигналов в схеме «И» рис. 3 реализовано соотношение  $(x_1 + x_2) > 1.5I_0$ . Тогда суммарные погрешности  $x_1$  ( $x_2$ ) менее 0,5 от кванта тока  $I_0$  не влияют на логику работы схемы.

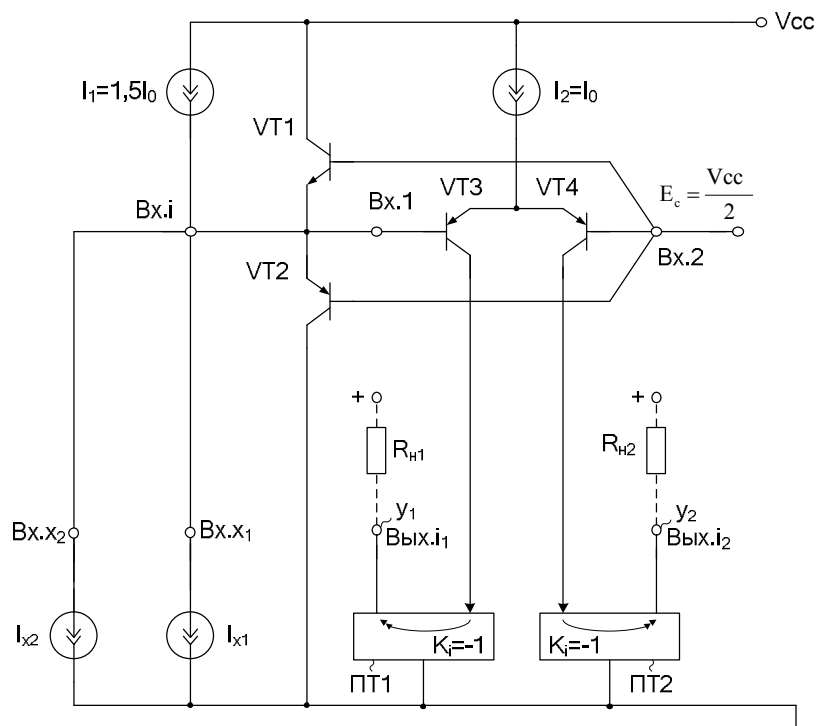


Рис. 3 МТПЛЭ в режиме логической операции «И»

Выполняя преобразования аналогичные преобразованиям для выражения (1), получим для схемы рис. 3 логическую функцию

$$y = I_0 \text{sign}((x_1 + x_2) > 1.5 I_0). \quad (3)$$

В результате, получаем два токовых выхода МЛЭ:  $Y1$  – конъюнкция,  $Y2$  – конъюнкция с инверсией.

Линейное представление логической функции «ИЛИ-Не» в линейной алгебре [6] имеет вид

$$y = 1 \div (x_1 + x_2) \quad (4)$$

На рис. 4 показана схема МТПЛЭ в режиме логической операции «ИЛИ» для уравнения (4).

Входной ток  $I_{x1}$  соответствует первой входной логической переменной ( $x_1$ ). К токовому входу МТПЛЭ ( $V_{х.i}$ ) подключен второй источник входного тока  $I_{x2}$ , соответствующий второй входной логической переменной ( $x_2$ ). При этом численное значение тока  $I_1$  выбирается на уровне, близком к  $0.5I_0$ , где  $I_0$  – заданный квант тока, определяющий масштаб изменения первой ( $x_1$ ) и второй ( $x_2$ ) входных логических переменных устройства. Это позволяет реализовать логическую функцию «ИЛИ».

Фактически для компенсации возможных погрешностей формирования выходных сигналов в схеме элемента «ИЛИ» рис. 4 реализовано соотношение  $(x_1 + x_2) < 0.5I_0$ . Выполняя преобразования аналогичные преобразованиям для выражений (1) и (3), получим для схемы рис. 4 логическую функцию

$$y = I_0 \text{sign}((x_1 + x_2) < 0.5 I_0). \quad (5)$$

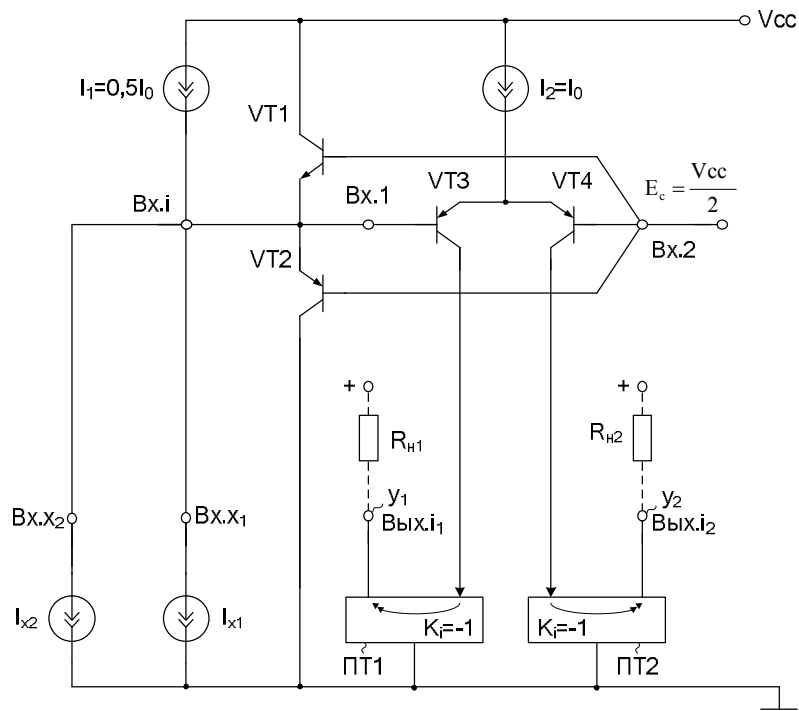


Рис. 4 МТПЛЭ в режиме логической операции «ИЛИ»

В результате, схема рис. 4 обеспечивает два токовых выхода:  $Y_1$  – дизъюнкция,  $Y_2$  – дизъюнкция с инверсией.

Линейное представление функции сравнения переменных  $x_1 > x_2$  в линейной алгебре имеет вид

$$y = x_1 \div x_2 .$$

На рис. 5 показана схема МТПЛЭ в режиме логической операции «Сравнение  $x_1 > x_2$ ».

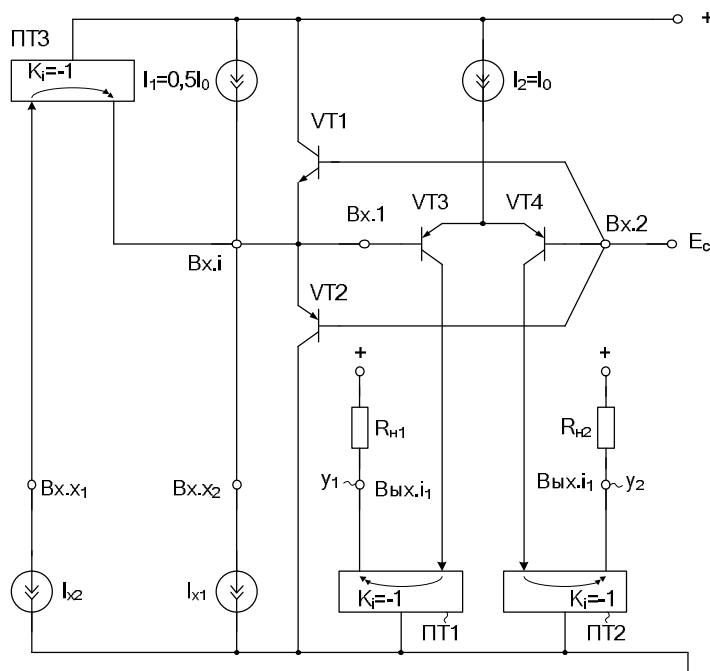


Рис. 5 МТПЛЭ в режиме логической операции «Сравнение  $x_1 > x_2$ »

На рис. 5 входной ток  $I_{x1}$  соответствует первой входной логической переменной ( $x_1$ ). К токовому входу  $V_{x.i}$  МТПЛЭ подключен выход инвертирующего токового зеркала ПТЗ. Со входом ПТЗ связан источник второго входного тока  $I_{x2}$ . При этом численное значение статического тока  $I_1$  выбирается на уровне, близком к  $0.5I_0$ , где  $I_0$  – заданный квант тока, определяющий масштаб изменения первой ( $x_1$ ) и второй ( $x_2$ ) входных логических переменных МТПЛЭ при реализации логической функции «Сравнение  $x_1 > x_2$ ».

Фактически в схеме рис. 5 реализовано соотношение  $(x_1 + 0,5 - x_2) > 0$ . Поэтому суммарные погрешности входных логических переменных менее 0,5 от кванта тока  $I_0$  не влияют на логику формирования выходных токовых координат МТПЛЭ.

Выполняя преобразования аналогичные преобразованиям для выражения (1), (3), (5), получим для схемы рис. 5 логическую функцию

$$y = I_0 \text{sign}((x_1 - x_2) > 0.5 I_0). \quad (6)$$

На токовых выходах МТПЛЭ рис. 5 также получаем функцию  $x_1 \& \bar{x}_2 \equiv (x_1 > x_2)$  и ее инверсию - импликацию.

### 3. Компьютерное моделирование многофункционального токового порогового логического элемента

В частном случае схема многофункционального токового порогового логического элемента рис. 1 исследовалась в среде Micro-Cap 10 [5] на стандартных моделях транзисторов.



Рис. 6 Графическое изображение n-p-n и p-n-p транзисторов

На рис. 7 показана схема токового порогового логического элемента «НЕ» рис.2, реализуемого на основе многофункционального токового порогового логического элемента рис. 1 в программе Micro-Cap.

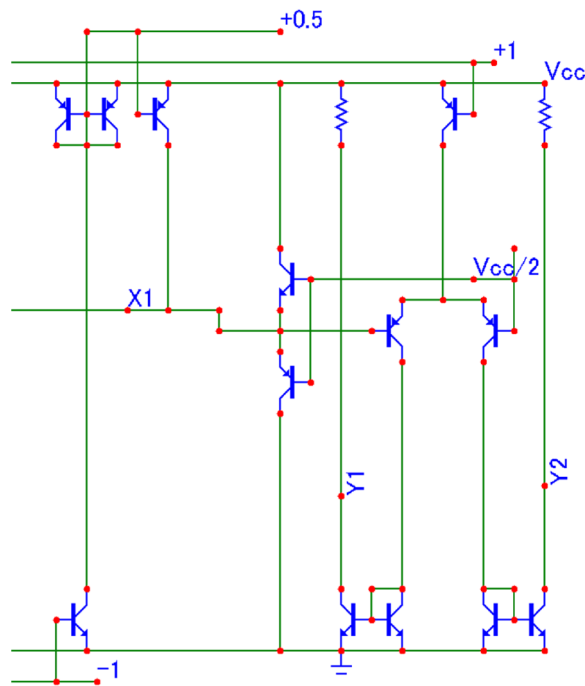


Рис. 7 Схема токового порогового логического элемента «НЕ»

На рис. 8 представлена схема токового порогового логического элемента «И» рис.3, реализуемого на основе многофункционального токового порогового логического элемента рис. 1 в САПР Micro-Cap.

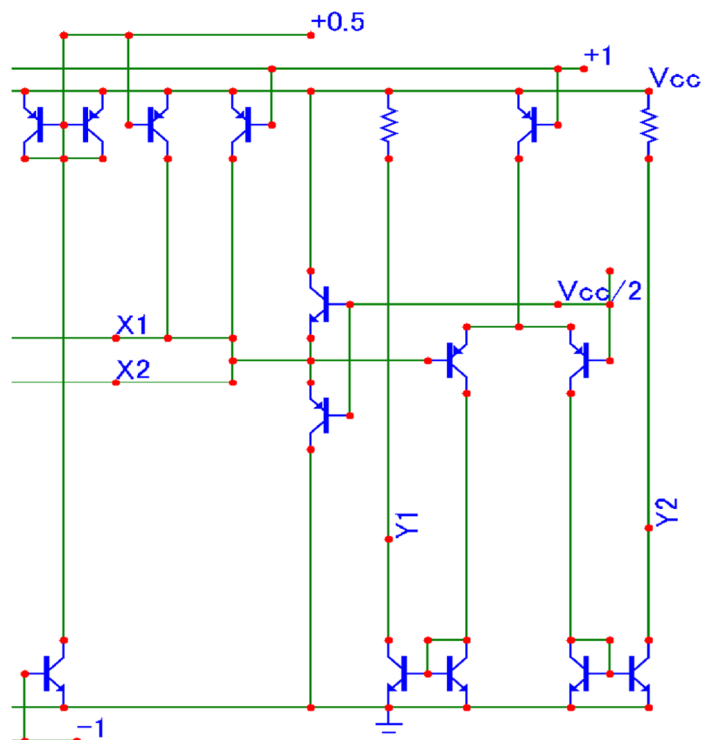


Рис. 8 Схема токового порогового логического элемента «И»

На рис. 9 приведена схема токового порогового логического элемента «ИЛИ» рис.4, реализуемого на основе многофункционального токового порогового логического элемента рис. 1 в среде Micro-Cap.

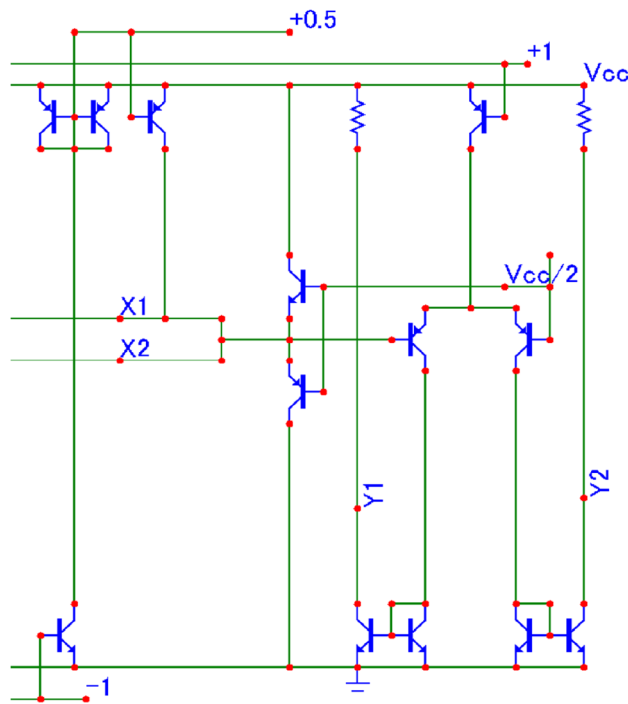


Рис. 9 Схема токового порогового логического элемента «ИЛИ»

На рис. 10 показана схема токового порогового логического элемента «Сравнение  $x_1 > x_2$ » рис.4, реализуемого на основе многофункционального токового порогового логического элемента рис. 1 в программе Micro-Cap.

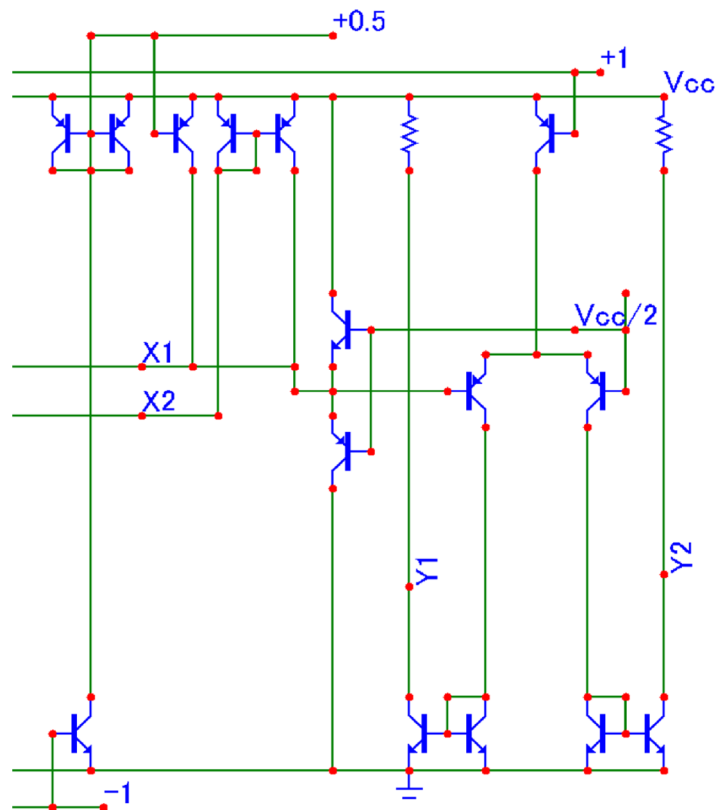


Рис. 10 Схема токового порогового логического элемента «Сравнение  $x_1 > x_2$ »



#### 4. Ожидаемые параметры и характеристики многофункционального токового порогового логического элемента

На рис.11 приведены осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «НЕ» (рис. 7).

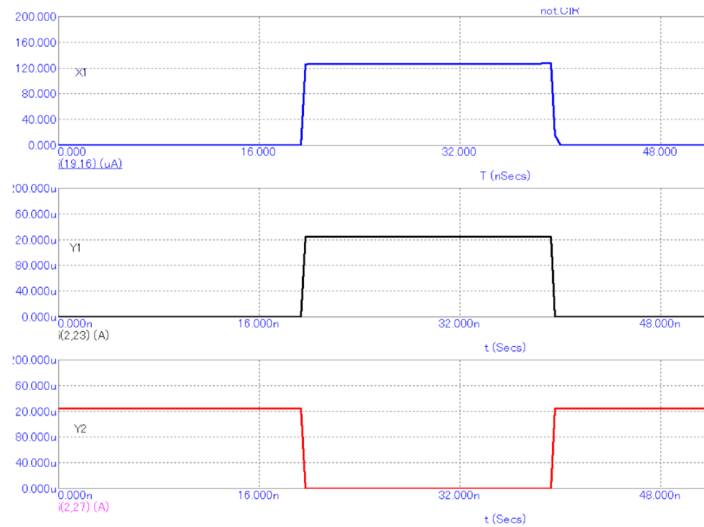


Рис. 11 Осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «НЕ»

На рис.12 изображены осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «И» (рис. 8).

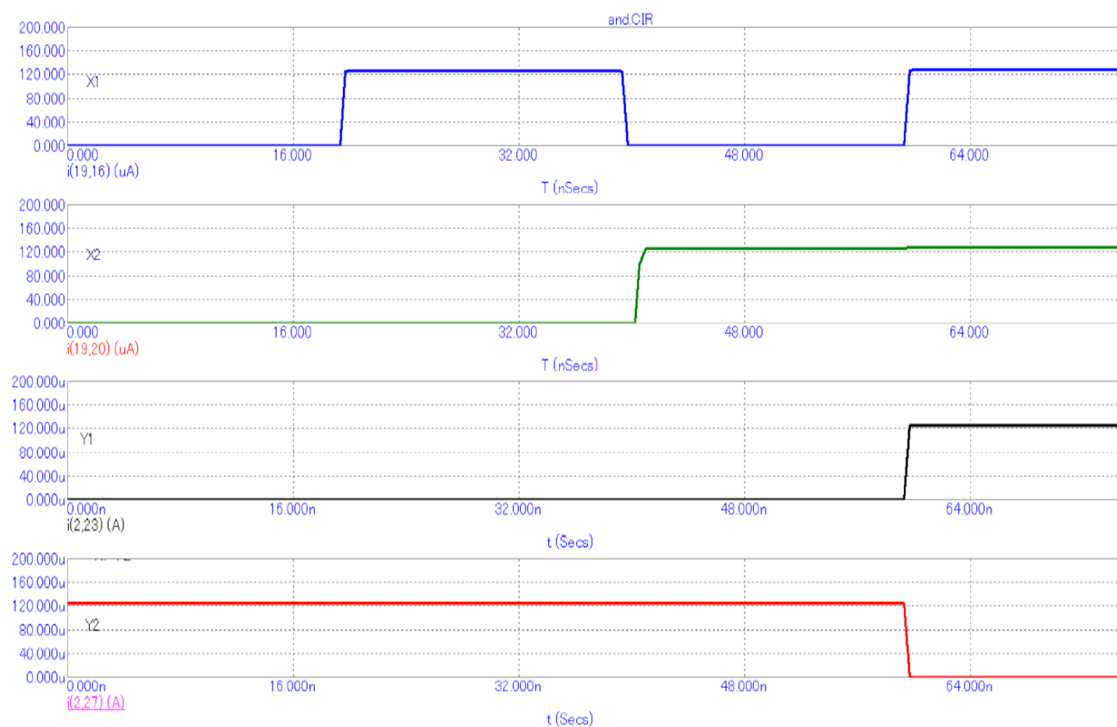


Рис. 12 Осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «И»

На рис.13 представлены осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «ИЛИ» (рис. 9).

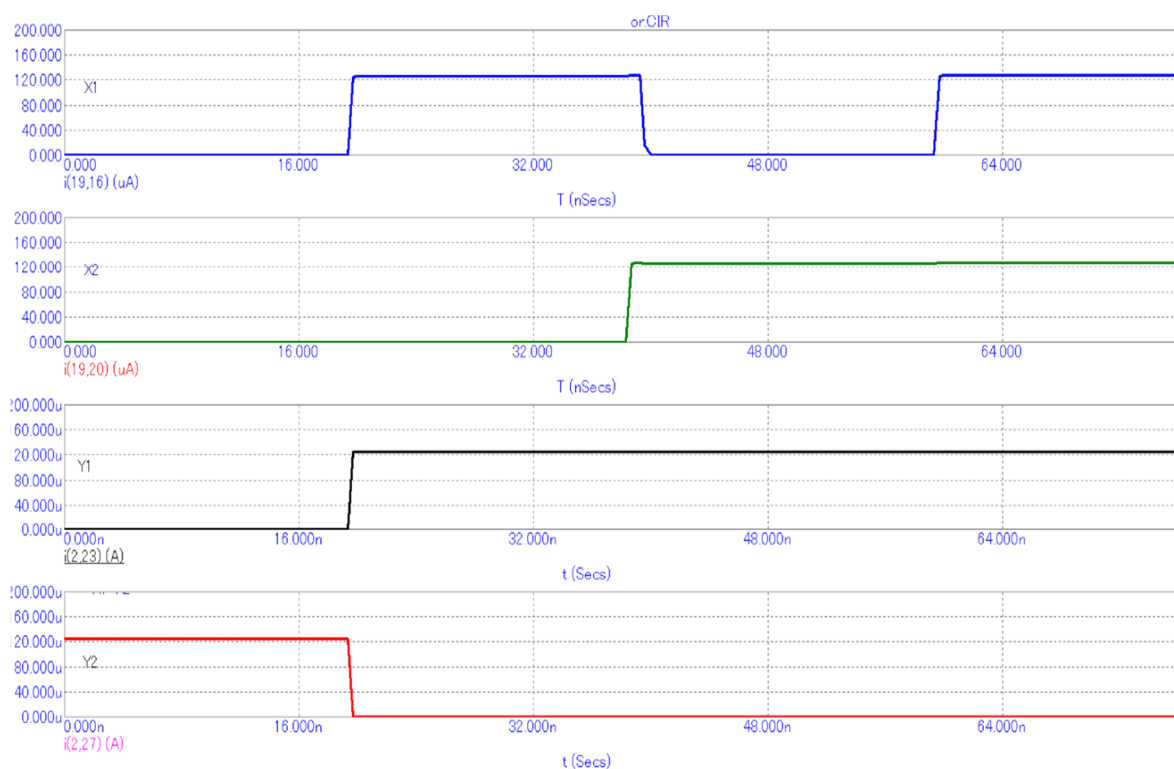


Рис. 13 Осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «ИЛИ»

На рис.14 приведены осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «Сравнение  $x_1 > x_2$ » (рис. 10).

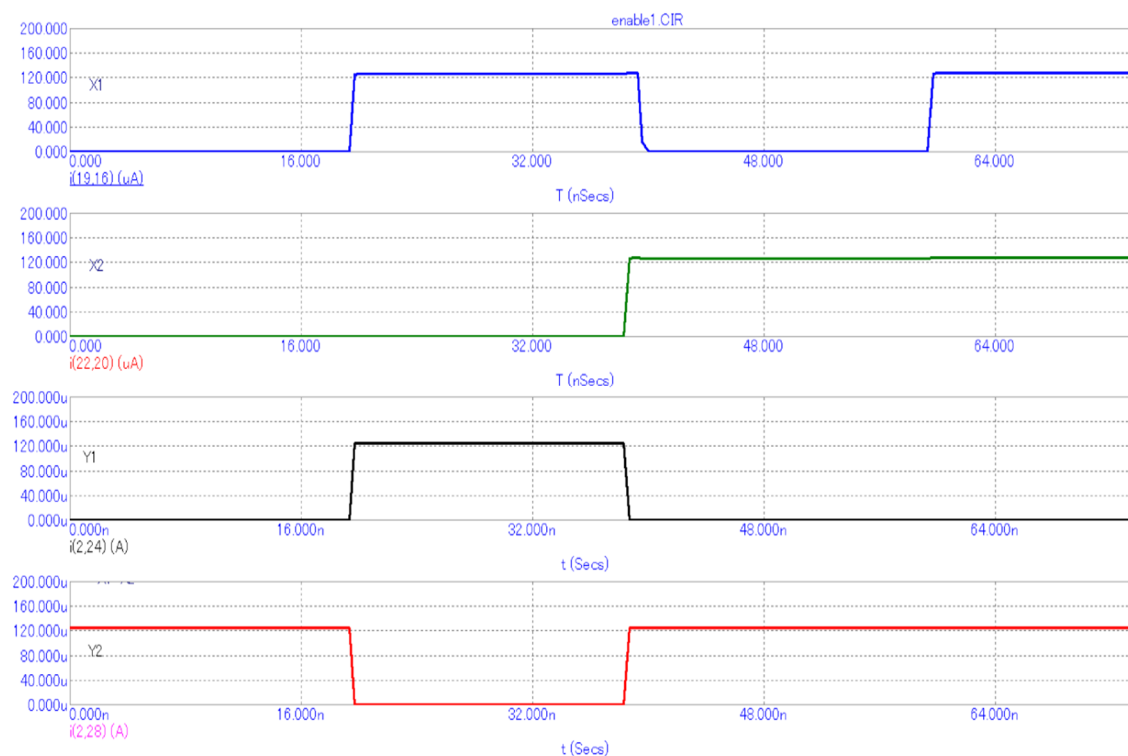


Рис. 14 Осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «Сравнение  $x_1 > x_2$ »

## 5. Параметры оптимизации

Оптимизации подлежат: значения токов дополнительных источников опорного тока  $I_{x1}$ ,  $I_1$ ,  $I_2$ ,  $I_2^*$ , а также значения напряжений источников напряжения смещения ( $E_{c1}$ - $E_{c2}$ ) для корректирования режимов работы входных транзисторов и ДК.

## 6. Netlist в Spice (рис.7)

```
1: C:\Users\Uset\Desktop\compare1\not.CIR
2: V1 Vcc/2 0 DC 2.5
3: V2 Vcc 0 DC 5
4: Q1 3 4 0 KT3102A
5: Q2 0 Ebi1 6 KT3107A
6: R1 Ebi1 3 18K
7: Q3 Vcc 3 4 KT3102A
8: Q4 Ebi1 6 Vcc KT3107A
9: Q5 7 6 Vcc KT3107A
10: R2 7 8 1
11: Q6 Vcc 8 -1 KT3102A
12: Q7 8 -1 0 KT3102A
13: Q8 10 10 11 KT3102A
14: Q9 11 11 12 KT3102A
15: Q10 13 4 0 KT3102A
16: Q11 0 10 +1 KT3107A
17: R3 12 13 1
18: Q12 10 +1 Vcc KT3107A
19: Q13 Vcc 8 15 KT3102A
20: Q14 15 -1 0 KT3102A
21: Q15 16 17 15 KT3102A
22: V3 17 0 DC 1 PULSE (1 1.7 1.9e-008 1e-009 1e-009 1.9e-008 4e-008)
23: Q16 Vcc 8 18 KT3102A
24: Q17 18 -1 0 KT3102A
25: R4 16 X1 1
26: Q18 20 21 18 KT3102A
27: V4 21 0 DC 1 PULSE (1 1.7 3.8e-008 1e-009 1e-009 4e-008 8e-008)
28: R5 Vcc 20 1
29: Q19 22 -1 0 KT3102A
30: Q20 22 22 Vcc KT3107A
31: Q21 22 22 Vcc KT3107A
32: Q22 X1 22 Vcc KT3107A
33: Q23 Vcc Vcc/2 X1 KT3102A
34: Q24 0 Vcc/2 X1 KT3107A
35: R6 Vcc Y1 1
36: Q25 24 X1 25 KT3107A
```

```

37: Q26 Y1 24 0 KT3102A
38: Q27 24 24 0 KT3102A
39: Q28 25 +1 Vcc KT3107A
40: Q29 26 Vcc/2 25 KT3107A
41: Q30 Y2 26 0 KT3102A
42: Q31 26 26 0 KT3102A
43: R7 Vcc Y2 1
44: MODEL 2N2369 NPN (IS=9.9361F BF=111.978 NF=1.16114 VAF=100
    IKF=49.9596M
45: + ISE=0.0113989F NE=1.58792 BR=252.129M IKR=1.00648 ISC=5.41812P
    RE=1.99992
46: + RC=500M CJE=6.9282P VJE=700.316M MJE=619.259M CJC=13.2665P
    VJC=700.227M
47: + MJC=571.784M TF=261.854P XTF=500.017M VTF=10 ITF=9.91278M
    TR=89.5323N)
48: .MODEL 2N2369A NPN (IS=9.9361F BF=111.978 NF=1.16114 VAF=100
    IKF=49.9596M
49: + ISE=0.0113989F NE=1.58792 BR=1.63375 IKR=998.481M ISC=3.82505P
    RE=1.99992
50: + CJE=6.9282P VJE=700.316M MJE=619.259M CJC=13.2665P VJC=700.227M
    MJC=571.784M
51: + TF=263.57P XTF=499.999M VTF=10 ITF=9.98957M TR=13.9631N)
52: .MODEL 2N5230 PNP (IS=10F BF=299.153 VAF=100 IKF=15.8796M
    ISE=74.6729F
53: + NE=1.51422 BR=5 IKR=998.787 ISC=0.00527422F RE=500M RC=895.714M
    CJE=7.22295P
54: + VJE=751.239M MJE=482.832M CJC=9.35173P VJC=755.039M
    MJC=394.117M TF=1N
55: + XTF=500M VTF=10 ITF=10M TR=10N)
56: .MODEL 2N5366 NPN ()
57: .MODEL KT3107A PNP ()
58: .MODEL KT3102A NPN ()
59: .LIB "C:\MC11\library\NOM.LIB"
60: .PROBE
61: .END

```

### Netlist в Spice (рис.8)

```

1: C:\Users\Uset\Desktop\compare1\and.CIR
2: V1 Vcc/2 0 DC 2.5
3: V2 Vcc 0 DC 5
4: Q1 3 4 0 KT3102A
5: Q2 0 Ebi1 6 KT3107A
6: R1 Ebi1 3 18K

```

7: Q3 Vcc 3 4 KT3102A  
8: Q4 Ebi1 6 Vcc KT3107A  
9: Q5 7 6 Vcc KT3107A  
10: R2 7 8 1  
11: Q6 Vcc 8 -1 KT3102A  
12: Q7 8 -1 0 KT3102A  
13: Q8 10 10 11 KT3102A  
14: Q9 11 11 12 KT3102A  
15: Q10 13 4 0 KT3102A  
16: Q11 0 10 +1 KT3107A  
17: R3 12 13 1  
18: Q12 10 +1 Vcc KT3107A  
19: Q13 Vcc 8 15 KT3102A  
20: Q14 15 -1 0 KT3102A  
21: Q15 16 17 15 KT3102A  
22: V3 17 0 DC 1 PULSE (1 1.7 1.9e-008 1e-009 1e-009 1.9e-008 4e-008)  
23: Q16 Vcc 8 18 KT3102A  
24: Q17 18 -1 0 KT3102A  
25: R4 16 X2 1  
26: Q18 20 21 18 KT3102A  
27: V4 21 0 DC 1 PULSE (1 1.7 4e-008 1e-009 1e-009 3.8e-008 8e-008)  
28: R5 20 X2 1  
29: Q19 22 -1 0 KT3102A  
30: Q20 22 22 Vcc KT3107A  
31: Q21 22 22 Vcc KT3107A  
32: Q22 X2 22 Vcc KT3107A  
33: Q23 Vcc Vcc/2 X2 KT3102A  
34: Q24 0 Vcc/2 X2 KT3107A  
35: R6 Vcc Y1 1  
36: Q25 24 X2 25 KT3107A  
37: Q26 Y1 24 0 KT3102A  
38: Q27 24 24 0 KT3102A  
39: Q28 25 +1 Vcc KT3107A  
40: Q29 26 Vcc/2 25 KT3107A  
41: Q30 Y2 26 0 KT3102A  
42: Q31 26 26 0 KT3102A  
43: R7 Vcc Y2 1  
44: Q32 X2 +1 Vcc KT3107A  
45: .MODEL 2N2369 NPN (IS=9.9361F BF=111.978 NF=1.16114 VAF=100  
IKF=49.9596M  
46: + ISE=0.0113989F NE=1.58792 BR=252.129M IKR=1.00648 ISC=5.41812P  
RE=1.99992  
47: + RC=500M CJE=6.9282P VJE=700.316M MJE=619.259M CJC=13.2665P  
VJC=700.227M

```

48: + MJC=571.784M TF=261.854P XTF=500.017M VTF=10 ITF=9.91278M
    TR=89.5323N)
49: .MODEL 2N2369A NPN (IS=9.9361F BF=111.978 NF=1.16114 VAF=100
    IKF=49.9596M
50: + ISE=0.0113989F NE=1.58792 BR=1.63375 IKR=998.481M ISC=3.82505P
    RE=1.99992
51: + CJE=6.9282P VJE=700.316M MJE=619.259M CJC=13.2665P VJC=700.227M
    MJC=571.784M
52: + TF=263.57P XTF=499.999M VTF=10 ITF=9.98957M TR=13.9631N)
53: .MODEL 2N5230 PNP (IS=10F BF=299.153 VAF=100 IKF=15.8796M
    ISE=74.6729F
54: + NE=1.51422 BR=5 IKR=998.787 ISC=0.00527422F RE=500M RC=895.714M
    CJE=7.22295P
55: + VJE=751.239M MJE=482.832M CJC=9.35173P VJC=755.039M
    MJC=394.117M TF=1N
56: + XTF=500M VTF=10 ITF=10M TR=10N)
57: .MODEL 2N5366 NPN ()
58: .MODEL KT3107A PNP ()
59: .MODEL KT3102A NPN ()
60: .LIB "C:\MC11\library\NOM.LIB"
61: .PROBE
62: .END

```

### Netlist в Spice (рис.9)

```

1: C:\Users\Uset\Desktop\compare1\or.CIR
2: V1 Vcc/2 0 DC 2.5
3: V2 Vcc 0 DC 5
4: Q1 3 4 0 KT3102A
5: Q2 0 Ebi1 6 KT3107A
6: R1 Ebi1 3 18K
7: Q3 Vcc 3 4 KT3102A
8: Q4 Ebi1 6 Vcc KT3107A
9: Q5 7 6 Vcc KT3107A
10: R2 7 8 1
11: Q6 Vcc 8 -1 KT3102A
12: Q7 8 -1 0 KT3102A
13: Q8 10 10 11 KT3102A
14: Q9 11 11 12 KT3102A
15: Q10 13 4 0 KT3102A
16: Q11 0 10 +1 KT3107A
17: R3 12 13 1
18: Q12 10 +1 Vcc KT3107A

```

19: Q13 Vcc 8 15 KT3102A  
 20: Q14 15 -1 0 KT3102A  
 21: Q15 16 17 15 KT3102A  
 22: V3 17 0 DC 1 PULSE (1 1.7 1.9e-008 1e-009 1e-009 1.9e-008 4e-008)  
 23: Q16 Vcc 8 18 KT3102A  
 24: Q17 18 -1 0 KT3102A  
 25: R4 16 X2 1  
 26: Q18 20 21 18 KT3102A  
 27: V4 21 0 DC 1 PULSE (1 1.7 3.8e-008 1e-009 1e-009 4e-008 8e-008)  
 28: R5 20 X2 1  
 29: Q19 22 -1 0 KT3102A  
 30: Q20 22 22 Vcc KT3107A  
 31: Q21 22 22 Vcc KT3107A  
 32: Q22 X2 22 Vcc KT3107A  
 33: Q23 Vcc Vcc/2 X2 KT3102A  
 34: Q24 0 Vcc/2 X2 KT3107A  
 35: R6 Vcc Y1 1  
 36: Q25 24 X2 25 KT3107A  
 37: Q26 Y1 24 0 KT3102A  
 38: Q27 24 24 0 KT3102A  
 39: Q28 25 +1 Vcc KT3107A  
 40: Q29 26 Vcc/2 25 KT3107A  
 41: Q30 Y2 26 0 KT3102A  
 42: Q31 26 26 0 KT3102A  
 43: R7 Vcc Y2 1  
 44: .MODEL 2N2369 NPN (IS=9.9361F BF=111.978 NF=1.16114 VAF=100  
 IKF=49.9596M  
 45: + ISE=0.0113989F NE=1.58792 BR=252.129M IKR=1.00648 ISC=5.41812P  
 RE=1.99992  
 46: + RC=500M CJE=6.9282P VJE=700.316M MJE=619.259M CJC=13.2665P  
 VJC=700.227M  
 47: + MJC=571.784M TF=261.854P XTF=500.017M VTF=10 ITF=9.91278M  
 TR=89.5323N)  
 48: .MODEL 2N2369A NPN (IS=9.9361F BF=111.978 NF=1.16114 VAF=100  
 IKF=49.9596M  
 49: + ISE=0.0113989F NE=1.58792 BR=1.63375 IKR=998.481M ISC=3.82505P  
 RE=1.99992  
 50: + CJE=6.9282P VJE=700.316M MJE=619.259M CJC=13.2665P VJC=700.227M  
 MJC=571.784M  
 51: + TF=263.57P XTF=499.999M VTF=10 ITF=9.98957M TR=13.9631N)  
 52: .MODEL 2N5230 PNP (IS=10F BF=299.153 VAF=100 IKF=15.8796M  
 ISE=74.6729F  
 53: + NE=1.51422 BR=5 IKR=998.787 ISC=0.00527422F RE=500M RC=895.714M  
 CJE=7.22295P

```

54: + VJE=751.239M MJE=482.832M CJC=9.35173P VJC=755.039M
    MJC=394.117M TF=1N
55: + XTF=500M VTF=10 ITF=10M TR=10N)
56: .MODEL 2N5366 NPN ()
57: .MODEL KT3107A PNP ()
58: .MODEL KT3102A NPN ()
59: .LIB "C:\MC11\library\NOM.LIB"
60: .PROBE
61: .END

```

### Netlist в Spice (рис.10)

```

1: C:\Users\Uset\Desktop\compare1\enable1.CIR
2: V1 Vcc/2 0 DC 2.5
3: V2 Vcc 0 DC 5
4: Q1 3 4 0 KT3102A
5: Q2 0 Ebi1 6 KT3107A
6: R1 Ebi1 3 18K
7: Q3 Vcc 3 4 KT3102A
8: Q4 Ebi1 6 Vcc KT3107A
9: Q5 7 6 Vcc KT3107A
10: R2 7 8 1
11: Q6 Vcc 8 -1 KT3102A
12: Q7 8 -1 0 KT3102A
13: Q8 10 10 11 KT3102A
14: Q9 11 11 12 KT3102A
15: Q10 13 4 0 KT3102A
16: Q11 0 10 +1 KT3107A
17: R3 12 13 1
18: Q12 10 +1 Vcc KT3107A
19: Q13 Vcc 8 15 KT3102A
20: Q14 15 -1 0 KT3102A
21: Q15 16 17 15 KT3102A
22: V3 17 0 DC 1 PULSE (1 1.7 1.9e-008 1e-009 1e-009 1.9e-008 4e-008)
23: Q16 Vcc 8 18 KT3102A
24: Q17 18 -1 0 KT3102A
25: R4 16 X1 1
26: Q18 20 21 18 KT3102A
27: V4 21 0 DC 1 PULSE (1 1.7 3.8e-008 1e-009 1e-009 4e-008 8e-008)
28: R5 20 X2 1
29: Q19 23 -1 0 KT3102A
30: Q20 23 23 Vcc KT3107A
31: Q21 23 23 Vcc KT3107A
32: Q22 X1 23 Vcc KT3107A

```



```

33: Q23 Vcc Vcc/2 X1 KT3102A
34: Q24 0 Vcc/2 X1 KT3107A
35: R6 Vcc Y1 1
36: Q25 25 X1 26 KT3107A
37: Q26 Y1 25 0 KT3102A
38: Q27 25 25 0 KT3102A
39: Q28 26 +1 Vcc KT3107A
40: Q29 27 Vcc/2 26 KT3107A
41: Q30 Y2 27 0 KT3102A
42: Q31 27 27 0 KT3102A
43: R7 Vcc Y2 1
44: Q32 X1 X2 Vcc KT3107A
45: Q33 X2 X2 Vcc KT3107A
46: .MODEL 2N2369 NPN (IS=9.9361F BF=111.978 NF=1.16114 VAF=100
    IKF=49.9596M
47: + ISE=0.0113989F NE=1.58792 BR=252.129M IKR=1.00648 ISC=5.41812P
    RE=1.99992
48: + RC=500M CJE=6.9282P VJE=700.316M MJE=619.259M CJC=13.2665P
    VJC=700.227M
49: + MJC=571.784M TF=261.854P XTF=500.017M VTF=10 ITF=9.91278M
    TR=89.5323N)
50: .MODEL 2N2369A NPN (IS=9.9361F BF=111.978 NF=1.16114 VAF=100
    IKF=49.9596M
51: + ISE=0.0113989F NE=1.58792 BR=1.63375 IKR=998.481M ISC=3.82505P
    RE=1.99992
52: + CJE=6.9282P VJE=700.316M MJE=619.259M CJC=13.2665P VJC=700.227M
    MJC=571.784M
53: + TF=263.57P XTF=499.999M VTF=10 ITF=9.98957M TR=13.9631N)
54: .MODEL 2N5230 PNP (IS=10F BF=299.153 VAF=100 IKF=15.8796M
    ISE=74.6729F
55: + NE=1.51422 BR=5 IKR=998.787 ISC=0.00527422F RE=500M RC=895.714M
    CJE=7.22295P
56: + VJE=751.239M MJE=482.832M CJC=9.35173P VJC=755.039M MJC=394.117M
    TF=1N
57: + XTF=500M VTF=10 ITF=10M TR=10N)
58: .MODEL 2N5366 NPN ()
59: .MODEL KT3107A PNP ()
60: .MODEL KT3102A NPN ()
61: .LIB "C:\MC11\library\NOM.LIB"
62: .PROBE
63: .END

```

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 18-37-00061.

## Список литературы

1. Поспелов Д. А. Логические методы анализа и синтеза схем. Изд. 3-е, перераб. и доп., М., «Энергия», 1974, 368 с.
2. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Basic Concept of Linear Synthesis of Multi-Valued Digital Structures in Linear Spaces. Proceeding of IEEE East-West Design & Test Symposium (EWDTS'2013). Rostov-on-Don, Russia, September 27-30, 2013. pp. 146-149. DOI: 10.1109/EWDTS.2014.7027045
3. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Schematic Design of Digital IC at the Base of Linear Algebra. ICSES 2014 International Conference on Signals and Electronic Systems, September 11-13, 2014, Poznan, POLAND. DOI: 10.1109/ICSES.2014.6948728.
4. N.N. Prokopenko, N.I. Chernov, V.Ya. Yugai, N.V. Butyrlagin. The Multifunctional Current Logical Element for Digital Computing Devices, Operating on the Principles of Linear (Not Boolean) Algebra // IEEE East-West Design & Test Symposium (EWDTS'2016), Yerevan, Armenia, 14 – 17 Oct. 2016. pp. 278-282.
5. Амелина М.А., Амелин С.А. Программа схемотехнического моделирования Micro-Cap. Версии 9, 10. - Смоленск, Смоленский филиал НИУ МЭИ, 2012. - 617 с., ил.