

**Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)**

Библиотека схемотехнических решений

Токовый пороговый логический элемент обратного циклического сдвига

Бутырлагин Н.В., nbutyrlagin@mail.ru,
Чернов Н.И., chernovni@yandex.ru
Прокопенко Н.Н., prokopenko@sssu.ru,
Югай В.Я., yugtag@gmail.com,
Бугакова А.В., annabugakova.1992@mail.ru

Научно-исследовательская лаборатория проблем проектирования в
экстремальной микроэлектронике ИППМ РАН и Донского государственного
технического университета (г. Ростов-на-Дону)

**1. Области применения токового порогового логического элемента
обратного циклического сдвига**

Построение компонентов цифровых управляющих и вычислительных систем, например, роботов и беспилотных летательных аппаратов, базируется на использовании логических элементов обратного циклического сдвига [1]. Применение линейной алгебры в качестве математического аппарата логического синтеза цифровых структур [2] позволяет получить логическую, а на ее основе – схемотехническую, реализацию линейных аналогов указанной логической функции [3]. Эти схемотехнические решения могут быть затем использованы для построения специализированных токовых логических IP-модулей и цифровых СФ-блоков на их основе.

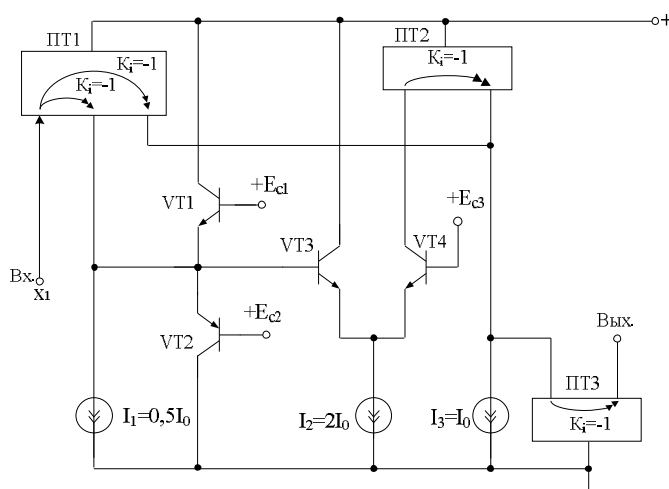


Рис. 1 Схема ViJT токового порогового логического элемента обратного циклического сдвига

Практическая реализация схемы рис. 1 может быть осуществлена при определенной доработке в рамках других различных технологий: TSMC (BiCMOS), SiGe (IHP, Германия), NHGRACE SoI (кремний на изоляторе), H10-CMOS090_LP (АО «Микрон», г. Зеленоград), 3КБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

2. Описание схемы токового порогового логического элемента обратного циклического сдвига

Схема токового порогового логического элемента обратного циклического сдвига [4] рис.1 включает:

- вход (Вх.) и выход (Вых.),
- входной каскад (VT1-VT2),
- дифференциальный каскад (VT3-VT4),
- источники напряжения смещения (E_{c1} - E_{c3}),
- источники опорного тока (I_1 - I_3),
- токовые зеркала (ПТ1-ПТ3).

Пороговый логический элемент обратного циклического сдвига, представленного (рис.1), выполняет операцию циклического сдвига с применением порогового элемента. Операции преобразования сигналов могут быть записаны в виде:

$$y = x - 1 + 2(x < 0,5). \quad (1)$$

Этому выражению соответствует следующая таблица истинности:

x	0	1	2
y	2	0	1

Входная переменная «х» в виде кванта втекающего тока поступает на вход устройства и далее – на вход ПТ1.

Слагаемое $2(x < 0,5)$ реализуется следующим образом.

Из кванта втекающего тока с первого выхода ПТ1 вычитается 0,5 кванта втекающего тока источника опорного тока I_1 . Разностный ток поступает на объединенные эмиттеры транзисторов VT1 и VT2, а также в базу транзистора VT3. Режимы работы транзисторов VT1 и VT2 задаются значениями напряжений источников напряжения смещения E_{c1} и E_{c2} и обеспечивают предотвращение насыщения транзисторов источника опорного тока I_1 . Транзисторы VT3-VT4 образуют дифференциальный каскад (ДК). Переключение коллекторных токов этих транзисторов определяется сигналом, поступающим на базу транзистора VT3. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной $x-1$ с пороговым уровнем 0,5. Выбор такого порогового

уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах 0,5 кванта тока I_0 . Разностный сигнал с первого выхода ПТ1 источника опорного тока I_1 передаётся в базу транзистора VT3 и управляет переключением удвоенного вытекающего тока источника опорного тока I_2 в ДК. При отрицательной разности сигналов $x-0,5$ ток источника опорного тока I_2 через коллектор транзистора VT4 в виде кванта тока подается на вход ПТ2, где преобразуется в равный ему втекающий ток.

Реализация алгебраического суммирования слагаемых в соответствии с приведенным выше выражением производится монтажным объединением вытекающего тока со второго выхода ПТ1 и выходного тока ПТ2. Из объединённых сигналов вычитается ток источника опорного тока I_2 и передаётся на ПТ3, где преобразуется в равный ему сигнал втекающего тока и подается на выход устройства.

3. Компьютерное моделирование токового порогового логического элемента обратного циклического сдвига

В частном случае схема токового порогового логического элемента обратного циклического сдвига рис. 1 исследовалась в среде LTspice на моделях транзисторов АБМК_2.2.1 (АО «Интеграл», г.Минск [5-6]).



Рис. 2 Графическое изображение n-p-n и p-n-p транзисторов АБМК_2.2.1

На рис. 3 показана схема токового порогового логического элемента обратного циклического сдвига в среде LTspice.

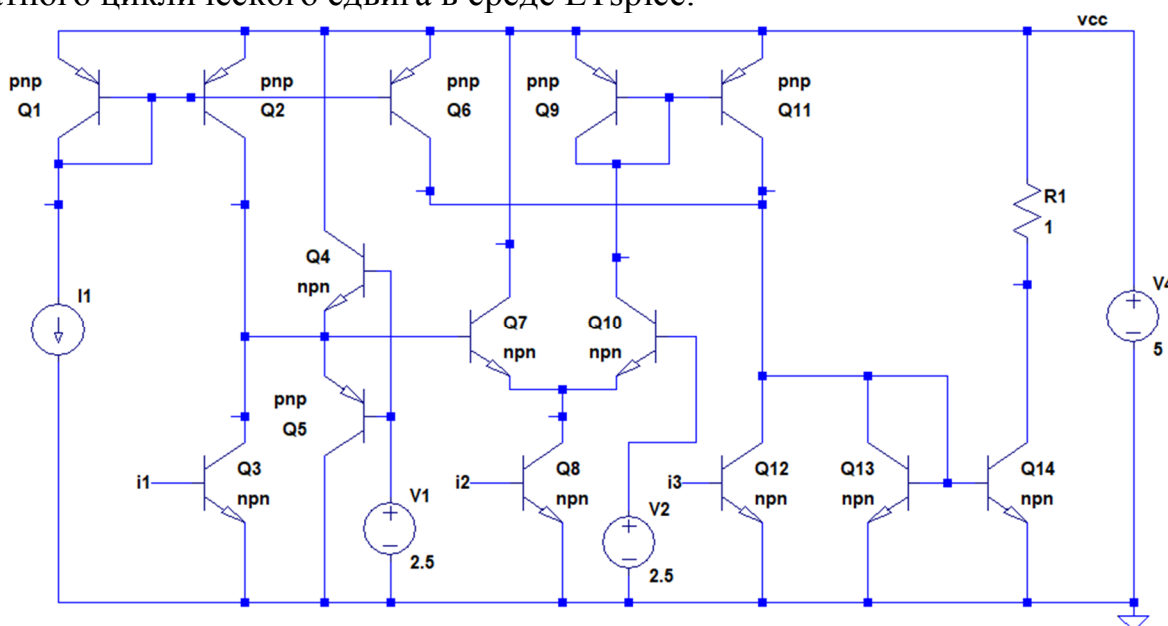


Рис. 3 Схема рис. 1 в среде LTspice на моделях транзисторов АБМК_2.2.1

4. Ожидаемые параметры и характеристики токового порогового логического элемента обратного циклического сдвига

На рис.4 приведены осциллограммы входных и выходных сигналов схемы токового порогового логического элемента обратного циклического сдвига (рис. 1).

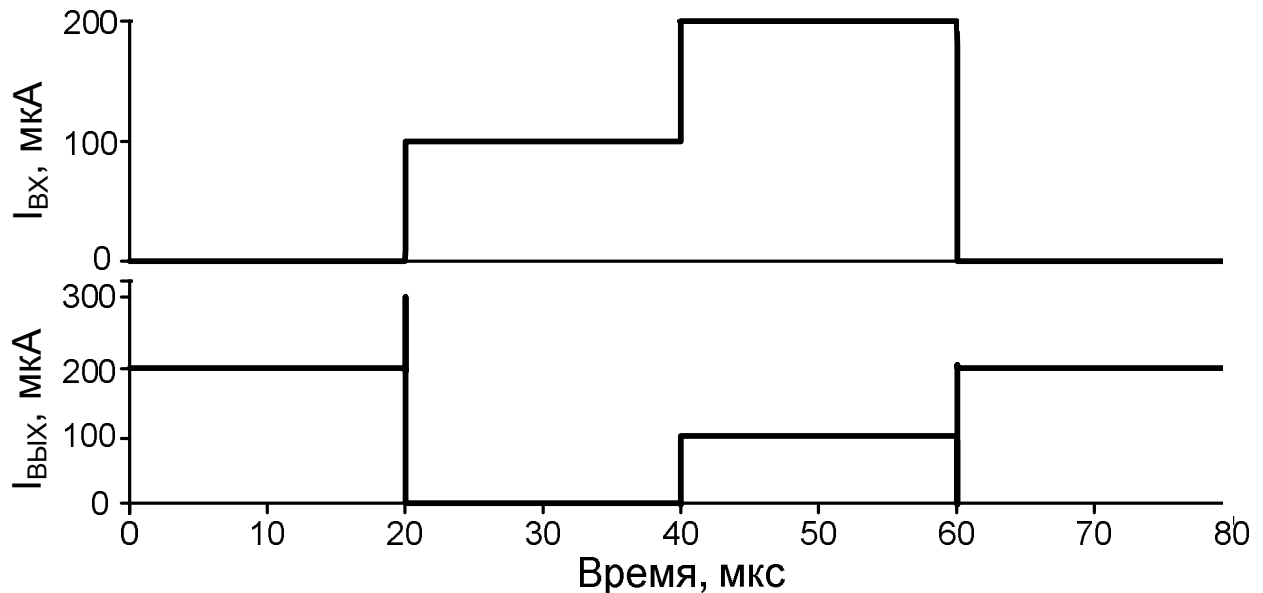


Рис. 4. Осциллограммы входных и выходных сигналов схемы токового порогового логического элемента обратного циклического сдвига

5. Параметры оптимизации

Оптимизации подлежат: значения токов дополнительных источников опорного тока $I_1 - I_3$, а также значения напряжений источников напряжения смещения ($E_{c1}-E_{c3}$) для корректирования режимов работы транзисторов входного и дифференциального каскадов.

6. Netlist в Spice (рис.3)

```
1: D:\simulation\LTSpice\Scheme_195\8125.asc
2: V4 vcc 0 5
3: R1 vcc N012 1
4: I1 N007 0 PWL(0 0 20u 0 20.005u 100u 40u 100u 40.005u 200u 60u 200u
   60.005u 0)
5: Q1 N007 N007 vcc 0 pnp
6: Q2 N010 N007 vcc 0 pnp
7: Q6 N009 N007 vcc 0 pnp
8: Q11 N009 N008 vcc 0 pnp
9: Q9 N008 N008 vcc 0 pnp
10: Q7 vcc N010 N014 0 npn
```

```

11:Q10 N008 N013 N014 0 npn
12:Q4 vcc N011 N010 0 npn
13:Q8 N014 i2 0 0 npn
14:Q12 N009 i3 0 0 npn
15:Q14 N012 N009 0 0 npn
16:Q13 N009 N009 0 0 npn
17:Q3 N010 i1 0 0 npn
18:Q5 0 N011 N010 0 pnp
19:V1 N011 0 2.5
20:V2 N013 0 2.5
21:Q16 N006 i1 0 0 npn
22:Q15 i1 i1 0 0 npn
23:I2 N001 i1 50μ
24:R3 N001 N006 1
25:V5 N001 0 5
26:Q18 N004 i2 0 0 npn
27:Q17 i2 i2 0 0 npn
28:I3 N002 i2 290μ
29:R4 N002 N004 1
30:V6 N002 0 5
31:Q20 N005 i3 0 0 npn
32:Q19 i3 i3 0 0 npn
33:I4 N003 i3 123μ
34:R5 N003 N005 1
35:V7 N003 0 5
36:.model NPN NPN
37:.model PNP PNP
38:.lib C:\Users\Elija\OneDrive\Documents\LTspiceXVII\lib\cmp\standard.bjt
39:.op
40:.param LT=25
41:.temp={LT}
42:.ac dec 100 1 100Meg
43:.tran 0 1m 0 1u
44:.step param LT -197 27 2
45:.step param Dg 1 1Meg 300
46:.step dec param fn 1e12 1e18 1e2
47:.param fn=1
48:.param Dg=1
49:.param V1=1.8
50:.lib C:\LT\ABMK-2.2-1.lib
51:.param weight=250
52:.param JNV={weight/260}
53:.param JPV={weight/50}
54:.param I1=1u
55:.step param V1 -5 5 50m

```

```

56:.step param I1 1u 1m 10u
57:.param fit=1
58:.tran 0 80u 0 0.1u
59:.backanno
60:.end

```

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 18-37-00061.

При этом использовались компьютерные модели транзисторов, разработанных Дворниковым Олегом Владимировичем (г.Минск, МНИПИ, oleg_dvornikov@tut.by).

Список литературы

1. Поспелов Д. А. Логические методы анализа и синтеза схем. Изд. 3-е, перераб. и доп., М., «Энергия», 1974, 368 с.
2. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Basic Concept of Linear Synthesis of Multi-Valued Digital Structures in Linear Spaces. Proceeding of IEEE East-West Design & Test Symposium (EWDTS'2013). Rostov-on-Don, Russia, September 27-30, 2013. pp. 146-149. DOI: 10.1109/EWDTS.2014.7027045
3. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Schematic Design of Digital IC at the Base of Linear Algebra. ICSES 2014 International Conference on Signals and Electronic Systems, September 11-13, 2014, Poznan, POLAND. DOI: 10.1109/ICSES.2014.6948728.
4. Токовый пороговый логический элемент обратного циклического сдвига: заявка на патент РФ; МПК: H03K 19/0175, H03K 19/00, H03K 17/00, H03K 9/00, H03K 5/00, H01J 40/14 / Н.В. Бутырлагин, Н.И. Чернов, Н.Н. Прокопенко, В.Я. Югай – № 2018145245; Заявл. 20.12.2018
5. K.O. Petrosyants, M. Ismail-zade, O.V. Dvornikov et al. "Automation of parameter extraction procedure for Si JFET SPICE model in the– 200...+ 110° C temperature range", Moscow Workshop on Electronic and Networking Technologies, pp. 1-6, 2018.
6. O. V. Dvornikov, V. L. Dziatlau, N. N. Prokopenko, K. O. Petrosiants, N. V. Kozhukhov and V. A. Tchekhovski, "The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the BiJFET analog interfaces of the sensors," 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, Kazakhstan, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507