

Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)

Библиотека схемотехнических решений

Токовый пороговый логический элемент «Равнозначность»

Бутырлагин Н.В., nbutyrlagin@mail.ru,

Чернов Н.И., chernovni@yandex.ru

Прокопенко Н.Н., prokopenko@sssu.ru,

Югай В.Я., yugtag@gmail.com,

Пахомов И.В., pahom2191@mail.ru

Научно-исследовательская лаборатория проблем проектирования в экстремальной микроэлектронике ИППМ РАН и Донского государственного технического университета (г. Ростов-на-Дону)

1. Области применения токового порогового логического элемента «Равнозначность»

Построение компонентов цифровых управляющих и вычислительных систем, например, роботов и беспилотных летательных аппаратов, базируется на использовании логических элементов «Равнозначность» [1]. Применение линейной алгебры в качестве математического аппарата логического синтеза цифровых структур [2] позволяет получить логическую, а на ее основе – схемотехническую, реализации линейных аналогов указанной логической функции [3]. Эти схемотехнические решения могут быть затем использованы для построения специализированных токовых логических IP-модулей и цифровых СФ-блоков на их основе.

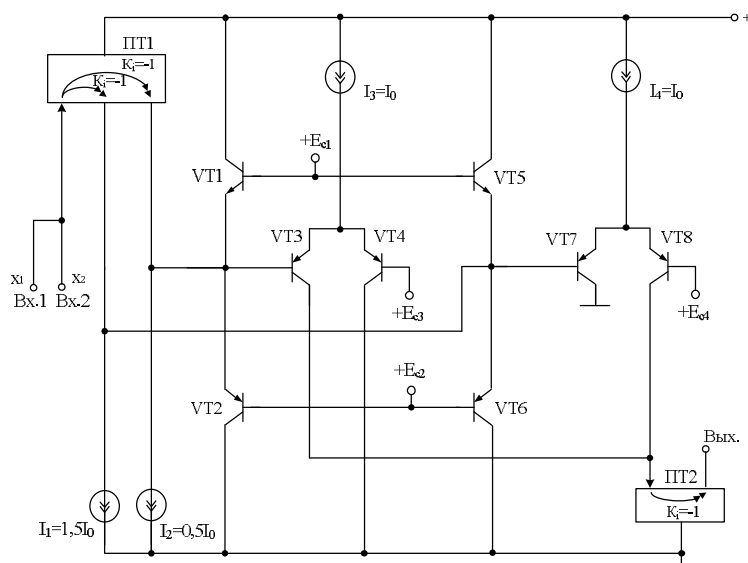


Рис. 1 Схема ВіТ токового порогового логического элемента «Равнозначность»

Практическая реализация схемы рис. 1 может быть осуществлена при определенной доработке в рамках других различных технологий: TSMC (BiCMOS), SiGe (IHP, Германия), NHGRACE SoI (кремний на изоляторе), H10-CMOS090_LP (АО «Микрон», г. Зеленоград), 3КБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

2. Описание схемы токового порогового логического элемента «Равнозначность»

Схема токового порогового логического элемента «Равнозначность» рис.1 [4] включает:

- входы (Вх.1 и Вх.2) и выход (Вых.) устройства,
- первый (VT1-VT2) и второй (VT5-VT6) входные каскады,
- источники напряжения смещения (E_{c1} - E_{c4}),
- источники опорного тока (I_1 - I_4),
- токовые зеркала (ПТ1-ПТ2),
- дифференциальные каскады (VT3-VT4, VT7-VT8).

Функция «Равнозначность» на основе пороговых функций может быть реализована следующим выражением:

$$y = ((x_1 + x_2) < 1) + (x_1 + x_2 > 1). \quad (1)$$

Для схемотехнической реализации (рис. 1) вычисляем сумму значений аргументов и с помощью компараторов (ДК) сравниваем со значениями $0.5I_0$, $1.5I_0$ т.е. реализуем операции $\text{sign}((x_1 + x_2) < 0.5I_0)$ и $\text{sign}((x_1 + x_2) > 1.5I_0)$, а затем производим суммирование выходных токов ДК.

Таблица истинности функции «Равнозначность»:

x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	1

Следовательно, первое неравенство дает «1» при нулевых значениях обоих аргументов, а второе неравенство дает «1» при единичных значениях обоих аргументов.

Входные переменные « x_1 », « x_2 » суммируются, а эта сумма в виде кванта втекающего тока поступает на вход ПТ1. Выходной сигнал с первого выхода ПТ1 подается на объединённые эмиттеры транзисторов VT5 и VT6, а также на базу транзистора VT7, где вычитается втекающий ток источника опорного тока I_1 . Режимы работы входных транзисторов VT5 и VT6 задаются значениями

напряжений источников напряжения смещения $E_{c1}-E_{c2}$. Транзисторы VT7 и VT8 образуют дифференциальный каскад (ДК), переключение коллекторных токов этих транзисторов определяется сигналом, поступающим на базу транзистора VT7.

ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной (x_1+x_2) с пороговым уровнем $1,5I_0$. Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах 0,5 кванта тока I_0 . При положительной разности сигналов $(x_1+x_2)-1,5$ ток источника опорного тока I_4 через коллектор транзистора VT8 в виде кванта тока подается на вход ПТ2. Выходной сигнал со второго выхода ПТ1 подается на объединённые эмиттеры транзисторов VT1 и VT2, а также на базу транзистора VT3, где вычитается втекающий ток источника опорного тока I_2 . Режимы работы транзисторов VT1 и VT2 задаются значениями напряжений источников напряжения смещения $E_{c1}-E_{c2}$. Транзисторы VT3 и VT4 образуют дифференциальный каскад (ДК). Переключение коллекторных токов этих транзисторов определяется сигналом, поступающим на базу транзистора VT3.

ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной (x_1+x_2) с пороговым уровнем $0,5I_0$. Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах 0,5 кванта тока I_0 . При отрицательной разности сигналов $(x_1+x_2)-0,5$ ток источника опорного тока I_3 через коллектор транзистора VT4 в виде кванта тока подается на токовое зеркало ПТ2, где суммируется с квантом тока с коллектора транзистора VT8 и преобразуется в равный ему втекающий ток, а затем передаётся на выход устройства.

3. Компьютерное моделирование токового порогового логического элемента «Равнозначность»

В частном случае схема токового порогового логического элемента «Равнозначность» рис. 1 исследовалась в среде LTspice на моделях транзисторов АБМК_2.2.1 (АО «Интеграл», г.Минск [5-6]).



Рис. 2 Графическое изображение n-p-n и p-n-p транзисторов АБМК_2.2.1

На рис. 3 показана схема токового порогового логического элемента «Равнозначность» в среде LTspice.

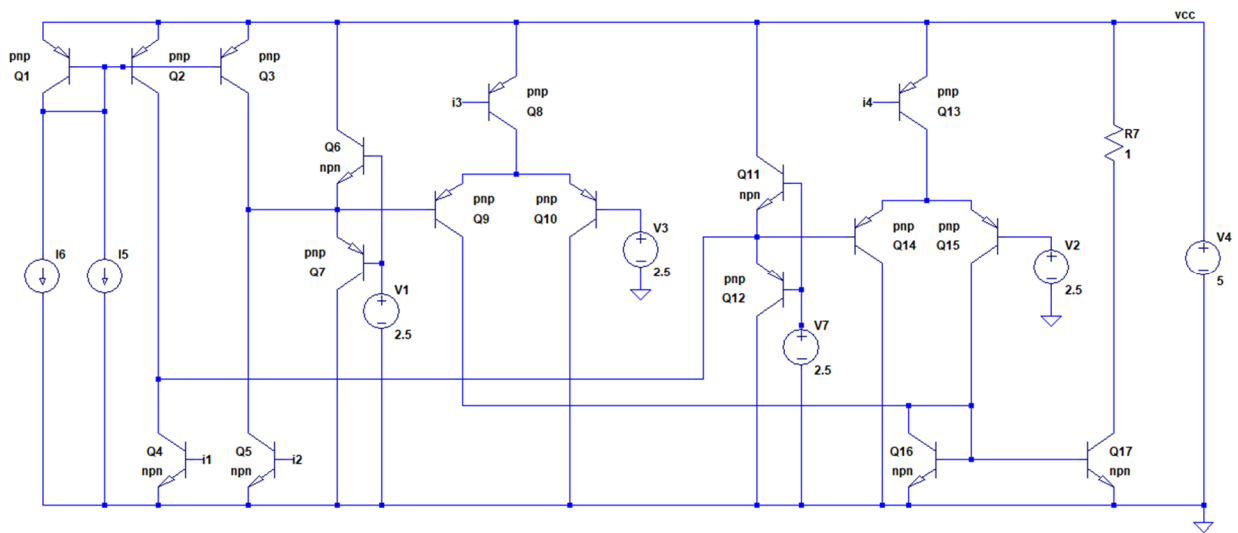


Рис. 3 Схема рис. 1 в среде LTspice на моделях транзисторов АБМК_2.2.1

4. Ожидаемые параметры и характеристики токового порогового логического элемента «Равнозначность»

На рис.4 приведены осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «Равнозначность» (рис. 1).

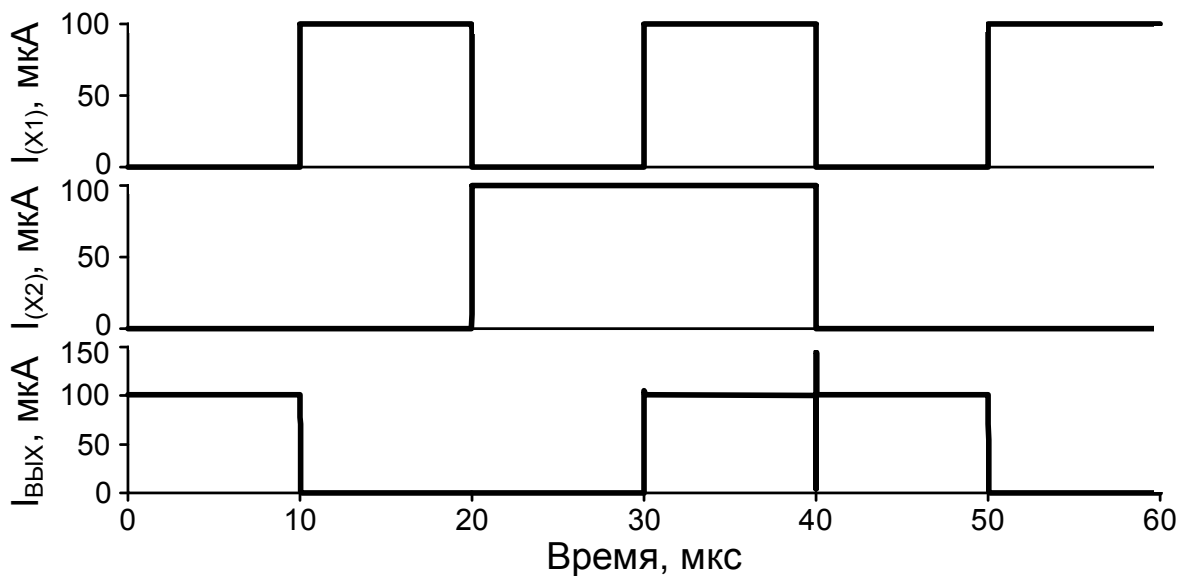


Рис. 4. Осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «Равнозначность»

5. Параметры оптимизации

Оптимизации подлежат: значения токов дополнительных источников опорного тока $I_1 - I_4$, а также значения напряжений источников напряжения смещения ($E_{c1} - E_{c4}$) для корректирования режимов работы транзисторов первого (VT1 и VT2) и второго (VT5 и VT6) входных каскадов.

6. Netlist в Spice (рис.3)

```
1: D:\simulation\LTSpice\Scheme_198\8125.asc
2: V4 vcc 0 5
3: Q3 N014 N009 vcc 0 pnp
4: Q8 N011 i3 vcc 0 pnp
5: Q5 N014 i2 0 0 npn
6: Q6 vcc N010 N014 0 npn
7: Q7 0 N010 N014 0 pnp
8: V1 N010 0 2.5
9: V2 N017 0 2.5
10: Q10 0 N015 N011 0 pnp
11: Q9 N018 N014 N011 0 pnp
12: Q4 N016 i1 0 0 npn
13: Q11 vcc N012 N016 0 npn
14: Q12 0 N012 N016 0 pnp
15: V3 N015 0 2.5
16: Q22 i3 i3 N003 0 pnp
17: Q23 N007 i3 N003 0 pnp
18: I1 i3 0 96μ
19: R2 N007 0 1
20: V8 N003 0 5
21: Q15 N018 N017 N013 0 pnp
22: Q14 0 N016 N013 0 pnp
23: Q13 N013 i4 vcc 0 pnp
24: Q17 N019 N018 0 0 npn
25: Q16 N018 N018 0 0 npn
26: V7 N012 0 2.5
27: I4 0 0 PULSE(0 100u 20u 1n 1n 20u 40u 4)
28: Q24 i4 i4 N004 0 pnp
29: Q25 N008 i4 N004 0 pnp
30: I2 i4 0 98μ
31: R1 N008 0 1
32: V5 N004 0 5
33: I6 N009 0 PULSE(0 100u 10u 1n 1n 10u 20u 0)
34: Q1 N009 N009 vcc 0 pnp
35: Q2 N016 N009 vcc 0 pnp
36: R7 vcc N019 1
37: Q19 N005 i1 0 0 npn
38: Q18 i1 i1 0 0 npn
39: I8 N001 i1 150μ
40: R5 N001 N005 1
41: V10 N001 0 5
42: Q21 N006 i2 0 0 npn
```

```

43: Q20 i2 i2 0 0 npn
44: I3 N002 i2 70µ
45: R3 N002 N006 1
46: V6 N002 0 5
47: I5 N009 0 PULSE(0 100u 20u 1n 1n 20u 40u 0)
48: .model NPN NPN
49: .model PNP PNP
50: .lib C:\Users\Elija\OneDrive\Documents\LTspiceXVII\lib\cmp\standard.bjt
51: .op
52: .param LT=25
53: .temp={LT}
54: .ac dec 100 1 100Meg
55: .tran 0 1m 0 1u
56: .step param LT -197 27 2
57: .step param Dg 1 1Meg 300
58: .step dec param fn 1e12 1e18 1e2
59: .param fn=1
60: .param Dg=1
61: .param V1=1.8
62: .lib C:\LT\ABMK-2.2-1.lib
63: .param weight=250
64: .param JNV={weight/260}
65: .param JPV={weight/50}
66: .param I1=1u
67: .step param V1 -5 5 50m
68: .step param I1 1u 1m 10u
69: .param fit=1
70: .tran 0 100u 0 0.1u
71: .backanno
72: .end

```

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 18-37-00061.

При этом использовались компьютерные модели транзисторов, разработанных Дворниковым Олегом Владимировичем (г.Минск, МНИПИ, oleg_dvornikov@tut.by).

Список литературы

1. Поспелов Д. А. Логические методы анализа и синтеза схем. Изд. 3-е, перераб. и доп., М., «Энергия», 1974, 368 с.
2. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Basic Concept of Linear Synthesis of Multi-Valued Digital Structures in Linear Spaces. Proceeding of IEEE

East-West Design & Test Symposium (EWDTS'2013). Rostov-on-Don, Russia, September 27-30, 2013. pp. 146-149. DOI: 10.1109/EWDTS.2014.7027045

3. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Schematic Design of Digital IC at the Base of Linear Algebra. ICSES 2014 International Conference on Signals and Electronic Systems, September 11-13, 2014, Poznan, POLAND. DOI: 10.1109/ICSES.2014.6948728.

4. Токовый пороговый логический элемент «Равнозначность»: заявка на патент РФ; МПК: H03K 19/21, H03K19/082 / Н.В. Бутырлагин, Н.И. Чернов, Н.Н. Прокопенко, В.Я. Югай, И.В. Пахомов – № 2018145988; Заявл. 25.12.2018

5. K.O. Petrosyants, M. Ismail-zade, O.V. Dvornikov et al. "Automation of parameter extraction procedure for Si JFET SPICE model in the– 200...+ 110° C temperature range", Moscow Workshop on Electronic and Networking Technologies, pp. 1-6, 2018.

6. O. V. Dvornikov, V. L. Dziatlau, N. N. Prokopenko, K. O. Petrosiants, N. V. Kozhukhov and V. A. Tchekhovski, "The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the BiJFET analog interfaces of the sensors," 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, Kazakhstan, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507