

Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)

Библиотека схемотехнических решений

Токовый пороговый логический элемент «Неравнозначность»:
Модификация ТПН-2

Бутырлагин Н.В., nbutyrlagin@mail.ru,
Чернов Н.И., chernovni@yandex.ru
Бугакова А.В., annabugakova.1992@mail.ru
Коваль Н.С., koval-nc@mail.ru

Научно-исследовательская лаборатория проблем проектирования в экстремальной микроэлектронике ИППМ РАН и Донского государственного технического университета (г. Ростов-на-Дону)

1. Области применения токового порогового логического элемента
«Неравнозначность»

Построение компонентов цифровых управляющих и вычислительных систем, например, роботов и беспилотных летательных аппаратов, базируется на использовании логических элементов «Неравнозначность» [1]. Применение линейной алгебры в качестве математического аппарата логического синтеза цифровых структур [2] позволяет получить логическую, а на ее основе – схемотехническую, реализацию линейных аналогов указанной логической функции [3]. Эти схемотехнические решения могут быть затем использованы для построения специализированных токовых логических IP-модулей и цифровых СФ-блоков на их основе.

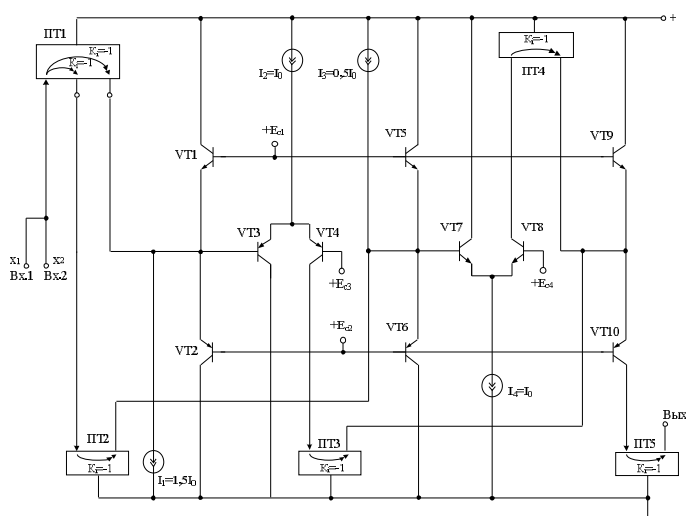


Рис. 1 Схема ViT токового порогового логического элемента «Неравнозначность»

Практическая реализация схемы рис. 1 может быть осуществлена при определенной доработке в рамках других различных технологий: TSMC (BiCMOS), SiGe (IHP, Германия), NHGRACE SoI (кремний на изоляторе), H10-CMOS090_LP (АО «Микрон», г. Зеленоград), 3КБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск), комплементарный биполярный техпроцесс (АО «НПП Пульсар», г. Москва) и др.

2. Описание схемы токового порогового логического элемента «Неравнозначность»

Схема токового порогового логического элемента «Неравнозначность» рис.1 [4] включает:

- входы (Вх.1 и Вх.2) и выход (Вых.) устройства,
- входные транзисторы (VT1- VT2, VT5- VT6, VT9- VT10),
- источники напряжения смещения (E_{c1} - E_{c4}),
- источники опорного тока (I_1 - I_4),
- токовые зеркала (ПТ1-ПТ5),
- дифференциальные каскады (VT3-VT4, VT7-VT8).

Функция «Неравнозначность» на основе пороговых функций может быть описана следующим выражением:

$$y = ((x_1 + x_2) > 0) - (x_1 + x_2 > 1). \quad (1)$$

Для схемотехнической реализации (рис. 1) вычисляем сумму значений аргументов и с помощью компараторов (ДК) сравниваем со значениями $0,5I_0$, $1,5I_0$ т.е. реализуем операции $\text{sign}((x_1 + x_2) > 0,5I_0)$ и $\text{sign}((x_1 + x_2) > 1,5I_0)$, а затем производим вычитание выходных токов ДК. Корректировка порога на $0,5I_0$ обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах $0,5$ кванта тока I_0 . Токовые зеркала ПТ1 и ПТ2 формируют два сигнала суммы аргументов с разным направлением токов для упрощения схемы вычисления разности в выходном сигнале. Для этой же цели использованы ДК с различным типами транзисторов.

Таблица истинности функции «Неравнозначность»:

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	0

Входные переменные « x_1 » и « x_2 » суммируются и в виде втекающего тока поступают на вход токового зеркала ПТ1. Выходной сигнал с первого токового зеркала ПТ1 подается на вход токового зеркала ПТ2 и преобразуется в равный

ему втекающий ток, а затем передаётся на объединённые эмиттеры транзисторов VT5 и VT6, а также на базу транзистора VT7, где вычитается из втекающего тока источника опорного тока I_3 . Режимы работы транзисторов VT5 и VT6 задаются значениями напряжений источников напряжения смещения E_{c1} и E_{c2} . Транзисторы VT7 и VT8 образуют дифференциальный каскад (ДК). Переключение коллекторных токов этих транзисторов определяется сигналом, поступающим на базу транзистора VT7. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной (x_1+x_2) с пороговым уровнем $0,5I_0$.

Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах $0,5$ кванта тока I_0 . При положительной разности сигналов $(x_1+x_2)-0,5$ ток источника опорного тока I_4 через коллектор транзистора VT8 в виде кванта тока подается на вход токового зеркала ПТ4. Выходной сигнал с выхода токового зеркала ПТ4 подается на объединённые эмиттеры транзисторов VT9 и VT10. Режимы работы этих транзисторов задаются значениями напряжений источников напряжения смещения E_{c1} и E_{c2} . Выходной сигнал со второго выхода токового зеркала ПТ1 подается на объединённые эмиттеры транзисторов VT1 и VT2, а также на базу первого транзистора VT3, где вычитается втекающий ток источника опорного тока I_1 . Режимы работы транзисторов VT1 и VT2 задаются значениями напряжений источников напряжения смещения E_{c1} и E_{c2} . Транзисторы VT3 и VT4 образуют дифференциальный каскад (ДК). Переключение коллекторных токов этих транзисторов определяется сигналом, поступающим на базу транзистора VT3. ДК в данном случае выполняет функции порогового элемента, выполняя сравнение переменной (x_1+x_2) с пороговым уровнем $1,5I_0$. Выбор такого порогового уровня обеспечивает независимость результатов преобразования сигналов от погрешностей преобразования в пределах $0,5$ кванта тока I_0 . При положительной разности сигналов $(x_1+x_2)-1,5$ ток источника опорного тока I_2 через коллектор транзистора VT4 в виде кванта тока подается на токовое зеркало ПТ3. Далее сигнал преобразуется в равный ему втекающий ток и вычитается из выходного тока токового зеркала ПТ4, а через коллектор транзистора VT10 полученная разность передаётся на вход токового зеркала ПТ5, где преобразуется в равный ему втекающий ток и передаётся на выход устройства.

3. Компьютерное моделирование токового порогового логического элемента «Неравнозначность»

В частном случае схема токового порогового логического элемента «Неравнозначность» рис. 1 исследовалась в среде LTspice на моделях транзисторов АБМК_2.2.1 (АО «Интеграл», г.Минск [5-6]).

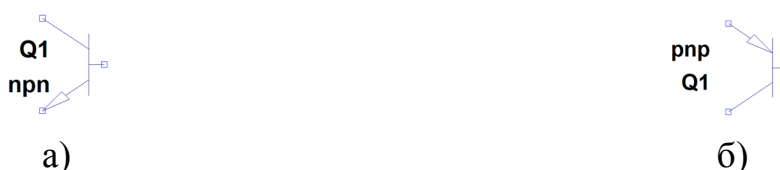


Рис. 2 Графическое изображение n-p-n и p-n-p транзисторов АБМК_2.2.1

На рис. 3 показана схема токового порогового логического элемента «Неравнозначность» в среде LTspice.

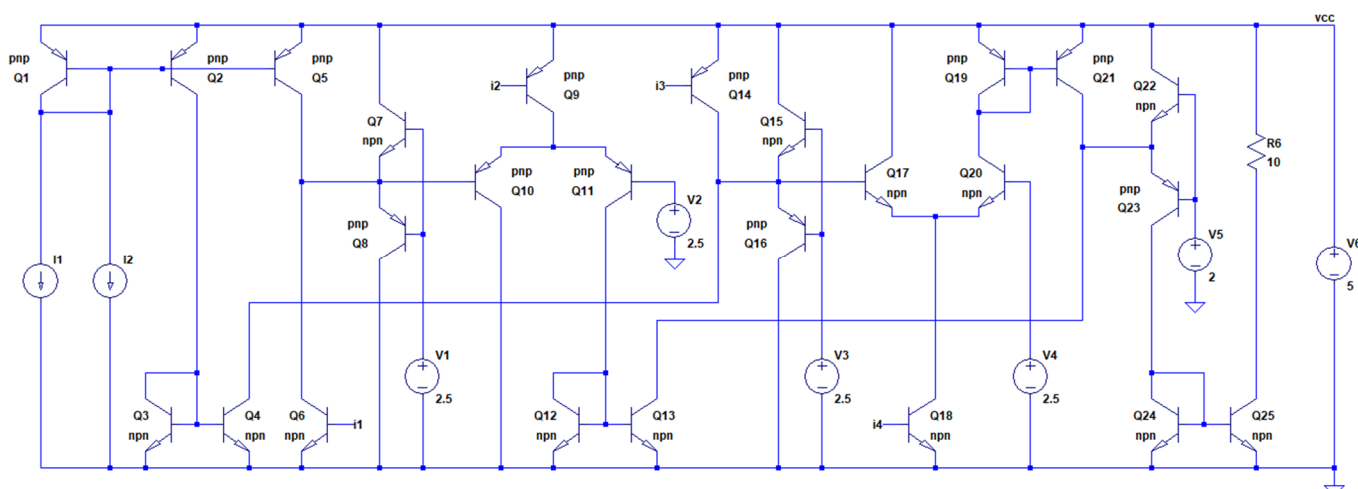


Рис. 3 Схема рис. 1 в среде LTspice на моделях транзисторов АБМК_2.2.1

4. Ожидаемые параметры и характеристики токового порогового логического элемента «Неравнозначность»

На рис.4 приведены осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «Неравнозначность» (рис. 1).

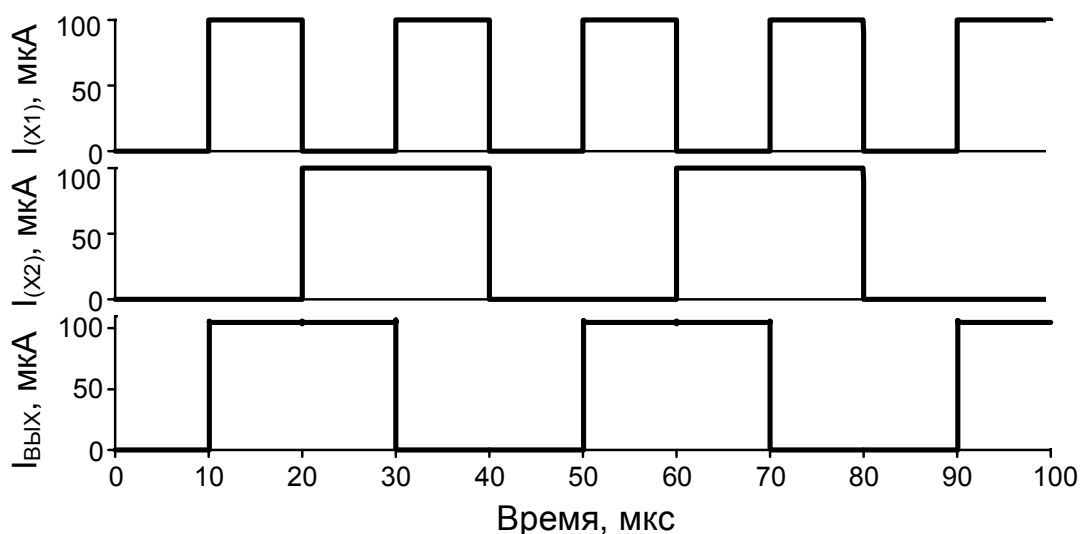


Рис. 4. Осциллограммы входных и выходных сигналов схемы токового порогового логического элемента «Неравнозначность»

5. Параметры оптимизации

Оптимизации подлежат: значения токов дополнительных источников опорного тока $I_1 - I_4$, а также значения напряжений источников напряжения смещения ($E_{c1} - E_{c4}$) для корректирования режимов работы входных транзисторов и ДК.

6. Netlist в Spice (рис.3)

```
1: D:\simulation\LTSpice\Scheme_199\8125.asc
2: V6 vcc 0 5
3: Q17 N017 i3 vcc 0 pnp
4: Q12 N013 i2 vcc 0 pnp
5: Q9 N015 i1 0 0 npn
6: Q4 N010 N019 N020 0 npn
7: Q5 N022 N019 N020 0 pnp
8: V1 N019 0 2.5
9: V5 N018 0 2.5
10: Q14 N023 N016 N013 0 pnp
11: Q13 0 N015 N013 0 pnp
12: Q10 vcc N011 N015 0 npn
13: Q11 0 N011 N015 0 pnp
14: V3 N016 0 2.5
15: Q29 i3 i3 N003 0 pnp
16: Q30 N007 i3 N003 0 pnp
17: I5 i3 0 70μ
18: R4 N007 0 1
19: V9 N003 0 5
20: Q24 0 N018 N014 0 pnp
21: Q21 N024 N017 N014 0 pnp
22: Q22 N014 i4 vcc 0 pnp
23: V2 N011 0 2.5
24: I7 0 0 PULSE(0 100u 20u 1n 1n 20u 40u 4)
25: Q31 i4 i4 N004 0 pnp
26: Q32 N008 i4 N004 0 pnp
27: I6 i4 0 95μ
28: R5 N008 0 1
29: V10 N004 0 5
30: I1 N009 0 PULSE(0 100u 10u 1n 1n 10u 20u 0)
31: Q1 N009 N009 vcc 0 pnp
32: Q2 N020 N009 vcc 0 pnp
33: Q26 N005 i1 0 0 npn
34: Q25 i1 i1 0 0 npn
35: I3 N001 i1 50μ
36: R2 N001 N005 1
37: V7 N001 0 5
38: I2 N020 0 PULSE(0 100u 20u 1n 1n 20u 40u 0)
39: Q3 N010 N010 vcc 0 pnp
40: Q7 N015 N010 vcc 0 pnp
41: Q8 N017 N022 0 0 npn
42: Q6 N022 N022 0 0 npn
```

```
43: Q16 N021 N023 0 0 npn
44: Q15 N023 N023 0 0 npn
45: Q23 N021 N024 0 0 npn
46: Q20 N024 N024 0 0 npn
47: Q18 vcc N012 N017 0 npn
48: Q19 0 N012 N017 0 pnp
49: V4 N012 0 2.5
50: R1 vcc N021 1
51: Q27 i2 i2 N002 0 pnp
52: Q28 N006 i2 N002 0 pnp
53: I4 i2 0 98μ
54: R3 N006 0 1
55: V8 N002 0 5
56: .model NPN NPN
57: .model PNP PNP
58: .lib C:\Users\Elija\OneDrive\Documents\LTspiceXVII\lib\cmp\standard.bjt
59: .op
60: .param LT=25
61: .temp={LT}
62: .ac dec 100 1 100Meg
63: .tran 0 1m 0 1u
64: .step param LT -197 27 2
65: .step param Dg 1 1Meg 300
66: .step dec param fn 1e12 1e18 1e2
67: .param fn=1
68: .param Dg=1
69: .param V1=1.8
70: .lib C:\LT\ABMK-2.2-1.lib
71: .param weight=250
72: .param JNV={weight/260}
73: .param JPV={weight/50}
74: .param I1=1u
75: .step param V1 -5 5 50m
76: .step param I1 1u 1m 10u
77: .param fit=1
78: .tran 0 100u 0 0.1u
79: .backanno
80: .end
```

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 18-37-00061.

При этом использовались компьютерные модели транзисторов, разработанных Дворниковым Олегом Владимировичем (г.Минск, МНИПИ, oleg_dvornikov@tut.by).

Список литературы

1. Поспелов Д. А. Логические методы анализа и синтеза схем. Изд. 3-е, перераб. и доп., М., «Энергия», 1974, 368 с.
2. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Basic Concept of Linear Synthesis of Multi-Valued Digital Structures in Linear Spaces. Proceeding of IEEE East-West Design & Test Symposium (EWDTS'2013). Rostov-on-Don, Russia, September 27-30, 2013. pp. 146-149. DOI: 10.1109/EWDTS.2014.7027045
3. Prokopenko N.N., Chernov N.I., Yugai V.Ya. Schematic Design of Digital IC at the Base of Linear Algebra. ICSES 2014 International Conference on Signals and Electronic Systems, September 11-13, 2014, Poznan, POLAND. DOI: 10.1109/ICSES.2014.6948728.
4. Токовый пороговый логический элемент «Неравнозначность»: заявка на патент РФ; МПК: H03K 19/21, H03K19/082 / Н.В. Бутырлагин, Н.И. Чернов, Н.Н. Прокопенко, В.Я. Югай – № 2018146804; Заявл. 27.12.2018.
5. K.O. Petrosyants, M. Ismail-zade, O.V. Dvornikov et al. "Automation of parameter extraction procedure for Si JFET SPICE model in the– 200...+ 110° C temperature range", Moscow Workshop on Electronic and Networking Technologies, pp. 1-6, 2018.
6. O. V. Dvornikov, V. L. Dziatlau, N. N. Prokopenko, K. O. Petrosiants, N. V. Kozhukhov and V. A. Tchekhovski, "The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the BiJFET analog interfaces of the sensors," 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, Kazakhstan, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507