

Интегрирующая емкость коррекции $C_{к1}$ обеспечивает заданный запас устойчивости ОУ по фазе. Дифференцирующий конденсатор $C_{к2}$ повышает быстродействие ОУ в режиме большого сигнала при работе входных транзисторов в режиме микротоков и практически не влияет на малосигнальную частоту единичного усиления ОУ (f_1).

Статический режим ОУ рис. 1 устанавливается источниками тока I_1 и I_2 , которые могут изменяться в широких пределах (единицы микроампер – единицы миллиампер). Это существенно влияет на максимальную скорость нарастания выходного напряжения ОУ (SR), которая достигает наибольших значений в сильноточном режиме VT1-VT4. При миллиамперных токах (1-5 мА) VT1-VT4 эффективность применения цепи коррекции $C_{к2}$ уменьшается.

Разомкнутый коэффициент усиления по напряжению ОУ рис. 1 определяется эквивалентным сопротивлением в высокоимпедансном узле $\Sigma 1$ и существенно зависит от выходного сопротивления токовых зеркал ПТ1 и ПТ3. В качестве токовых зеркал ПТ1, ПТ2 могут применяться более 50 известных схемотехнических решений, что обеспечивает получение численных значений K_u в широком диапазоне (от 10 дБ до 120 дБ). Рациональный выбор токовых зеркал – один из важных этапов проектирования и оптимизации схемы ОУ.

Цепь смещения потенциалов E_0 обеспечивает работу токовых зеркал ПТ2 и ПТ3 при одинаковых статических напряжениях на их выходе, что уменьшает напряжение смещения нуля ОУ. Численное значение E_0 , как правило, близко к напряжению на шине положительного питания. В качестве E_0 могут применяться цепочки из p-n переходов, стабилитроны, а также специальные двухполюсники с низким дифференциальным сопротивлением. Во многих случаях применение E_0 не обязательно.

В качестве буферного усилителя (БУ) могут использоваться применяться более 30 вариантов схем, отличающихся друг от друга энергетическими и динамическими параметрами.

Таким образом, схема рис. 1 – это некоторая обобщенная схема ОУ, в рамках которой для основных технологических процессов можно реализовать десятки частных вариантов ОУ, отличающихся друг от друга схемотехникой БУ, ПТ1-ПТ3, статическим режимом VT1-VT2, и, как следствие, динамическими параметрами.

В этой связи компьютерное моделирование обобщенной структурной схемы рис. 1 с идеальными токовыми зеркалами, БУ и источниками тока I_1 , I_2 позволяет определить предельные параметры широкого класса практических вариантов построения ОУ с архитектурой рис. 1, к которым необходимо стремиться.

3. Компьютерное моделирование ОУ рис. 1

В частном случае схема ОУ рис. 1 исследовалась в среде Orcad 9.2 на моделях транзисторов tsmc_035_t65.

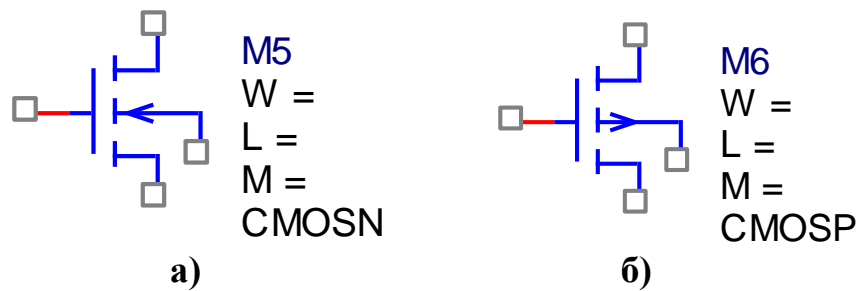


Рис. 2 Графическое изображение транзисторов tsmc_035_t65 с р- и п-каналами

На рис. 3 показана схема ОУ в среде Orcad.

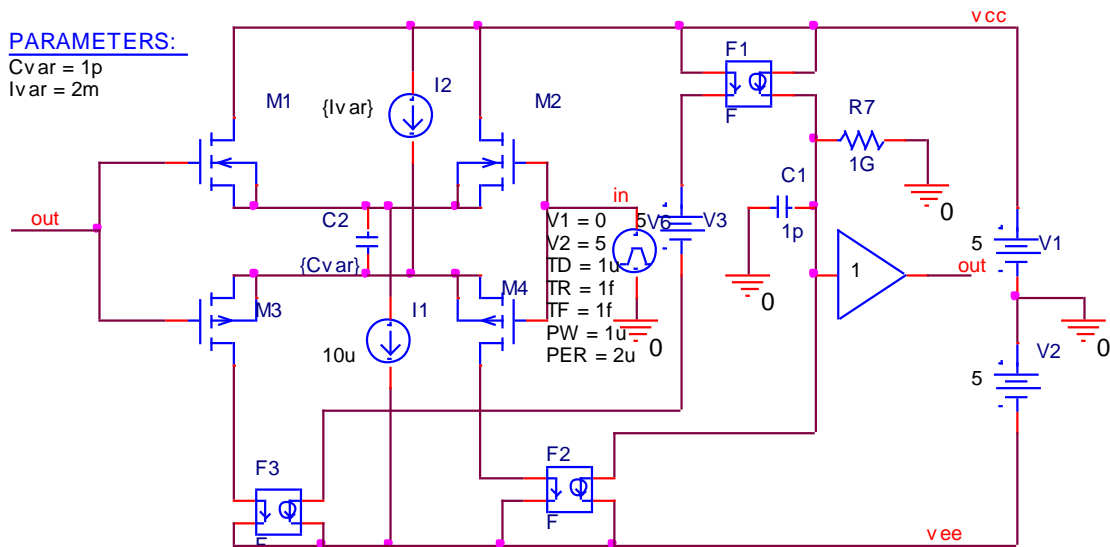


Рис. 3 ОУ рис. 1 в среде Orcad 9.2 на моделях транзисторов tsmc_035_t65

4. Ожидаемые параметры и характеристики ОУ

Компьютерное моделирование влияния $C_{к2}$ на переходные процессы в КМОП ОУ рис. 1 при работе его входного каскада (DIS) в микрорежиме ($I_1=I_2=10$ мкА, $C_{к1}=1$ пФ) иллюстрируют графики рис. 4.

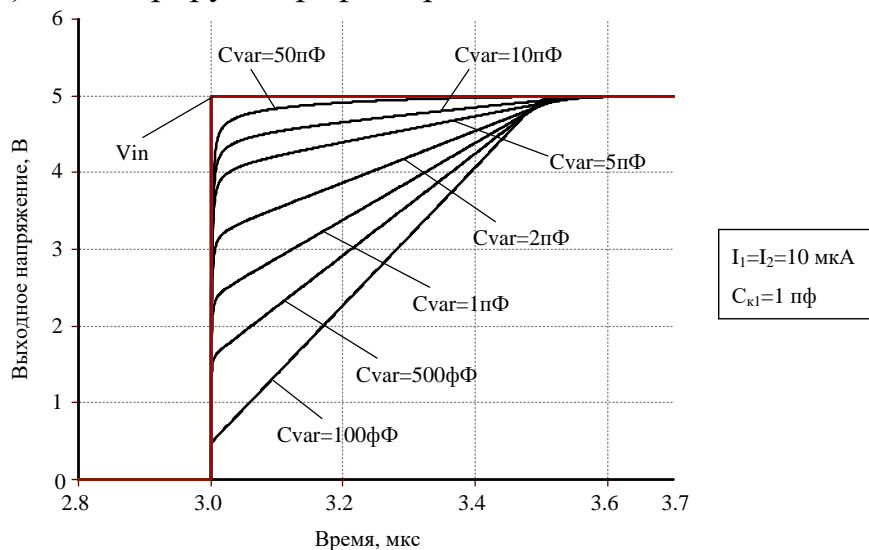


Рис. 4 Переходные процессы КМОП ОУ рис. 3: передний фронт

Зависимости максимальной скорости нарастания выходного напряжения (SR) от численных значений токов $I_1=I_2=1\div 10\text{мкА}=\text{var}$ при $C_{к1}=400\text{фФ}$ и разных значениях $C_{к2}$, полученные из графиков рис. 4, представлены в табл. 1.

Табл. 1 Зависимость SR от токов $I_1=I_2=1\div 10\text{ мкА}$ при разных $C_{к2}=100\text{фФ}\div 50\text{пФ}$

№	$I_1=I_2=1\text{мкА}$	$I_1=I_2=10\text{мкА}$
$C_{к2}=100\text{фФ}$	0,89 В/мкс	8,94 В/мкс
$C_{к2}=50\text{пФ}$	97,5 В/мкс	307,69 В/мкс

Моделирование показало, что быстродействие рассматриваемого ОУ при отсутствии дифференцирующей цепи коррекции ($C_{к2}=0$) пропорционально статическим токам $I_1=I_2$. В то же время в микрорежиме VT1-VT4 скорость нарастания при $C_{к2}=0$ существенно уменьшается. Главная причина этого эффекта – уменьшение на один-два порядка напряжения ограничения (V_{lim}) драйвера емкости коррекции, включающего VT1-VT4, ПТ1-ПТ3, которая оказывает доминирующее влияние на SR, т.к. $SR \approx 2\pi f_1 V_{\text{lim}}$, где f_1 – малосигнальная частота единичного усиления скорректированного ОУ, V_{lim} – напряжение ограничения проходной характеристики драйвера емкости коррекции (ДСк).

Анализ табл. 1 и рис. 4 показывает, что $C_{к2}$ может существенно повысить быстродействие ОУ (10-40 раз). При этом переходный процесс (рис. 4) имеет два явно выраженных участка – «крутой» и «пологий». Если максимальную скорость нарастания ОУ рассчитывать по формуле, которая усредняет численные значения SR с двумя участками переходного процесса, то положительный эффект от применения $C_{к2}$ может быть найден из уравнения $SR \approx 0,9U_{\text{out}}/t_{\text{уст}}$, где $t_{\text{уст}}$ – время установления переходного процесса на уровне $0,9U_{\text{out}}$, U_{out} – установившееся значение выходного напряжения.

Если SR рассчитывать как максимальную производную выходного напряжения ОУ (не обращая внимания на "пологий" участок переходного процесса), то численные значения SR с $C_{к2}$ будут существенно выше.

Таким образом, компьютерное моделирование показывает, что при статических токах входных транзисторов КМОП ОУ рис.1 на уровне $1\div 10\text{ мкА}$ применение дифференцирующей цепи коррекции ($C_{к2}$) обеспечивает увеличение SR в 10-40 раз до уровня 307 В/мкс.

При этом, дифференцирующая цепь $C_{к2}$ оказывается неэффективной в сильноточных режимах входного каскада (DIS), т.к. в этом случае диапазон активной работы DIS составляет единицы вольт. Этого достаточно для получения высоких значений SR и без применения $C_{к2}$.

Компьютерное моделирование схемы ОУ рис. 1 при $C_{к1}=1\text{ пФ}$, эквивалентном сопротивлении высокоимпедансного узла $R_1=1\text{ ГОм}$, $I_1=I_2=2\text{мА}$ показывает, что предельный разомкнутый коэффициент усиления K_u равен 117дБ, а верхняя граничная частота (по уровню -3дБ) – 125,8Гц. В конкретных схемах данные параметры существенно зависят от свойств токовых зеркал ПТ1, ПТ3.

5. Параметры оптимизации

Практический интерес представляет определение оптимальных значений S_{k1} , S_{k2} и статических токов входного каскада $I_1=I_2$ при заданных ограничениях на максимальную скорость нарастания выходного напряжения ОУ, разомкнутый коэффициент усиления, запас устойчивости по фазе, энергопотребление, ослабление синфазных сигналов, геометрию транзисторов, схемотехнику токовых зеркал (более 50 модификаций) и буферного усилителя (более 30 модификаций) и т.п.

6. Netlist в Spice (рис.3)

```
1: source OP_AMP
2: X_F1 VCC N40498 VCC N02052 SCHEMATIC1_F1
3: X_F2 N49530 VEE N02052 VEE SCHEMATIC1_F2
4: R_R1 N02052 0 1G
5: M_M4 N49530 0 N00905 N00905 CMOSP
6: + L=0.35u
7: + W=10u
8: + M=1
9: V_V3 N40498 N39827 5
10:C_C2 N00905 N65144 {Ivar}
11:V_V1 VCC 0 5
12:C_C1 0 N02052 1p
13:V_V2 0 VEE 5
14:X_F3 N13638 VEE N39827 VEE SCHEMATIC1_F3
15:E_GAIN1 OUT 0 VALUE {1 * V(N02052)}
16:M_M1 VCC OUT N65144 N65144 CMOSN
17:+ L=0.35u
18:+ W=10u
19:+ M=1
20:M_M2 VCC 0 N65144 N65144 CMOSN
21:+ L=0.35u
22:+ W=10u
23:+ M=1
24:I_I2 VCC N00905 DC {Ivar}
25:I_I1 N65144 VEE DC 10u
26:M_M3 N13638 OUT N00905 N00905 CMOSP
27:+ L=0.35u
28:+ W=10u
29:+ M=1
30:.PARAM Cvar=1p Ivar1=500u Ivar=2m
31:.subckt SCHEMATIC1_F1 1 2 3 4
32:F_F1 3 4 VF_F1 1
```

```
33:VF_F1      1 2 0V
34:..ends SCHEMATIC1_F1
35:..subckt SCHEMATIC1_F2 1 2 3 4
36:F_F2       3 4 VF_F2 1
37:VF_F2      1 2 0V
38:..ends SCHEMATIC1_F2
39:..subckt SCHEMATIC1_F3 1 2 3 4
40:F_F3       3 4 VF_F3 1
41:VF_F3      1 2 0V
42:..ends SCHEMATIC1_F3
```