

**Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)**

Библиотека схемотехнических решений

Биполярно-полевой буферный усилитель для работы при низких температурах: модификация БУ-2

**Н.Н. Прокопенко, prokopenko@sssu.ru, Е.В. Овсепян, ovsepyan.elenka@bk.ru,
А.А. Жук, alexey.zhuk96@mail.ru, А.А. Игнашин, igan_96@mail.ru**

**Научно-исследовательская лаборатория проблем проектирования в
экстремальной микроэлектронике ИППМ РАН и Донского
государственного технического университета (г. Ростов-на-Дону)**

1. Области применения БУ-2

Предназначен для аналоговых и аналого-цифровых устройств систем связи, автоматики и приборостроения, в том числе, работающих в условиях низких температур и воздействия радиации[1].

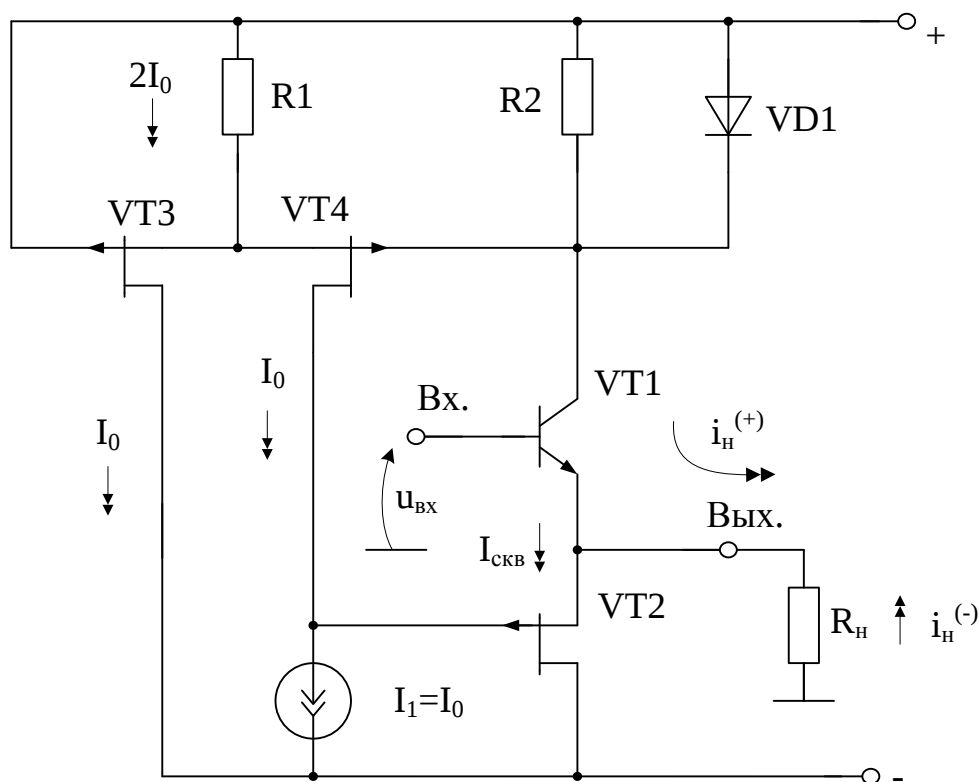


Рис. 1. BiJFet буферный усилитель

Практическая реализация схемы рис. 1 может быть осуществлена в рамках модифицированной технологии ЗКБТ (BiJFet-биполярно-полевой техпроцесс, АО «Интеграл», г. Минск).

2. Краткое описание схемы БУ рис. 1

Схема БУ рис.1 включает:

- входной биполярный транзистор VT1;
- выходной полевой транзистор VT2;
- дифференциальный каскад на полевых транзисторах (VT3, VT4) цепи отрицательной обратной связи;
- источник опорного тока I_1 , устанавливающий статический режим схемы БУ;
- резистор нагрузки R_H ;
- ограничитель напряжения на резисторе R2 (p-n переход VD1)

В статическом режиме при $R_H=R_{var}=\infty$ при $U_{вх}=0$ в схеме рис. 1 устанавливаются следующие токи

$$\begin{aligned} I_{u3}=I_{c3}=I_0, \\ I_{u4}=I_{c4}=I_0, \end{aligned} \quad (1)$$

где $I_{u3}=I_{c3}$, $I_{u4}=I_{c4}$ – токи истока и стока VT3 и VT4; I_0 – ток источника опорного тока I_1 .

Сквозной статический ток транзисторов VT1 и VT2, протекающий между шинами питания БУ, определяется формулой

$$I_{скв} \approx \frac{I_1}{R_2 g_{3-4}} = \frac{I_0}{R_2 g_{3-4}}, \quad (2)$$

где $g_{3-4} = \frac{S_3 S_4}{S_4 + S_3}$ – крутизна дифференциального каскада на полевых транзисторах VT3 и VT4, R_2 – сопротивление резистора R2, S_3 , S_4 – крутизны стоко-затворной характеристики полевых транзисторов VT3 и VT4.

Таким образом, в предлагаемом БУ сквозной ток $I_{скв}$ контролируется отрицательной обратной связью и может быть установлен на заданном уровне путем изменения тока источника опорного тока I_1 и сопротивлений R_1 и R_2 .

Если на вход БУ подается положительное входное напряжение $u_{вх}^{(+)}$, то в нагрузке R_H образуется выходной ток $i_H^{(+)}$, а приращение выходного напряжения, определяется формулой

$$u_{вых}^{(+)} = \frac{R_H}{R_H + r_{э1}} u_{вх}^{(+)} \approx u_{вх}^{(+)}, \quad (3)$$

где $r_{э1}$ – дифференциальное сопротивление эмиттерного перехода биполярного транзистора VT1.

Приращение тока $i_H^{(+)}$ передается в резистор R2. Как следствие, ток стока VT4 увеличивается, что приводит к запирающему повторителю напряжения на полевом транзисторе VT2. При больших изменениях $i_H^{(+)}$, наблюдается равенство $i_H^{(+)} \approx i_{d1}$, где i_{d1} – приращение тока через дополнительный прямосмещенный p-n переход VD1.

При отрицательном приращении входного напряжения БУ рис. 1 $u_{вх}^{(-)}$ ток ($i_H^{(-)}$) в нагрузке R_H обеспечивается повторителем напряжения, который реализован на полевом транзисторе VT2. При этом ток через R2 уменьшается, что приводит к уменьшению тока стока VT4. В результате отрицательное приращение тока $i_H^{(-)}$ в

нагрузке R_n обеспечивается повторителем напряжения по истоковой цепи полевого транзистора VT2. При этом за счет общей отрицательной обратной связи, петля, которой включает VT4, VT2 и VT1, во всем диапазоне изменения отрицательного входного напряжения эмиттерный ток биполярного транзистора VT1 практически не изменяется: $I_{э1} \approx \text{const}$. Как следствие, отрицательное приращение входного напряжения $u_{вх}^{(-)}$ практически с единичным коэффициентом передачи поступает на выход БУ.

При больших токах нагрузки положительной полярности $i_n^{(+)}$ дополнительный прямосмещённый p-n переход VD1 ограничивает диапазон изменения напряжения на резистор R2 на уровне 0,7–0,8 В.

3. Компьютерное моделирование БУ рис. 1

Схема БУ исследовалась в средах LTSpice при температуре -197°C и Orcad 9.2 на моделях библиотеки базового матричного кристалла и АБМК_1.4_rad.(ОАО «ИНТЕГРАЛ», г.Минск)



Рис. 2 Графическое изображение n-p-n транзисторов АБМК_1.4_rad с (а) и полевых транзисторов (б)

На рис. 3 показана схема БУ рис.1 в среде Orcad. При моделировании источник напряжения смещения ($V_4 \approx 0,7\text{В}$) позволяет получить выходное напряжение $U_{\text{вых}} = 0$ при $U_{\text{вх}} = V_3 = 0$.

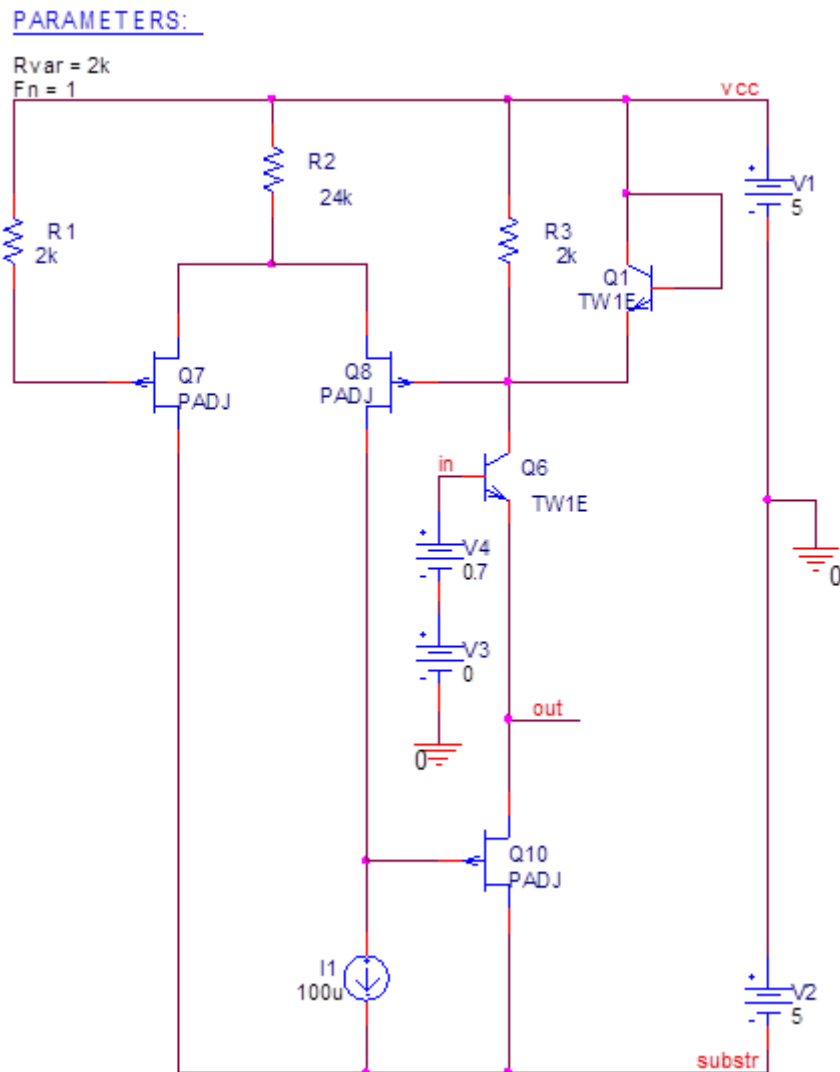


Рис. 3 БУ рис. 1 в среде Orcad 9.2 на моделях транзисторов АБМК_1.4_rad

4. Ожидаемые параметры и характеристики БУ рис. 3

Компьютерное моделирование БУ рис.3 иллюстрируют графики рис.4 - рис.5, где представлена амплитудная характеристика БУ при токе $I_1 = 10 \text{ мкА}/100 \text{ мкА}$ и разных сопротивлениях нагрузки $R_n = 0,5 \text{ кОм}/2 \text{ кОм}/10 \text{ кОм}/100 \text{ кОм}$ (модели транзисторов PADJ - сильноточные).

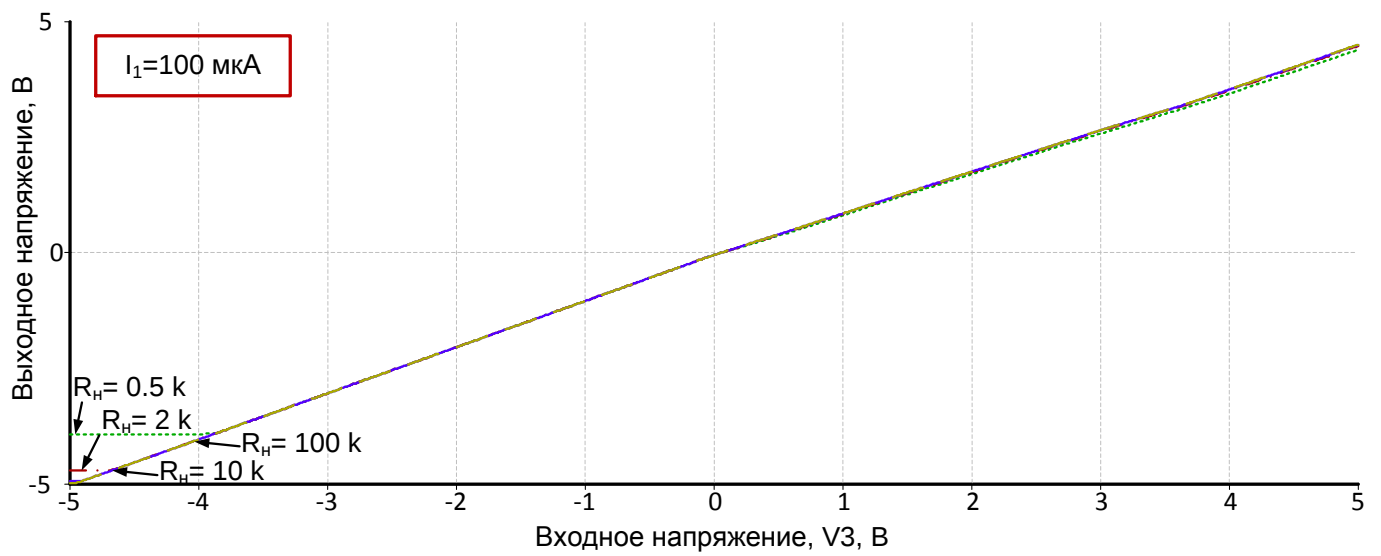


Рис. 4 – Амплитудная характеристика BiJFet БУ рис. 3 при $I_1 = 100 \mu\text{A}$ и напряжении смещения $V_4 = 0,7\text{В}$

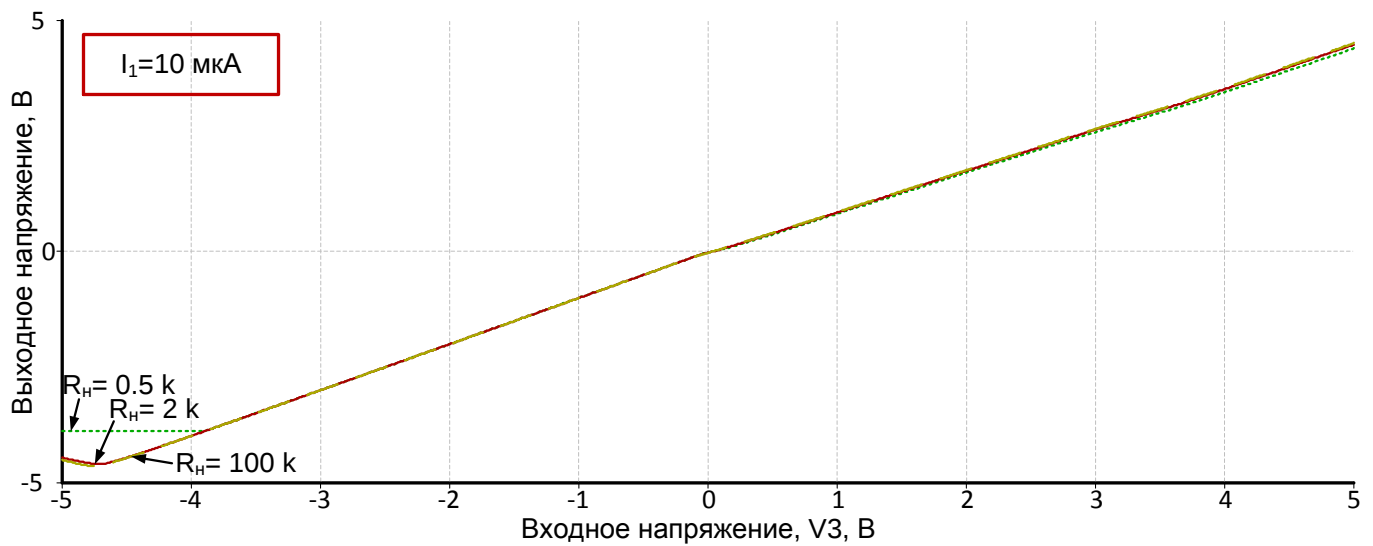


Рис. 5 – Амплитудная характеристика BiJFet БУ рис. 3 при $I_1 = 10 \mu\text{A}$ и напряжении смещения $V_4 = 0,7\text{В}$

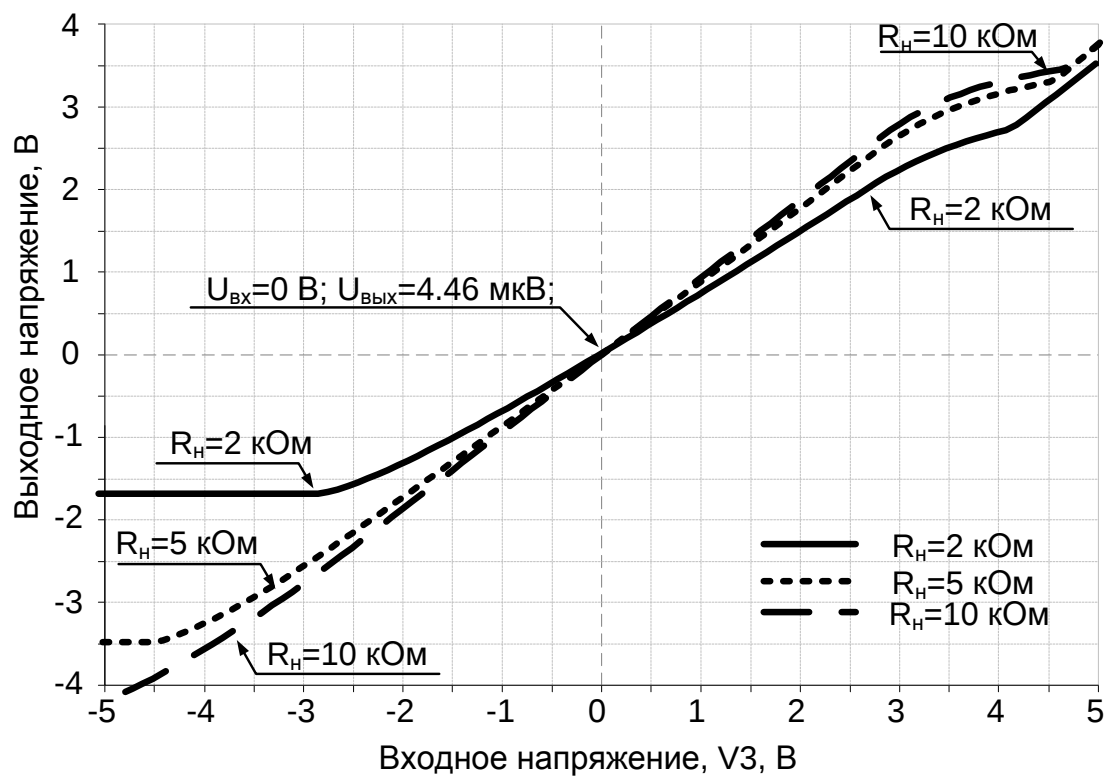


Рис. 6 – Амплитудная характеристика BiJFet БУ рис. 3 в среде LTSpice при температуре -197°C , разных R_H и $V_4 = 0,7\text{В}$

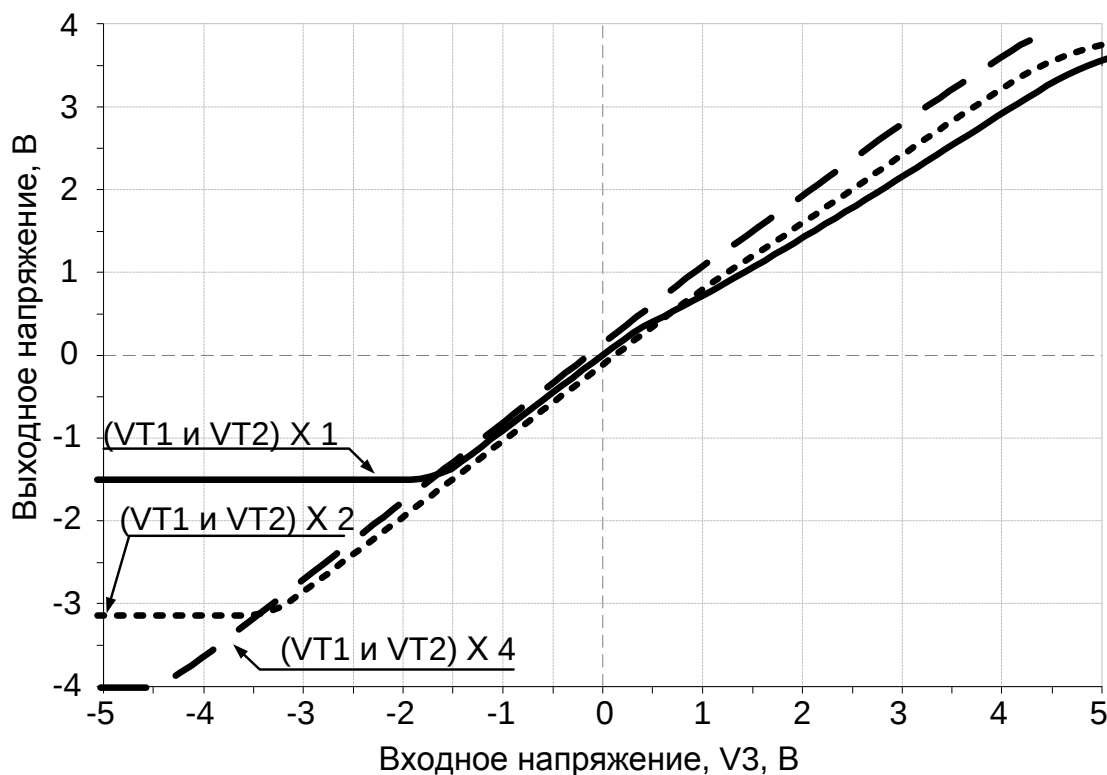


Рис. 7 – Амплитудная характеристика BiJFet БУ рис. 3 в среде LTSpice при температуре -197°C , $R_H = 2 \text{ кОм}$, $V_4 = 0,7\text{В}$ и разным количеством параллельно включенных транзисторов $VT1$ и $VT2$

Компьютерное моделирование (рис. 4, рис.5) показывают, что БУ работоспособен при $t = -197^{\circ}\text{C}$ и малом энергопотреблении в статическом режиме.

Таким образом, буферный усилитель рис. 1, схемотехника которого адаптирована на применение в диапазоне низких температур и воздействия проникающей радиации [1], имеет существенные преимущества в сравнении с известными вариантами построения БУ при их реализации в рамках BiJFet технологического процесса.

5. Параметры оптимизации БУ рис.1

Практический интерес представляет определение оптимальных значений сопротивлений нагрузки R_n , статического тока I_1 при заданных ограничениях на энергопотребление, диапазон изменения выходного напряжения, геометрию полевых транзисторов, схемотехнику источника опорного тока I_1 и т.п.

6. Netlist в среде Orcad (рис.3)

```
1: source P7959
2: X_Q7      N00994 N01148 SUBSTR substr PADJ
3: X_Q8      N00994 N00972 N03459 substr PADJ
4: R_R1      N01148 VCC 2k
5: V_V1      VCC 0 5
6: X_Q1      VCC VCC N00972 substr TW1E
7: R_R2      N00994 VCC 24k
8: V_V2      0 SUBSTR 5
9: R_R3      N00972 VCC 2k
10:I_I1      N03459 SUBSTR DC 100u
11:R_R4      0 OUT {Rvar}
12:X_Q10     OUT N03459 SUBSTR substr PADJ
13:X_Q6      0 N00972 OUT substr TW1E
14:.PARAM Rvar=2k Fn=1
```

Разработка выполнена в рамках гранта Российского научного фонда (проект 16-19-00122)

Компьютерное моделирование осуществлялось на моделях транзисторов, разработанных д.т.н. Дворниковым Олегом Владимировичем (Минский научно-исследовательский приборостроительный институт, e-mail: oleg_dvornikov@tut.by)

Список литературы:

1. O. V. Dvornikov, V. L. Dziaulau, N. N. Prokopenko, K. O. Petrosiants, N. V. Kozhukhov and V. A. Tchekhovski, "The accounting of the simultaneous exposure of the low temperatures and the penetrating radiation at the circuit simulation of the

BiJFET analog interfaces of the sensors," 2017 International Siberian Conference on Control and Communications (SIBCON), Astana, Kazakhstan, 2017, pp. 1-6. DOI: 10.1109/SIBCON.2017.7998507