

**Эннс Виктор Иванович**

**Методы и средства разработки специализированных  
гетерогенных конфигурируемых интегральных схем  
для вычислительной техники и систем управления**

Специальность: 05.13.05 - элементы и устройства вычислительной  
техники и систем управления

Специальность: 05.13.12 - системы автоматизации проектирования  
(технические науки)

Автореферат  
диссертации на соискание ученой степени  
доктора технических наук

Москва – 2022

Работа выполнена в Акционерном Обществе «Научно-исследовательский институт молекулярной электроники»

Официальные оппоненты:

Белоус Анатолий Иванович, член-корреспондент НАН Беларуси, д.т.н., проф., заместитель генерального директора по научно-техническим программам и научной работе, ОАО «Интеграл» - управляющая компания холдинга «Интеграл»

Крупкина Татьяна Юрьевна, д.т.н., проф., профессор кафедры интегральной электроники и микросистем, Национальный исследовательский университет МИЭТ

Беляев Андрей Александрович, д.т.н., начальник лаборатории отдела проектирования систем на кристалле, АО «НПЦ «Электронные вычислительно-информационные системы»

Ведущая организация: АО «Информационные спутниковые системы» имени академика М.Ф. Решетнева»

Защита состоится 23 июня 2022 года в 11 часов на заседании диссертационного совета Д 002.078.01, созданного на базе ФГБУН Института проблем проектирования в микроэлектронике Российской академии наук (ИППМ РАН) по адресу: 124365, Российская Федерация, г. Москва, Зеленоград, Советская ул., д.3.

С диссертацией можно ознакомиться в библиотеке ИППМ РАН и на сайте: <http://www.ippm.ru/data/dissrt/Enns/text.pdf>

Отзыв на автореферат в 2 экз., заверенный гербовой печатью организации и оформленный согласно «Положению о порядке присуждения ученых степеней» (п. 28), просим направлять в ИППМ РАН по адресу: 124365, г. Москва, Зеленоград, ул. Советская, д. 3.

Автореферат разослан «\_\_» \_\_\_\_\_ 2022 г.

Ученый секретарь  
диссертационного совета Д 002.078.01,  
кандидат технических наук

Г.А. Иванова

## **ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ**

Диссертационная работа посвящена развитию методов и средств создания конфигурируемых интегральных схем, являющихся ключевыми элементами вычислительной техники и систем управления. В работе исследуются методы разработки и применения микроэлектронных схем нового типа - так называемых гетерогенных конфигурируемых интегральных схем, ориентированных на повышение эффективности за счет специализации и объединяющих в себе традиционно разделяемые стили проектирования: от полностью заказного, полузаказного до программируемых схем.

Решения, предложенные в работе, позволят добиться нового качества разработки и массового применения конфигурируемых схем, улучшения их технических характеристик и снижения времени на разработку радиоэлектронной аппаратуры, что приведёт к повышению уровня безопасности государства за счет опережающего развития отечественной радиоэлектронной техники во многих отраслях промышленности.

### **Актуальность темы.**

Разработчикам отечественной аппаратуры в современных условиях необходима широкая номенклатура интегральных схем при небольших объемах их потребления. Задача создания полной номенклатуры электронной компонентной базы в РФ трудновыполнима из-за ограниченности выделяемых на это средств. Решение проблемы заключается в массовом применении программируемых и полузаказных интегральных схем, которые за счет конфигурирования могут заменить большое количество универсальных и заказных микросхем. На это указывают результаты экспертизы правильности применения импортной электронной компонентной базы (ЭКБ) в проектах ГК «Роскосмос», в рамках которой систематизирована номенклатура потребляемых микросхем.

Конфигурирование интегральных схем предполагает наличие специальных коммутационных ресурсов и унифицированных блоков логических и аналоговых элементов, что существенно снижает эффективность использования площади кристалла. Улучшения

эффективности можно достичь за счет гетерогенности, применяя в структуре конфигурируемых схем различные по функциональному назначению сложно-функциональные блоки (СФ блоки).

Дальнейшее повышение эффективности использования площади кристалла достигается интеграцией на одном кристалле не только заказных и программируемых блоков, но и полузаказных схем, то есть размещением на кристалле программируемой гетерогенной схемы блоков базовых матричных кристаллов. Симбиоз схем, использующих различные стили проектирования, делает необходимым создание математического аппарата, моделей, алгоритмов и методов исследования и разработки таких схем, а также поиск новых технических решений.

Характеристики отечественных конфигурируемых схем, их производительность и функциональность должны находиться на современном уровне крупных зарубежных компаний. Такая постановка задачи требует максимального учета специфики отечественной аппаратуры, в которой будут применяться конфигурируемые схемы, что неизбежно приводит к их специализации. Актуальность задачи подтверждается тем, что аналогичные подходы, ориентированные на повышение эффективности за счет специализации и гетерогенности, исследуются в работах Агентства перспективных научно-исследовательских проектов в области обороны при Министерстве обороны США - DARPA (Defense Advanced Research Project Agency): DARPA CRAFT, DARPA SDH и других, используются в программах Европейского космического агентства.

Актуальным является поиск и совершенствование схмотехнических, архитектурных и конструктивных решений создания надежных и радиационно-стойких конфигурируемых схем специального назначения.

**Объект исследования:** конфигурируемые гетерогенные интегральные схемы, включая программируемые логические и аналого-цифровые интегральные схемы и базовые матричные кристаллы (ПЛИС (программируемая логическая интегральная схема), ПАИС (программируемая аналоговая интегральная схема), ПАЦИС

(программируемая аналого-цифровая интегральная схема), БМК (базовый матричный кристалл), АЦ БМК (аналого-цифровой БМК)), выполненные по проектным нормам отечественных микроэлектронных предприятий, как база для реализации интегральных схем конечного применения для систем целевого назначения.

**Предмет исследования:** структура, архитектура и схемотехника специализированных гетерогенных конфигурируемых интегральных схем, методы их разработки и настройки на функционирование в соответствии с задачами заказчика.

### **Цель диссертационной работы.**

Целью работы является создание методов и средств разработки конфигурируемых интегральных схем нового типа – гетерогенных конфигурируемых интегральных схем, обладающих повышенной эффективностью использования площади кристалла и улучшенными характеристиками за счет специализации по областям применения и комбинации различных стилей проектирования, а именно: заказного, полузаказного - базовых матричных кристаллов и программируемых схем.

### **Задачи исследования.**

В диссертационной работе исследуются методы разработки и применения гетерогенных конфигурируемых интегральных схем, а также используемые в методах математические модели и метрики.

Ввиду специфики отечественного рынка наибольший интерес представляют конфигурируемые микросхемы с повышенной надежностью функционирования в условиях неблагоприятного воздействия, методы разработки которых изучаются в работе.

В работе решаются следующие **задачи**.

- 1) Исследование нового подхода к комплектованию специализированной аппаратуры на базе широкого применения гетерогенных конфигурируемых интегральных схем.
- 2) Создание маршрута разработки гетерогенных конфигурируемых цифровых и аналого-цифровых интегральных схем, который позволяет конструировать базовые кристаллы интегральных

схем с улучшенными техническими характеристиками для решения заданных целевых задач.

3) Разработка методов предварительного анализа схем заказчиков с целью создания структуры и архитектуры гетерогенных конфигурируемых интегральных схем с повышенной эффективностью использования трассировочных и иных ресурсов для конкретных классов применений.

4) Разработка метода программного прототипирования, позволяющего оценить эффективность реализации схем заказчиков в базовом кристалле до фактического изготовления интегральной схемы за счет оперативной настройки системы автоматизированного проектирования (САПР) на соответствующие изменения в конструкции, схемотехнике и топологии базового кристалла.

5) Исследование и разработка новых обобщенных математических моделей гетерогенных конфигурируемых интегральных схем, позволяющих формализовать решение задач для различных стилей проектирования конфигурируемых интегральных схем.

6) Создание методов разработки аналоговых и аналого-цифровых гетерогенных конфигурируемых интегральных схем на основе формализации описания аналоговых блоков.

7) Разработка новых схемотехнических решений, повышающих эффективность использования площади кристалла и функциональность базовых матричных кристаллов.

8) Создание методов разработки конфигурируемых интегральных схем с повышенной живучестью, радиационной стойкостью и надежностью функционирования в условиях неблагоприятных внешних воздействий.

9) Организация и проведение работ по разработке и выпуску готовых изделий для вычислительной техники и систем управления, спроектированных на основе предложенных методов.

### **Методы исследования.**

В диссертационной работе для решения поставленных задач используются методы разработки и анализа интегральных схем, методы булевой алгебры, аппарат теории множеств, теория графов.

## **Научная новизна.**

Научная новизна диссертационной работы заключается в теоретическом обобщении, исследовании и создании методов разработки гетерогенных конфигурируемых интегральных схем, ориентированных на целевого потребителя:

1) Предложен метод решения задачи комплектования специализированной аппаратуры электронной компонентной базой - проблемно-ориентированными и универсальными микросхемами, которые разрабатываются на основе гетерогенных конфигурируемых интегральных схем в отличие от традиционного подхода заказного стиля их проектирования.

2) Предложена методика проектирования гетерогенных конфигурируемых интегральных схем, в которой в отличие от известных алгоритмов разработанные в работе методы предварительного анализа схем заказчиков и методы программного прототипирования базовых кристаллов с целью достижения высокой эффективности использования трассировочных и иных ресурсов объединены в единый маршрут, учитывающий различные стили проектирования на одном кристалле (заказной, полузаказной и программируемой).

3) Разработана новая теоретико-множественная математическая модель проекта, формализующая различные стили проектирования гетерогенных конфигурируемых интегральных схем (заказной, полузаказной - базовых матричных кристаллов и программируемых схем) и подходы к решению разных задач разработки (от разработки гетерогенного базового кристалла с элементами программирования до создания конкретных зашивок схем заказчиков). Известный в области разработки микросхем иерархический подход к описанию списка соединений обобщен, расширен и формализован с применением аппарата теории множеств, математической логики и теории графов. На базе разработанной модели осуществлена формализация соответствий между элементами базового кристалла конфигурируемой гетерогенной интегральной схемы и проектируемыми схемами заказчиков,

функциональность которых требуется запрограммировать в базовом кристалле.

4) Предложен метод разработки аналоговых и аналого-цифровых гетерогенных конфигурируемых интегральных схем с использованием формализации описания аналоговых блоков. Известные подходы к анализу сложно-функциональных блоков и IP-ядер расширены введением понятий аналоговых ядер и их онтологий, лежащих в основе описаний на уровне макромоделей.

5) Разработана новая конструкция программируемого заказчиком логического элемента, построенного на ячейках базового матричного кристалла, которая в отличие от известного логического элемента типа LUT (look-up tables) оптимизирована для выполнения востребованных логических функций.

6) Предложен новый метод построения специализированных конфигурируемых интегральных схем, повышенная живучесть, надежность и радиационная стойкость которых достигается использованием приемлемых и мягких решений, что в отличие от существующих решений позволяет обеспечить функционирование интегральных схем в условиях неблагоприятных внешних воздействий, значения характеристик которых превышают нормы, установленные для штатной работы.

**На защиту выносятся** следующие положения и научные результаты:

1) Метод решения задачи комплектования специализированной аппаратуры электронной компонентной базой на основе гетерогенных конфигурируемых интегральных схем, которые используются как для создания проблемно-ориентированных микросхем, так и для формирования унифицированных рядов универсальных микросхем, что позволяет решить задачу создания минимально-необходимых комплектов ЭКБ для ключевых направлений специализированной аппаратуры не менее чем на 30%.

2) Новый маршрут разработки гетерогенных конфигурируемых интегральных схем, использующих различные стили проектирования на одном кристалле, в рамках которого на основе предложенных

методов предварительного анализа схем заказчиков и программного прототипирования базовых кристаллов с использованием стратегии последовательного приближения разрабатываются архитектура и электрическая схема базового кристалла конфигурируемой схемы. Маршрут позволяет провести оценку возможности размещения и трассировки проектов заказчиков и необходимое для этого количество коммутационных и иных ресурсов в базовом кристалле до фактического изготовления.

3) Новая теоретико-множественная математическая модель, формализующая различные стили проектирования гетерогенных конфигурируемых интегральных схем (заказной, полузаказной, программируемой), используемая для исследования и разработки базовых кристаллов гетерогенных конфигурируемых интегральных схем и программирования схем заказчиков на их основе.

4) Новые методы разработки аналоговых и аналого-цифровых гетерогенных конфигурируемых интегральных схем с использованием формализации описания аналоговых блоков на базе введенных в работе понятий аналоговых ядер и их онтологий, лежащих в основе макромоделей, что позволяет сократить время проектирования аналоговых конфигурируемых микросхем в несколько раз.

5) Новая конструкция программируемого заказчиком логического элемента, построенного на ячейках базового матричного кристалла, площадь топологии которого в два раза меньше известного логического элемента.

6) Новый метод повышения живучести, надежности и радиационной стойкости конфигурируемых интегральных схем на основе приемлемых и мягких решений, позволяющий уменьшить вероятность их неработоспособности в условиях неблагоприятных внешних воздействий.

### **Реализация и внедрение результатов работы.**

Разработанные в диссертационной работе модели, методики и методы внедрены в АО «НИИМЭ», АО «Микрон», АО «НИИ «Субмикрон», АО «ДЦ «Союз», АО «НПО автоматики» и использованы при выполнении тринадцати НИОКР и одного

аванпроекта по разработке и изготовлению программируемых и полужаказных интегральных схем: ОКР «Логика-2», НИР «Логика», ОКР «Логика-И5-РК», ОКР «Алмаз-1», ОКР «Алмаз-13», ОКР «Алмаз-14», ОКР «Преобразователь-3», ОКР «Алмаз-10», ОКР «Логика-И2», ОКР «Преобразователь-17», ОКР «Преобразователь-22», ОКР «Алмаз-И1-РК», ОКР «Алмаз-И5», аванпроекте «Пемза-А1». Это подтверждено соответствующими документами о внедрении.

#### **Достоверность полученных результатов.**

Достоверность результатов диссертационной работы подтверждена многочисленными результатами экспериментальной проверки предложенных методов с использованием программного обеспечения и реализации в кремнии.

**Практическая значимость работы** заключается в разработке и внедрении оптимальных для своего класса задач микросхем ПЛИС и БМК по таким критериям, как технические характеристики, конструкторские решения, решаемые задачи, технико-экономические показатели. Результаты работы найдут применение при разработке базовых кристаллов конфигурируемых интегральных схем с улучшенными параметрами.

#### **Апробация работы.**

Основные результаты работы представлены и обсуждены на следующих конференциях и семинарах:

Всероссийская научно-техническая конференция «Проблемы разработки микро- и нано-электронных систем», МЭС-2018, 2021.

Международная научно-техническая конференция «Электронная компонентная база космических систем», 2012 – 2021 гг.

Российский форум «Микроэлектроника 2021», 2021 г.

Конференция «Актуальные вопросы поставок изделий электронной компонентной базы отечественного производства. Импортзамещение и обеспечение качества», 2018 г.

Научно-технический семинар-совещание «Применение отечественной микроэлектронной высокотехнологичной ЭКБ в РЭА специального назначения – проблемы импортзамещения и пути их решения», 2017 г.

Международный военно-технический форум «Армия-2018».

Научно-практический семинар «Проблемы создания специализированных радиационно-стойких СБИС на основе гетероструктур», 2013 – 2015 гг.

Международный промышленный форум «Радиоэлектроника. Приборостроение. Автоматизация», 2016 г.

Всероссийская научно-техническая конференция по радиационной стойкости электронных систем «Стойкость-2015».

Международная научно-техническая конференция «Проектирование систем на кристалле: тенденции развития и проблемы», 2010 г.

Международный семинар по теории информации «Сверточные коды», 1987 г.

**Список публикаций по работе:** список опубликованных по теме диссертации научных трудов содержит 64 работы, в том числе 17 работ без соавторов, 24 статьи в научных журналах, входящих в Перечень периодических изданий, рекомендованных ВАК РФ для публикаций основных результатов диссертаций на соискание степени доктора наук, 5 в изданиях, индексируемых в базе Scopus, одна монография.

**Структура работы:** Диссертация состоит из введения, пяти глав и заключения. Основная часть диссертации изложена на 283 страницах. Диссертация содержит 94 рисунка и 19 таблиц. Список литературы включает 127 пунктов.

## **ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ**

**Во введении** обоснована актуальность решения проблем создания специализированных конфигурируемых микросхем для вычислительной техники и систем управления. Определена цель диссертационной работы. Сформулирована постановка задачи исследования диссертации. Сформулированы основные положения, выносимые на защиту. Обосновано содержание глав диссертации.

**В первой главе** проведен анализ текущего состояния, направлений развития и роли гетерогенных конфигурируемых интегральных схем в комплектовании ЭКБ специализированной

аппаратуры. Показано, что в основе решения задачи импортозамещения ЭКБ и ускоренного развития аппаратостроения в РФ может лежать широкое применение гетерогенных конфигурируемых интегральных схем.

Традиционным подходом к решению задачи комплектования ЭКБ аппаратуры специального назначения является разработка специализированных и универсальных схем с применением заказного стиля проектирования. Известно применение в РФ полузаказных интегральных схем (ИС) для генерации несложных универсальных логических схем, доля которых в аппаратуре незначительна. В данной работе на основе исследования одного из ключевых направлений российского рынка специализированной аппаратуры – рынка аппаратуры для изделий космического назначения, а также анализа технических возможностей современных гетерогенных конфигурируемых интегральных схем сделан вывод, что с их помощью можно создать существенную часть электронной компонентной базы этой аппаратуры, в частности, можно спроектировать проблемно-ориентированные интегральные схемы и ряды минимально-необходимой номенклатуры универсальной ЭКБ.

Предложенный подход к решению проблемы импортозамещения проиллюстрирован на рисунке 1, на котором красным контуром обведены проблемно-ориентированные и универсальные интегральные схемы, спроектированные на базе конфигурируемых схем. Исследование основных проектов ГК «Роскосмос» за 2016–2021 годы в рамках экспертизы правильности применения ЭКБ показало, что доля универсальных ИС, созданных конфигурированием базовых кристаллов может составить не менее 20 % (таблица 1). Другая часть - проблемно-ориентированные ИС реализуются, в основном, на базе конфигурируемых ПЛИС, ПАИС, БМК, АЦ БМК. Суммарная оценка возможного вклада гетерогенных конфигурируемых интегральных схем в комплектование специальной аппаратуры интегральными схемами общего назначения составляет не менее 30%.

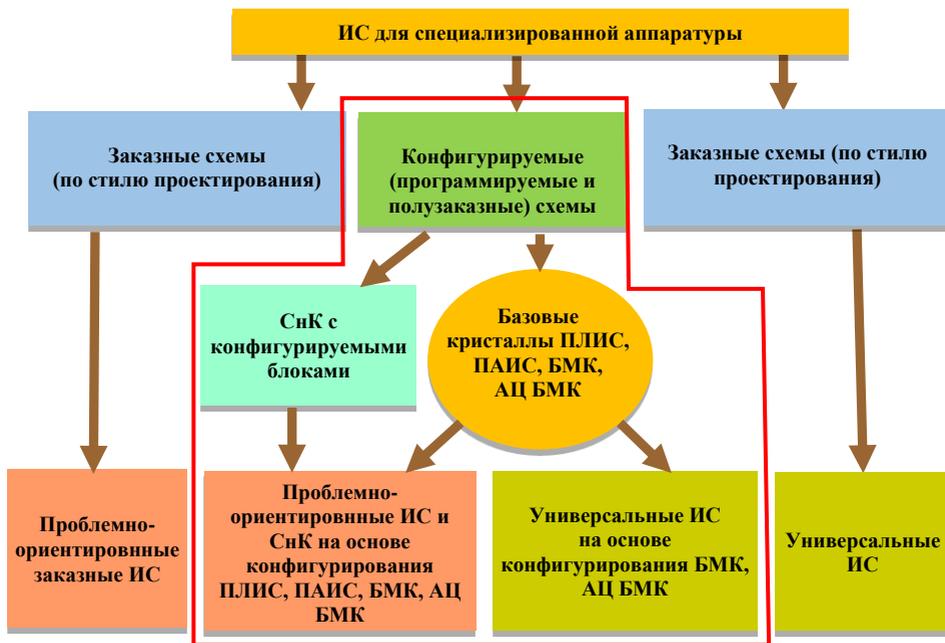


Рисунок 1 - Конфигурируемые интегральные схемы (обведены красным контуром) – основа комплектования специализированной аппаратуры

Таблица 1 – Доля микросхем, которые могут быть реализованы на базе гетерогенных конфигурируемых микросхем, включая БМК, АЦ БМК, ПЛИС, ПАИС (оценка по результатам экспертизы правильности применения ЭКБ в проектах ГК Роскосмос)

Тип ЭКБ	Использование в аппаратуре (%)	Возможна реализация на конфигурируемых ИС (%)	Использование в аппаратуре на основе конфигурируемых ИС (%)
Память	15	-	-
Аналоговые	10	30	3
СВЧ	10	15	1,5
Питание	10	30	3
Процессоры	10	20	2
Цифровые	5	50	2,5
Контроллеры	15	50	7,5
ПЛИС	15	100	15
Заказные	5	50	2,5
Другие	5	-	-
В сумме	100	-	37

В работе впервые исследованы гетерогенные конфигурируемые интегральные схемы, в составе которых использованы все типы блоков: полузаказные, заказные и программируемые. Показано, что в этом случае можно достичь наилучших параметров по быстродействию, потребляемой мощности, площади кристалла. Распределение функций между гибкими, но потребляющими и медленными программируемыми заказчиком блоками, быстрыми, малопотребляющими, но функционально детерминированными заказными блоками и компромиссными полузаказными блоками дает заказчикам возможность компоновки схем с наилучшими для целевых задач техническими характеристиками.

Проведенный в работе анализ литературы показывает, что развитие программируемых логических интегральных схем идет в направлении уменьшения емкости и сложности коммутационных ресурсов. Одновременно совершенствуется архитектура ПЛИС: от матричной, иерархической, кластерной и конвейерной до архитектуры типа ASIF, в которой блоки коммутации оптимизированы для решения целевых задач. При этом ширину шин связи, размер кластеров, емкость коммутационных матриц разработчики ПЛИС выбирают, исходя из статистических данных схем заказчиков целевого назначения, используя экспериментальные и теоретические методы и модели.

Применение правила Рента, моделей Эль Гамая, Брауна, Файера, Даса и Вильтона, маршрутов fGREF и Wotan не учитывает все ключевые параметры архитектуры, которые влияют на характеристики конфигурируемой схемы. В известных маршрутах оптимизация коммутационных ресурсов и других характеристик проводится перебором различных вариантов, что требует больших вычислительных ресурсов и длительности.

Анализ литературы и спецификаций ведущих производителей ПЛИС показывает, что использование заказных блоков в составе ПЛИС является наиболее эффективным подходом к решению задач определенных классов. Однако, существующие алгоритмы оценки и оптимизации параметров архитектуры не принимают во внимание гетерогенность конфигурируемых схем, в том числе применение на

одном базовом кристалле блоков всех типов: программируемых, заказных и полужаказных.

В главе исследовано текущее состояние и направления развития цифровых базовых матричных кристаллов. Логическая емкость цифровых БМК непрерывно растет, в БМК встраиваются заказные блоки, в первую очередь блоки памяти, базовая ячейка БМК совершенствуется с целью возможности конфигурирования на ней простых аналоговых схем. В микросхемах БМК типа eASIC логические ячейки идентичны логическим элементам ПЛИС, а конфигурирование проводится одним слоем коммутации. Такой подход позволяет быстро и с гарантированной надежностью переносить проекты с ПЛИС на БМК.

Однако не известна возможность и способы построения программируемых заказчиком логических элементов, реализованных на базовых ячейках существующих БМК. В известной литературе не исследованы зависимости требуемых коммутационных ресурсов для реализации схем заказчиков различного объема на БМК, построенных по существующим и перспективным отечественным технологиям.

В работе проведен анализ имеющихся конфигурируемых аналоговых и аналого-цифровых интегральных схем АЦ БМК и ПАИС. Известные отечественные базовые матричные кристаллы обладают ограниченными функциональными возможностями и не предназначены для реализации различных рядов универсальных аналоговых схем. Зарубежные конфигурируемые аналого-цифровые схемы строятся либо с использованием техники переключаемых конденсаторов, либо на основе ПЛИС со встроенными аналого-цифровыми преобразователями и решают небольшую часть задач аналоговой обработки сигналов.

**Во второй главе** приведен предложенный маршрут разработки базовых кристаллов специализированных гетерогенных конфигурируемых интегральных схем, описаны методы предварительного анализа и программного прототипирования, являющиеся ключевыми в процессе разработки. Приведены метрики для оценки эффективности предложенных решений. В главе рассмотрена новая архитектура программируемой интегральной схемы.

Известные алгоритмы разработки ПЛИС состоят из нескольких основных этапов оптимизации программируемой части интегральной схемы: этапа выбора архитектуры, логического синтеза, кластеризации, размещения и трассировки схемы заказчика, временного анализа и оценки занимаемой площади.

В отличие от известных алгоритмов, предлагаемый маршрут разработки базового кристалла гетерогенной конфигурируемой схемы объединяет в единое целое разработку различных по стилю проектирования частей кристалла (заказных, полузаказных и программируемых). С целью повышения точности предварительной оценки требуемых трассировочных и иных ресурсов для реализации схем заказчиков заданных классов существующие теоретические методы анализа дополнены новыми методами и метриками, выделенными в отдельный этап маршрута – предварительный анализ схем заказчиков. Экспериментальные алгоритмы, основанные на переборе оптимизируемых параметров, в данной работе развиты в метод программного прототипирования, использующий для достижения высокой эффективности трассировочных и иных ресурсов предложенную в работе стратегию последовательного приближения. Предлагаемый маршрут разработки позволяет провести оценку возможности реализации проектов заказчиков различных классов в базовых кристаллах конфигурируемых схем до их фактического изготовления и определить необходимые для этого параметры коммутационных и логических блоков.

Базовая часть блок-схемы маршрута разработки специализированной гетерогенной конфигурируемой схемы для решения определенного класса задач приведена на рисунке 3. Алгоритм можно условно разбить на пять этапов. На первом этапе производится выбор и анализ типовых схем заказчиков заданного класса. На втором этапе проводится предварительный анализ схем заказчиков (ПА) с целью определения коммутационных и иных ресурсов базовых кристаллов конфигурируемых схем, необходимых для размещения и трассировки выбранных схем. При проведении предварительного анализа используются разработанные в работе методики и метрики. В

рамках ПА также производится оценка требуемого объема конфигурационной памяти, исполнения, состава и окружения СФ блоков.

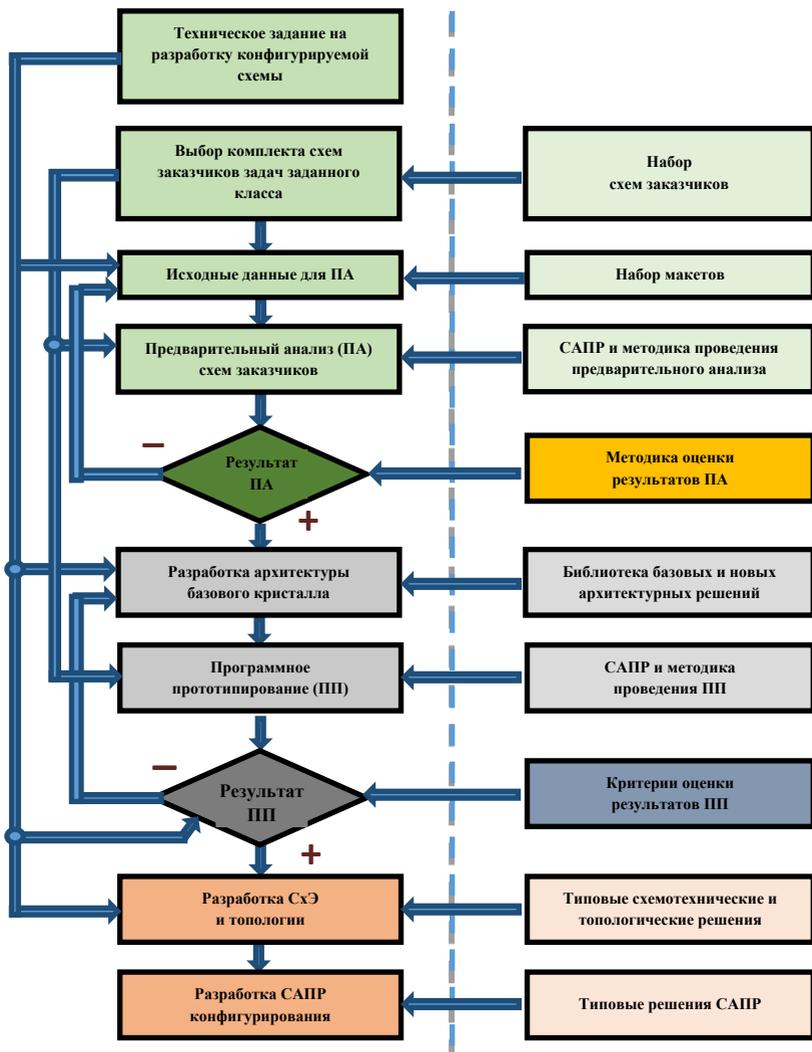


Рисунок 3 – Базовая часть блок-схемы маршрута разработки специализированной гетерогенной конфигурируемой интегральной схемы

На третьем этапе на основе полученных ограничений определяется архитектура и разрабатывается эскизная схема базового кристалла конфигурируемой схемы. Архитектура может быть как уникальной, так и выбранной из множества существующих решений.

На четвертом этапе проводится программное прототипирование (ПП) – апробация базового кристалла конфигурируемой схемы до этапа физического изготовления на основе предложенной в работе стратегии последовательного приближения. На этапе ПП определяется достаточность функциональных, трассировочных и иных ресурсов ИС для размещения и трассировки конкретных схем заказчиков в базисе разрабатываемого базового кристалла. На пятом этапе разрабатывается электрическая схема и топология конфигурируемой интегральной схемы, а также САПР конфигурирования.

Оценку эффективности решений, полученных на основе предложенного маршрута, будем проводить с использованием следующей метрики. Эффективность использования площади кристалла определим сравнением площадей, необходимых для размещения типовой схемы заказчика определенного класса в базисе конфигурируемой схемы и в базисе заказного кристалла, выполненного на основе стандартных ячеек. Будем считать, что схема заказчика полностью заполняет базовый кристалл.

Площади основных составных частей:  $S_{сф}$ ,  $S_{\Sigma п сф}$ ,  $S_{сф i}$  – площади встроенных СФ блоков заказной и конфигурируемой схемы;  $K_i^{сфп}$ ,  $K_i^{сфз}$  – количество СФ блоков одного типа;  $N_{сфп}$ ,  $N_{сфз}$  – количество типов;  $S_{фч}$ ,  $S_{фч i}$  – площади функциональной части заказного кристалла схемы заказчика без СФ блоков;  $K_i^{фч}$  – количество составных частей  $i$ -го типа;  $S_{лэ}$ ,  $S_{лэ i}$  – площади логических элементов конфигурируемой схемы, на которых может быть реализована выбранная схема заказчика;  $S_{км}$  и, соответственно,  $S_{км i}$  для  $i$ -го блока – площадь коммутации и конфигурационной памяти, сопряженная с частями конфигурируемой схемы. Везде  $i = 1, \dots, N_{фч}$ .

Будем считать, что в заказном кристалле все линии связи располагаются над плотноупакованными активными слоями. Тогда

эффективность использования площади кристалла можно определить, как отношение площадей заказной схемы и конфигурируемой схемы, необходимых для реализации одной и той же схемы заказчика:

$$E_1 = \frac{S_3}{S_{\Pi}} = \frac{\sum_{i=1}^{N_{\text{сфз}}} K_i^{\text{сфз}} \cdot S_{\text{сф}i} + \sum_{i=1}^{N_{\text{фч}}} K_i^{\text{фч}} \cdot S_{\text{фч}i}}{\sum_{i=1}^{N_{\text{сфп}}} K_i^{\text{сфп}} \cdot S_{\text{сф}i} + \sum_{i=1}^{N_{\text{фч}}} \alpha_i \cdot K_i^{\text{фч}} \cdot S_{\text{лз}i} + \sum_{i=1}^{N_{\text{фч}}} \alpha_i \cdot K_i^{\text{фч}} \cdot S_{\text{км}i}} = K_1 \left[ \frac{S_{\text{сф}}}{S_{\Sigma_{\text{п}} \text{сф}}} + K_2 \cdot \frac{S_{\text{фч}}}{(S_{\text{лз}} + S_{\text{км}})} \right], \quad (1)$$

где  $S_3$  – площадь заказного кристалла схемы заказчика;  $S_{\Pi}$  – площадь конфигурируемой схемы, на которой размещается та же схема заказчика;  $\alpha_i$ ,  $K_1$  и  $K_2$  – коэффициенты.

Из уравнения (1) следует, что для повышения эффективности использования площади кристалла конфигурируемой интегральной схемы необходимо не только минимизировать площадь логических элементов, цепей коммутации и конфигурационной памяти при сохранении функциональных возможностей, но и использовать наиболее востребованные для заданного класса задач СФ блоки.

Для предварительной оценки требуемых параметров архитектуры и состава базового кристалла на основе анализа схем заказчиков предлагается использовать несколько методов и критериев ПА. Для грубой оценки требуемых трассировочных ресурсов базового кристалла будем использовать правило Рента, то есть эмпирическую зависимость вида  $T = tB^p$ , где  $T = |P_r(s_{mu})|$  – количество сигнальных или трассировочных выводов схемы заказчика  $s_{mu}$ ,  $B = |E(s_{mu})|$  – количество элементов схемы заказчика  $s_{mu}$ ,  $t$  – коэффициент Рента,  $p$  – параметр (экспонента) Рента.

Для определения параметра Рента проекта заказчика  $\Pi_u = (S_u, L_u, s_{mu}, m_{mu})$  используется следующий алгоритм:

- на первом шаге формируется некоторое множество подсхем  $K = \{K_i\} : \forall i \in \{0, 1, \dots, |K|\} : K_i \subseteq E(s_{mu})$ ,
- на втором шаге строится график зависимости  $T_i = |P_r(K_i)|$  от  $|K_i|$  в двойном логарифмическом масштабе (рисунок 4),
- и на финальном этапе вычисляется параметр Рента как угловой коэффициент полученной прямой:

$$p = \frac{\partial \ln T_i}{\partial \ln |K_i|}$$

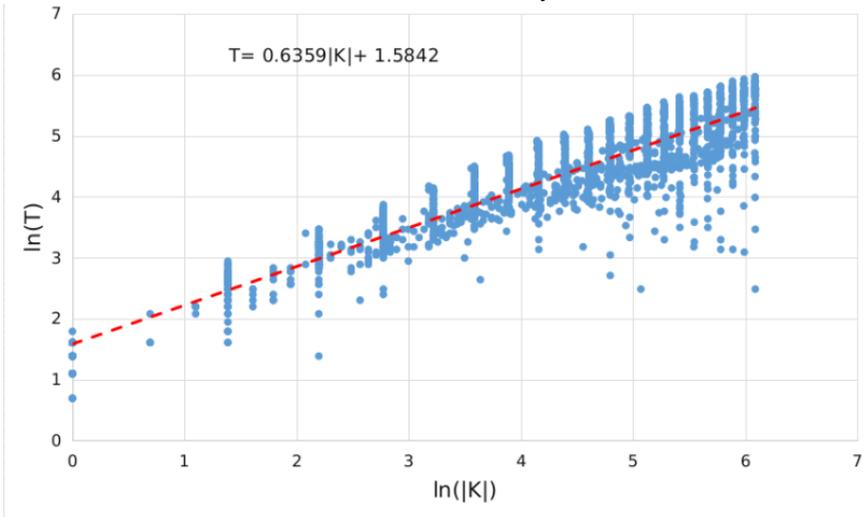


Рисунок 4 – График зависимости  $T_i$  от  $|K_i|$  в двойном логарифмическом масштабе для схемы *mega\_core* (4086 логических элементов, 4123 цепей,  $p=0.6359$ )

Значения параметров Рента и вид кривой Рента зависят как от электрической схемы, так и от метода декомпозиции схемы заказчика на кластеры. Используя правило Рента, можно определить оптимальное разбиение составной части схемы заказчика на логические блоки.

Требуемую пропускную способность разрезов (сечений) базового кристалла будем определять путем подсчета числа проектных цепей, проходящих между рядами/столбцами логических блоков после процедуры их размещения. Для заданной схемы заказчика  $s_{mu}$  пропускная способность вертикальных  $\sigma_X$  и горизонтальных  $\sigma_Y$  сечений вычисляется по формулам:

$$\sigma_X(s_{mu}, X_S^k) = |\{n: n \in N(s_{mu}) \& X_{min}(n) < X_S^k \& X_{max}(n) \geq X_S^k\}|$$

$$\sigma_Y(s_{mu}, Y_S^k) = |\{n: n \in N(s_{mu}) \& Y_{min}(n) < Y_S^k \& Y_{max}(n) \geq Y_S^k\}|,$$

где  $X_S^k, Y_S^k$  – координаты вертикальных/горизонтальных сечений,  $X_{min}(n), Y_{min}(n), X_{max}(n), Y_{max}(n)$  – координаты цепей  $n \in N(s_{mu})$ .

Разрезы (сечения) базового кристалла проводятся в областях между рядами/столбцами логических элементов. Исходя из максимального значения расчетной пропускной способности сечения, можно вычислить максимальное требуемое количество соединений между соседними блоками логических элементов.

Также важной метрикой является уровень перегруженности областей размещения кристалла. Карта уровней строится следующим образом. Вся площадь кристалла делится на области таким образом, чтобы в каждую из них входил один логический блок. Тогда перегруженность области равна количеству цепей, в охватывающий прямоугольник которых попадает данная область (рисунок 5). Чем выше перегруженность области, тем больше предполагаемое количество цепей, проходящих через нее.

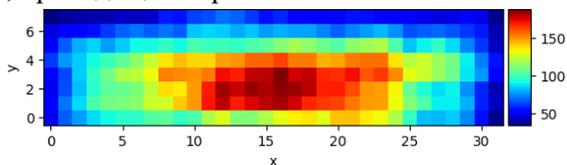


Рисунок 5 – Карта уровней перегруженности областей размещения базового кристалла для тестовой схемы

Карта загруженности ключей коммутации похожа на карту перегруженности областей, но рассчитывается уже для двухтерминальных цепей, на которые разбиваются реальные проектные цепи. Для каждой подобласти (пространства кристалла, находящегося между четырьмя блоками) загруженность ключей равна сумме двухтерминальных Г-образных цепей, которые выполняют поворот в данной области кристалла (рисунок 6). Таким образом, значения в карте соответствуют максимальному количеству поворотов, которые должны быть доступны в переключательных блоках.

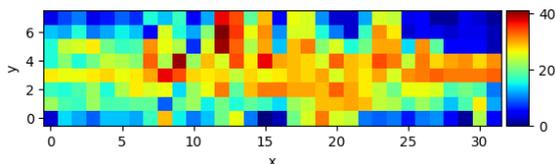


Рисунок 6 – Карта загруженности ключей для тестовой схемы

В известных алгоритмах разработки базовых кристаллов ПЛИС для прототипирования используется САПР их программирования, а оптимизация коммутационных ресурсов и других характеристик проводится перебором различных вариантов, что требует больших вычислительных ресурсов и длительности. Предложенный в работе этап маршрута разработки конфигурируемых схем – метод программного прототипирования (ПП) – включает стадии автоматической настройки САПР на соответствующие изменения в конструкции, схемотехнике и топологии и полуавтоматического изменения архитектуры базового кристалла. Он основан на стратегии последовательного приближения и позволяет провести оценку эффективности реализации схем заказчиков определенного класса в разрабатываемом базовом кристалле до фактического изготовления.

На *первом* этапе ПП схемотехническое описание базового кристалла в формате CDL и ее топология в формате GDSII обрабатываются и анализируются. При обработке этих файлов структура программы автоматически подстраивается под архитектуру базового кристалла, формируя граф коммутаций, координаты логических блоков и карту памяти, на основании которой будет формироваться вектор прошивки. Возможность автоматической подстройки под любую архитектуру позволяет разработчикам заранее оценивать их трассируемость и находить слабые места архитектуры, а разработчикам САПР – заранее отлаживать ПО на будущей архитектуре под нужды заказчика.

На *следующем* этапе проводится логический и топологический синтез и выполняется полный маршрут проектирования схемы заказчика. Проводится графовая трансляция и технологическое отображение в базисе базового кристалла, а также декомпозиция списка соединений на отдельные группы или кластеры, размещение логических элементов на легальные позиции матрицы логических элементов и трассировка соединений между ними с использованием коммутационных ресурсов, заложенных в архитектуре.

На *заключительном* этапе ПП анализируются полученные результаты, изменяется архитектура и модифицируется схемотехническое описание базового кристалла.

Процесс программного прототипирования осуществляется в несколько итераций и завершается при успешном конфигурировании схем заказчиков из набора схем определенного класса и соответствии результатов всем заданным требованиям и ограничениям.

В качестве стратегии при оптимизации параметров функциональных блоков базового кристалла в программном прототипировании используется метод последовательного приближения, который основан на последовательной оптимизации характеристик функциональных блоков по мере убывания их важности. В исходной архитектуре базового кристалла задаются начальные значения характеристик основных функциональных единиц. Определяются критерии оценки эффективности решений. Оптимизируемые функциональные единицы располагаются в порядке убывания их важности. Назначаются допустимые значения снижения эффективности (уступки) для каждой функциональной единицы. Производится последовательная оптимизация характеристик по мере убывания важности функциональных единиц с учетом уступок.

В главе приведено новое архитектурное решение программируемых специализированных интегральных схем типа «жук», полученное на основе алгоритмов и методов, предложенных в данной работе. Предлагаемая архитектура включает направленные связи, которые обеспечивают передачу и прием данных между выбранными логическими элементами и логическими элементами, расположенными в непосредственной близости, и двунаправленные вертикальные и горизонтальные шины, которые проходят через весь кластер. Двунаправленные связи типа “лапы жука”, названные так из-за своего вида, изображены на рисунке 7.

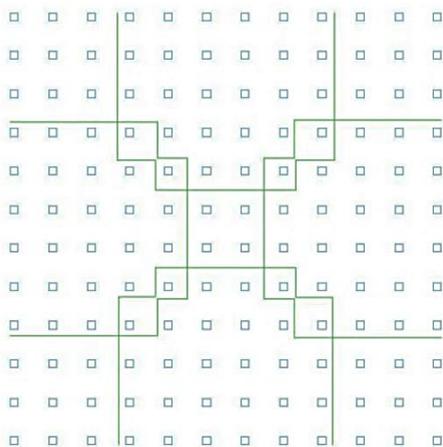


Рисунок 7 – Связи «лапы жука» между логическими элементами

**В третьей главе** описаны полученные в ходе выполнения работы математические модели и метрики, используемые на этапах маршрута проектирования конфигурируемых интегральных схем целевого назначения и конфигурирования схем заказчиков на их основе.

Известный в области разработки микросхем иерархический подход к описанию списка соединений в работе обобщен, расширен и формализован. Теоретическое описание базовых кристаллов конфигурируемых схем и схем заказчиков позволило не только формализовать задачи, но и реализовать конкретные этапы маршрута проектирования конфигурируемых схем - предварительный анализ, программное прототипирование и конфигурирование.

Обобщенное иерархическое описание проекта можно определить как  $\Pi = (S, L, s_m, m_m)$ , где  $S = \{s_i, i = 1, \dots, |S|\}$  – множество входящих в проект подсхем;  $L \subset S$  – базисное подмножество библиотечных подсхем для текущего уровня (или этапа) проектирования;  $s_m \in S, s_m \notin L$  – схема верхнего уровня иерархии;  $m_m$  – модель базового кристалла верхнего уровня, в которой описаны особенности различных типов базовых кристаллов. В данном случае под проектом может пониматься как схема заказчика, так и сам базовый кристалл.

Для БМК  $\Pi_b = (S, L, s_m, m_{mb}), S = L \cup s_m$ ;

Для ПЛИС  $\Pi_g = (S, L, s_m, m_{mg})$  – при наличии ограничений на верхнем уровне,  $m_{mg}$  может быть пустым;

Для заказной схемы  $\Pi_a = (S, L, \emptyset, m_{ma}), S = L$ ;

Для схемы заказчика  $\Pi_u = (S, L, s_m, \emptyset)$ .

Описание любой подсхемы, входящей в проект, может быть формализовано следующим образом:

$$\forall s \in S: s = (\mu(s), E(s), N(s), P(s), C(s)),$$

где  $\mu(s)$  – уникальное имя подсхемы, представленное строкой символов;  $E(s) = \{e_i, i = 1, \dots, |E(s)|\}$  – множество элементов в подсхеме;  $N(s) = \{n_i, i = 1, \dots, |N(s)|\}$  – множество цепей (электрических узлов) подсхемы;  $P(s) = \{p_i, i = 1, \dots, |P(s)|\}$  – множество внешних выводов подсхемы;  $C(s) = \{c_i, i = 1, \dots, |C(s)|\}$  – множество соединений (коммутаций) подсхемы.

В свою очередь, множество элементов (под)схемы может быть представлено в виде:

$$\forall e \in E(s): e = (\mu(e), m(e), P(e)),$$

где  $\mu(e)$  – имя элемента (уникальная строка символов);  $m(e) \in S$  – модель элемента, представленная в иерархическом описании схемой более низкого уровня иерархии;  $P(e) = \{p_i, i = 1, \dots, |P(e)|\}$  – множество выводов элемента, совпадающее по составу с множеством внешних выводов модели, связанных с ним взаимно-однозначным соответствием  $P(e) \leftrightarrow P(m(e)), |P(e)| = |P(m(e))|$ .

Множество внешних выводов схемы описывается следующим образом:

$$\forall p \in P(s): p = (\mu(p), \tau(p)),$$

где  $\mu(p)$  – уникальное имя вывода;  $\tau(p) \in \{\tau_{inp}, \tau_{out}, \tau_{bi}\}$  – тип вывода: вход, выход или двунаправленный.

Каждая цепь в схеме характеризуется именем в виде строки символов:  $\forall n \in N(s): \mu(n)$ . Множество цепей и внешних выводов схемы формируют множество соединений  $C(s)$ , определяемое как подмножество пар по следующему правилу:

$$C(s) = \{(p, n): p \in (\cup_{i=1, \dots, |E(s)|} P(e_i) \cup P(s)), n \in N(s)\}.$$

Поскольку для любого контакта цепь единственная или не существует вовсе, множество соединений в схеме определяется как однозначное отображение:

$$C^*(s) = \left\{ \left( \cup_{i=1, \dots, |E(s)|} P(e_i) \cup P(s) \right) \rightarrow (N(s) \cup \emptyset) \right\}.$$

При этом обратное отображение определяет список соединений конкретной цепи и не может быть однозначным, поскольку у каждой цепи должно быть не менее двух соединений – в противном случае цепь будет считаться ошибочной или ложной:

$$C^{*-1}(s) = \left\{ N(s) \rightarrow \left( \cup_{i=1, \dots, |E(s)|} P(e_i) \cup P(s) \right) \right\}, \\ \forall n \in N(s): |\{(p, n): (p, n) \in C(s)\}| \geq 2.$$

В библиотеке  $L$  базового проекта выделяются логические элементы  $L_{LE}$ , сложно-функциональные СФ-блоки, включающие периферийные элементы ввода-вывода  $L_{IO}$ , макроблоки  $L_M$ , трассировочные элементы  $L_{RO}$  и вспомогательные элементы  $L_{BB}$ , выполняющие вспомогательные функции, например, для программирования памяти, не связанные с непосредственным отображением элементов разрабатываемой схемы заказчика:

$$L = L_{LE} \cup L_{IO} \cup L_M \cup L_{RO} \cup L_{BB}.$$

Иерархическое описание проекта может быть преобразовано в «плоское» представление, соответствующее размещению топологии схемы на кристалле  $\Pi_f(\Pi) = (S_f, L_f, s_f, m_f)$ . Для заданного проекта  $\Pi = (S, L, s_m, m_m)$  в «плоском» представлении целесообразно сохранить только те подсхемы, которые фактически применялись в  $s_m$ .

$$L_f = \{s: (s \in L) \wedge \varphi(s, s_m)\}; S_f = \{s_f \cup L_f\}; P(s_f) \leftrightarrow P(s_m); \\ s_f = (\mu(s_f), E(s_f), N(s_f), P(s_f), C(s_f)); \mu(s_f) = \mu(s_m).$$

В соответствии с введенной терминологией для отображения цепей и коммутаций проекта заказчика применяются элементы подсхем базового проекта  $e: m(e) \in L_{RO}$ . Как и схемы библиотечного уровня  $s \in$

$L_{LE} \cup L_{IO} \cup L_M = L \setminus \{L_{BB} \cup L_{RO}\}$ , элементы трассировки могут программироваться. Принципиальное отличие состоит в том, что библиотечные элементы могут быть запрограммированы и характеризованы однократно для различных вариантов схем заказчиков. В то же время трассировочные элементы программируются индивидуально под конкретный набор коммутаций проекта заказчика.

Предполагается, что к началу процедуры трассировки решена задача размещения, т.е. установлено отображение, в котором каждому элементу схемы заказчика  $\Pi_u = (S_u, L_u, s_{mu}, m_{mu})$  поставлен в соответствие элемент базового проекта:

$$E(s_{mu}) \rightarrow \{e: e \in E(s_f), m(e) \in \{L_{LE} \cup L_M \cup L_{IO}\}\}.$$

При этом элементы  $s_u \in L_u, s_u = (\mu(s_u), \emptyset, \emptyset, P(s_u), \emptyset)$  библиотеки  $L_u$  проекта  $\Pi_u$  реализованы путем установки следующих соответствий для выводов библиотечных схем базового кристалла  $P(s) = \{p_i, i = 1, \dots, |P(s)|\}, s \in L_{LE} \cup L_{IO} \cup L_M$ :

$$P_r(s) \rightarrow P(s_u) \cup \{P_0, P_1, P_z\},$$

где  $P_r(s)$  – подмножество сигнальных или трассировочных выводов для соединения трассировочных элементов между собой и с выводами библиотечных элементов базового проекта;  $P_0, P_1, P_z$  – условные обозначения вводов, предполагающие внешние соединения с узлом земли, питания или висячим узлом, соответственно.

Следовательно, не только каждому элементу схемы заказчика поставлен в соответствие элемент базового проекта, но и каждому контакту (выводу) библиотечного элемента проекта заказчика поставлены в соответствие контакты  $P(e_i)$  библиотечных элементов базового проекта  $e_i \in E(s_f)$  и, следовательно, узлы базового проекта:

$$C^{*-1}(s_{mu}) = \{N(s_{mu}) \rightarrow (\cup_{i=1, \dots, |E(s_f)|} P(e_i))\}.$$

Таким образом, задача трассировки для реализации проекта заказчика сводится к программированию проводящих путей, состоящих из трассировочных элементов, между выводами элементов и узлами базового проекта.

Совокупность трассировочных элементов базового проекта  $\Pi_f(\Pi) = (S_f, L_f, s_f, m_f)$ ,  $s_f = (\mu(s_f), E(s_f), N(s_f), P(s_f), C(s_f))$  может быть преобразована в трассировочный смешанный граф или ориентированный граф  $G_{Ro}(\Pi) = (V_{Ro}, A_{Ro})$ .

Множество вершин  $V_{Ro}$  графа  $G_{Ro}(\Pi)$  взаимно однозначно соответствует подмножеству таких и только таких узлов  $n \in N(s_f)$ , для которых существует хотя бы одно соединение с элементом из подмножества трассировочных элементов:

$$\{n: n \in N(s_f) \& ((\exists e \in E(s_f): m(e) \in L_{Ro}) \& (\exists p \in P(e): (p, n) \in C(s_f))) \\ \Leftrightarrow \{v(n): v(n) \in V_{Ro}\}.$$

Множество дуг графа  $G_{Ro}(\Pi)$  формируется из имплицативных форм характеристических функций проводимости трассировочных элементов  $(\phi_i(c_i) \Rightarrow (y_i = \chi_i(x_i)))$ . Для каждой пары  $(y_i = \chi_i(x_i))$  создается новая дуга  $a_{xy} = (v(x), v(y))$  между вершинами, соответствующими узлам  $x \in N(s_f)$ ,  $y \in N(s_f)$ , которые имеют соединения с соответствующими выводами трассировочных элементов.

Задача трассировки для реализации проекта заказчика сводится к нахождению путей в трассировочном графе  $G_{Ro}(\Pi) = (V_{Ro}, A_{Ro})$ , соединяющих вершины трассировочного графа в соответствии с набором коммутаций узлов схемы заказчика  $n \in N(s_{mu})$ :

$$C^{*-1}(s_{mu}) = \{N(s_{mu}) \rightarrow (\cup_{i=1, \dots, |E(s_f)|} P(e_i))\}.$$

Формализация задачи трассировки в рамках маршрута проектирования в базисе гетерогенных конфигурируемых схем позволяет учесть самый широкий спектр способов программирования коммутационных элементов, а также разнообразие выполняемых ими логических функций.

**Четвертая глава** посвящена разработке методов повышения живучести, надежности и радиационной стойкости специализированных конфигурируемых интегральных схем, которые в отличие от существующих решений позволяют обеспечить функционирование интегральных схем в условиях неблагоприятных

воздействий (НВ), значения характеристик которых превышают нормы, установленные для штатной работы.

Одним из основных свойств, определяющих способность радиоэлектронных систем и изделий выполнять целевые функции в условиях НВ, является живучесть. В работе исследованы способы повышения живучести конфигурируемых интегральных схем. Введен новый термин, описывающий работу интегральной схемы – режим приемлемого (допустимого) функционирования микросхемы в рамках расширенных норм параметров. Конфигурируемая интегральная схема рассматривается в качестве конструктивной единицы системы, живучесть которой необходимо обеспечить. В режиме приемлемого функционирования в условиях НВ параметры микросхемы отклоняются от характеристик в рабочем режиме на допустимую величину, что позволяет избежать катастрофического сценария работы аппаратуры и системы в целом.

В работе предложено для повышения живучести встраивать в специализированную конфигурируемую интегральную схему дополнительные узлы и блоки детектирования и устранения отрицательных последствий НВ.

Наличие в микросхеме элементов обнаружения неисправностей позволяет для их устранения использовать предложенный в работе метод мягких решений. Известно, что для уменьшения вероятности ошибки в системе с помехоустойчивым кодированием детектор и декодер должны работать совместно, используя всю информацию с демодулятора сигнала. В отличие от жесткого решения, при котором сигнал на выходе детектора является элементом того же поля, что и сигнал на входе модулятора, мягкое решение (термин введен в работе) основано на применении информации о вероятности ошибки. В работе рассмотрены алгоритмы мягкого решения и границы их применения в схемах, работающих в режиме приемлемого функционирования, предложены новые методы декодирования, определены границы вероятности того, что слово не будет декодировано правильно.

Области принятия правильного решения в режиме приемлемого функционирования в блоках коррекции ошибок приведены на рисунке

8 для кода с минимальным расстоянием Хэмминга, равным пяти.

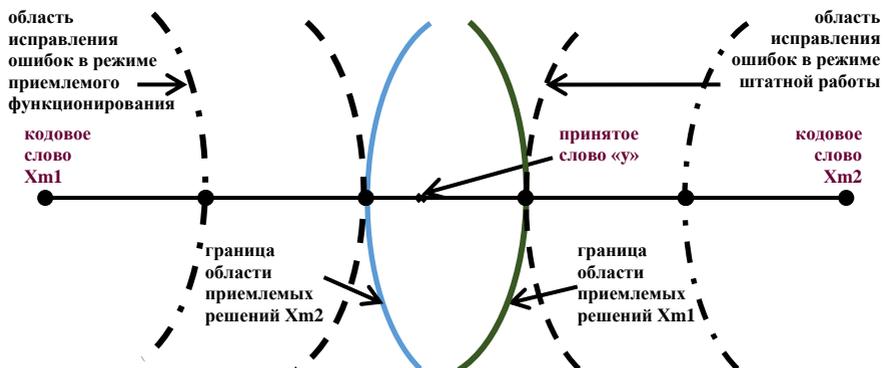


Рисунок 8 – Приемлемое функционирование блока, использующего код с минимальным расстоянием Хэмминга равным пяти

Во втором разделе четвертой главы исследованы алгоритмы декодирования с использованием мягкого решения, определены границы вероятности правильного декодирования по этим алгоритмам, приведены методы построения и исследуются функциональные возможности блоков памяти конфигурируемых схем, в которых за счет избыточности определяется дополнительная информация мягкого решения.

Предложенный метод декодирования блоковых кодов с использованием мягкого решения имеет повышенную вероятность правильного декодирования и заключается в многократном применении алгоритма Форни. Кратность таких попыток определяется числом  $K$ ,  $0 \leq K \leq n - d$ , где  $n$  – длина кодового слова  $d$  – минимальное расстояние Хэмминга.

При  $K = 0$  декодирование производится по алгоритму Форни. По мере увеличения  $K$  от 0 до  $n - d$ . вероятность правильного декодирования увеличивается (точнее не уменьшается) вплоть до значения, получаемого при декодировании по критерию максимума правдоподобия. Это утверждение справедливо, если в качестве детектора используется детектор правдоподобия.

Для реализации метода необходимо каждый шаг декодирования по алгоритму Форни провести  $q^K$  раз, меняя на первом шаге значения  $K$

символов, следующих за  $d$ -Истираемыми символами, на втором шаге значения  $K$  символов, следующих за  $d-3$  стираемыми символами и т.д., с тем, чтобы на каждом шаге перебрать все возможные значения изменяемых символов. Из совокупности полученных кодовых слов выбирается слово  $X$ , имеющее максимальное скалярное произведение  $\alpha X$ .

Предложенный метод основан на доказанном в работе утверждении, что код с длиной  $n$  и минимальным расстоянием  $d$  содержит не более одного кодового слова  $X$ , удовлетворяющего уравнениям (2, 3), при любом заданном  $0 \leq K \leq n-d$ , и  $\alpha_i \geq 0$ . Введем следующие обозначения. Пусть решение  $\hat{X}$  отличается от кодового слова  $X$  в  $r$  позициях и от кодового слова  $X_j$  в  $m$  позициях, причем среди  $r$  и  $m$  позиций  $l$  - общие. Тогда слово  $\varphi(\alpha, X, X_j)$  представляет собой последовательность из  $n$  решений  $\hat{x}_i$  и  $n$  соответствующих им весов  $\varphi_i$ , которые в  $l$  позициях равны 0, а в остальных позициях совпадают с  $\alpha_i$ . Обозначим через  $\Phi_{ij}$  набор позиций, в которых кодовое слово  $X$  отличается от кодового слова  $X_j$ , находящегося от слова  $X$  на расстоянии  $i$ .

$$\begin{array}{ccc}
 \sum_{i \in \Phi_{d+k,1}} \varphi_i S(\hat{x}_i, x_i) > 0, & & \sum_{i \in Q_{d+k,1}} \alpha_i S(\hat{x}_i, x_i) > 0, \\
 \vdots & (2) & \vdots & (3) \\
 \sum_{i \in \Phi_{d+k, z_{d+k}}} \varphi_i S(\hat{x}_i, x_i) > 0; & & \sum_{i \in Q_{d+k, c_n^{d+k_1}}} \alpha_i S(\hat{x}_i, x_i) > 0;
 \end{array}$$

Уравнения справедливы для всех  $0 \leq k \leq K$ , где  $0 \leq K \leq n-d$ ,  $z_{d+k}$  - число кодовых слов, находящихся от слова  $X$  на расстоянии  $d+k$ .

В работе получены границы вероятности правильного декодирования для предложенного метода.

В третьем разделе приведены разработанные элементы хранения с повышенной сбоеустойчивостью для применения в конфигурационной и пользовательской памяти конфигурируемых интегральных схем, в которых детектируются неисправности. Одним из неблагоприятных внешних воздействующих факторов, влияющих на работу аппаратуры в условиях космического пространства, является

воздействие тяжелых заряженных частиц (ТЗЧ). Стандартные библиотечные триггеры могут иметь пороговое значение линейной передачи энергии по сбоям на уровне 15 МэВ·см<sup>2</sup>/мг при требовании для микросхем космического назначения - не менее 60 МэВ·см<sup>2</sup>/мг. В работе задача повышения устойчивости к воздействию ТЗЧ решается применением триггеров типа DICE (Dual Inter-locked Storage), в которых дополнительно установлены элементы самоконтроля для детектирования сбоев, что позволяет не только повысить сбоеустойчивость конфигурируемой микросхемы, но перевести работу микросхемы в режим приемлемого функционирования.

**Пятая глава** посвящена особенностям разработки цифровых базовых матричных кристаллов, а также аналоговых и цифроаналоговых гетерогенных конфигурируемых интегральных схем.

В работе предложено использовать модернизированную ячейку БМК для создания программируемых элементов, то есть для создания областей ПЛИС в поле базовых ячеек БМК. В работе также предложена конструкция логической части программируемого элемента, обладающая существенно меньшей площадью (не менее чем в два раза) по сравнению со стандартным логическим элементом (рисунок 9).

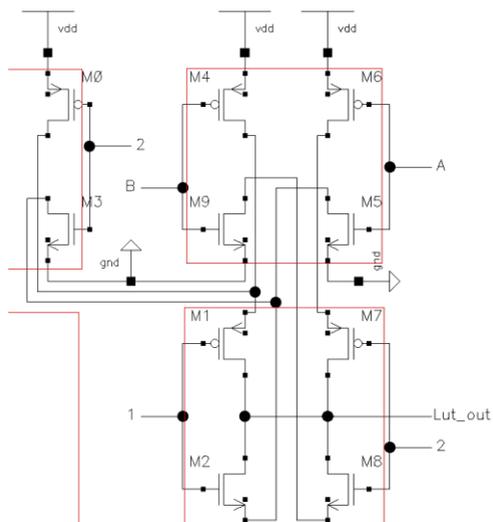


Рисунок 9 – двухвходовой программируемый логический элемент на БЦЯ БМК

Исследуемый в работе вопрос существенного снижения количества переменных слоёв БМК для передовых технологических процессов становится актуальным. На рисунке 10 приведён график зависимости необходимого количества слоёв трассировки от плотности заполнения матрицы БМК.

В БМК транзисторы объединяются в базовые ячейки, а металлические слои используются для коммутации ограниченного количества их выводов. Такая концепция хорошо подходит для реализации схем, выполненных по современным топологическим нормам с вертикальным расположением полупроводниковых приборов.



Рисунок 10 – График зависимости количества необходимых трассировочных слоёв от плотности заполнения матрицы БМК

Одним из основных этапов в процессе разработки аналого-цифровых и аналоговых конфигурируемых интегральных схем являются композиция и декомпозиция аналоговых блоков. Известные определения СФ блоков и IP-ядер фактически являются технико-организационными описаниями схем и не раскрывают их техническую суть. В работе предложен новый термин – аналоговое (цифровое) ядро, расширяющий понятие СФ блока, которое определяется как технически реализованная система принципов формирования и обработки аналогового сигнала. Предложенный подход позволяет на основе различных онтологий ядер не только проводить их композицию и декомпозицию, но и синтезировать новые ядра и компилировать на их базе схемы заказчиков. Описание ядер и их онтологии (рисунок 11) используются для составления макромоделей СФ блоков, что ускоряет проектирование в базисе конфигурируемых схем в несколько раз.

Каждое ядро имеет свое назначение, которое является целью его образования. Ядро – это структура, содержащая другие ядра и

приборы. На нижнем уровне ядра находятся полупроводниковые приборы. Техническая реализация системы принципов в ядре заключается в подборе составляющих его ядер и приборов и в организации взаимодействия между ними.

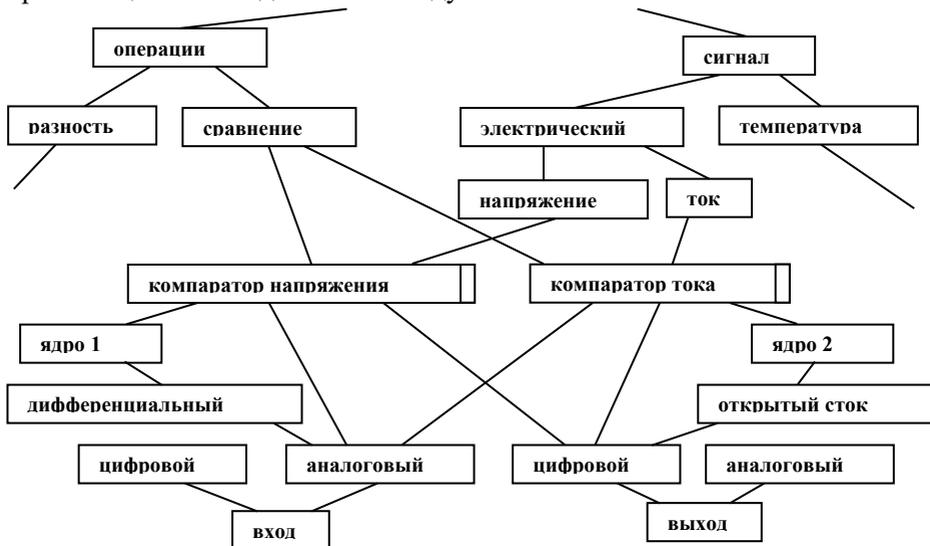


Рисунок 11 – Пример возможного описания ядер компаратора напряжения и компаратора тока (онтологии назначения и состава)

Применение аналоговых ядер в качестве блоков конфигурируемых схем рассматривается в работе на примере аналогового ядра источника опорного напряжения (ИОН) с ТКН не более 10 ppm на °С. Упрощенная электрическая схема СФ блока источника показана рисунке 12. В данном ядре можно выделить пять уровней иерархии. Схема ИОН делится на четыре блока (ядра второго уровня): генератор тока РТАТ, генератор тока СТАТ, генератор кусочно-линейного тока и выходной сумматор, которые состоят из операционных усилителей, источников тока и др. (ядра третьего уровня), которые содержат токовые зеркала, делители напряжения, которые состоят из приборов нижнего уровня.

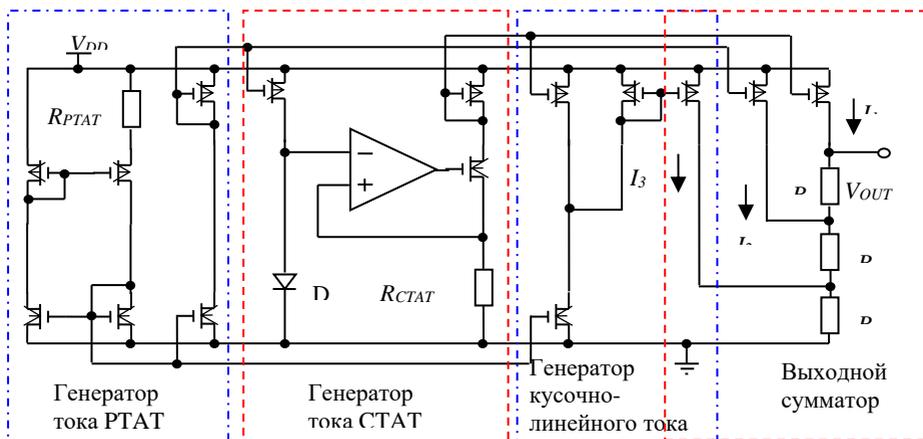


Рисунок 12 – Электрическая схема ядра прецизионного ИОН

Для анализа и разработки аналоговых конфигурируемых интегральных схем в работе предложено использовать упрощенные эквивалентные схемы резисторов на переключаемых конденсаторах в z-области при включении их между узлами виртуального потенциала и источниками сигнала.

В работе рассмотрены особенности выбора характерных схем заказчиков, архитектуры, состава и схемотехники базовых кристаллов аналого-цифровых БМК. Приведена структура и конструкция базового кристалла, оптимального для определенных классов задач.

### Заключение.

В диссертационной работе предложены теоретические обобщения и методы решения научных задач разработки и применения гетерогенных конфигурируемых интегральных схем, имеющих важное хозяйственное значение.

Основные результаты работы состоят в следующем:

1) Разработан метод комплектования специализированной аппаратуры проблемно-ориентированными и универсальными интегральными схемами, построенными на основе гетерогенных конфигурируемых интегральных схем.

2) Определены критерии эффективности использования площади базовых кристаллов конфигурируемых интегральных схем.

3) Разработана новая теоретико-множественная математическая модель проекта, объединяющая в себе различные стили проектирования (заказных, полузаказных - базовых матричных кристаллов и программируемых логических интегральных схем).

4) Предложена формализация соответствий между элементами базового кристалла гетерогенной конфигурируемой интегральной схемы и разрабатываемыми схемами заказчиков, функциональность которых требуется запрограммировать в базовом кристалле, что обеспечивает оперативную настройку конструкции и схемотехники базового кристалла на новые потребности от заказчиков и оперативную настройку САПР на соответствующие изменения в конструкции, схемотехнике и топологии базового кристалла.

5) Предложены методы предварительного анализа схем заказчиков с целью определения значений важнейших характеристик архитектуры разрабатываемых гетерогенных конфигурируемых схем с повышенной эффективностью использования трассировочных и иных ресурсов.

6) Предложен маршрут проектирования конфигурируемых интегральных схем, в рамках которого на основе разработанных методов предварительного анализа схем заказчиков и программного прототипирования создается архитектура и электрическая схема базового кристалла программируемой схемы.

7) Предложен новый метод, используемый в маршруте разработки гетерогенных конфигурируемых интегральных схем - программное прототипирование с оценкой эффективности реализаций проектируемых схем заказчиков до фактического изготовления базового кристалла за счет оперативной настройки САПР на изменения в конструкции, схемотехнике и топологии базового кристалла в соответствии с предложенной в работе стратегией.

8) Разработаны новые схемотехнические решения, позволяющие повысить функциональность и эффективность использования площади базовых матричных кристаллов.

9) Предложены новые методы повышения живучести, надежности и радиационной стойкости конфигурируемых

интегральных схем на основе приемлемых и мягких решений, которые используя дополнительную информацию о вероятных отказах и сбоях функционирования внутренних узлов, позволяют обеспечить корректную работу конфигурируемых схем в условиях неблагоприятных внешних воздействий.

10) Разработан новый метод проектирования аналоговых блоков гетерогенных конфигурируемых интегральных схем, в основе которого лежит использование предложенных в работе понятий аналоговых ядер и их онтологий.

11) Предложенные методы, алгоритмы и решения внедрены в АО «НИИМЭ», АО «Микрон», АО «НИИ «Субмикрон», АО «НПО автоматики», АО «ДЦ «Союз» при разработке большого числа конфигурируемых интегральных схем: ПЛИС, ПАЦИС, ПАИС, БМК, АЦ БМК.

### **Список основных работ, опубликованных автором по теме диссертации.**

#### **Публикации в изданиях, индексируемых в базе данных Scopus:**

1. Zhuravlev, A.A., Krupkina, T.U., Enns, A.V., Enns, V.I. Design Features of Parameterized Analog Cells Based on Matched SOI Matrix Elements // Russian Microelectronics. 2017. 46(7). Pp. 494-499.
2. Gavrillov S.V., Zheleznikov D.A., Zapletina M.A., Khvatov V.M., Chochaev R.Zh., Enns V.I. Layout Synthesis Design Flow for Special-Purpose Reconfigurable Systems-on-a-Chip // Russian Microelectronics. 2019. Vol. 48. No. 3. Pp. 176-186.
3. Enns V.I., Gavrillov S.V., Khvatov V.M., Kurbatov V.G. Designing FPGAs and Reconfigurable SoCs Using Methods of Program Analysis and Prototyping // Russian Microelectronics. 2021. Vol. 50. No. 6. Pp. 426-438.
4. Chochaev R.Zh., Zheleznikov D.A., Ivanova G.A., Gavrillov S.V., Enns V.I. FPGA Routing Architecture Estimation Models and Methods // Russian Microelectronics. 2021. Vol. 50. No. 7. Pp. 1-7.
5. Enns V.I., Gavrillov S.V., Zapletina M.A. Set Based Theoretical Approach to the Representation of Routing Stage in the Design Flow for the Heterogeneous FPGAs and Reconfigurable SoCs // Russian Microelectronics. 2021. Vol. 50. No. 6. Pp. 463-470.

#### **Публикации в изданиях, входящих в перечень ВАК РФ:**

6. Эннс В.В., Кобзев Ю.М., Эннс В.И. Особенности проектирования интегральных магниточувствительных схем на основе магниторезистивных элементов // Известия ВУЗов. Электроника. 2006. №6. С. 56-64.

7. Эннс А.В., Эннс В.И. Метод построения и анализа высокочастотных импульсных источников питания // Известия вузов. Электроника. 2012. № 4 (96). С. 50-53.
8. Кобзев Ю.М., Фролов Д.П., Эннс А.В., Эннс В.И., Осокин С.А. Радиационно-стойкий аналого-цифровой КНС БМК К1451БК1У: состав и возможности проектирования // Труды ФГУП «НПЦ АП» Системы и приборы управления. 2010. №4. С. 17-23.
9. Кобзев Ю.М., Фролов Д.П., Эннс В.И., Осокин С.А. Проектирование схем на базе КМОП КНИ/КНС технологии для обработки аналоговых сигналов с напряжением, превышающим номинальное напряжение питания // Труды ФГУП «НПЦ АП». Системы и приборы управления. 2012. № 3 (21). С. 10-20.
10. Кобзев Ю.М., Фролов Д.П., Эннс А.В., Эннс В.И., Осокин С.А. Радиационно-стойкий аналого-цифровой БМК К1451БК1У: состав и возможности проектирования. // Труды ФГУП «НПЦ АП». 2010. № 4. С. 17-23.
11. Темирбулатов М.С., Эннс В.И. Космическая программа и радиационная стойкость современных интегральных микросхем // Электронная техника. Серия 3 «Микроэлектроника». 2015. Вып. 2 (158). С. 76-88.
12. Нидеккер Л.Г., Алексеев М.Н., Эннс В.И., Зайцев В.В. Метод верификации RTL-описаний цифровых схем, тактируемых несколькими синхросигналами // Электронная техника. Серия 3 «Микроэлектроника». 2015. Вып. 3 (159). С. 55-59.
13. Алексеев В.В., Телец В.А., Эннс В.И., Эннс В.В. Импортозамещение ЭКБ: базовые матричные кристаллы // Электроника. Наука, технология, бизнес. 2016. №2 (152). С. 107-111.
14. Нидеккер Л.Г., Шмигельский В.Н., Эннс В.И. Проектирование цифровых схем на основе БМК с использованием стандартных элементов // Электронная техника. Серия 3 «Микроэлектроника». 2016. Вып. 1 (161). С. 23-25.
15. Журавлев А.А., Крупкина Т.Ю., Эннс А.В., Эннс В.И. Особенности проектирования параметризованных аналоговых ячеек на основе согласованных КНИ матричных элементов // Известия ВУЗов. ЭЛЕКТРОНИКА. 2016. Т. 21. № 4. С. 325-332.
16. Антюфриева Л.А., Михеев Р.С., Журавлев А.А., Эннс В.И. Особенности проектирования шифратора преобразования термометрического кода в код Грея на МОП-переключателях тока // Известия ВУЗов. ЭЛЕКТРОНИКА. 2017. Т. 22. № 1. С. 57-63.
17. Гаврилов С.В., Железников Д.А., Чочаев Р.Ж., Эннс В.И. Адаптация метода моделирования отжига для размещения элементов в базисе реконфигурируемых систем на кристалле // Электронная техника. 2018. Серия 3 «Микроэлектроника». Вып. 4 (172). С. 55-61.
18. Гаврилов С.В., Железников Д.А., Заплетина М.А., Хватов В.М., Чочаев Р.Ж., Эннс В.И. Маршрут топологического синтеза для реконфигурируемых систем на кристалле специального назначения // Микроэлектроника. 2019. Т. 48. № 3. С. 211-223.

19. Чочаев Р.Ж., Железников Д.А., Иванова Г.А., Гаврилов С.В., Эннс В.И. Модели и методы анализа структуры коммутационных ресурсов ПЛИС // Известия вузов. Электроника. 2020. Т. 25. № 5. С. 410-422.
20. Белоусов Е.О., Кочетков Д.В., Моленкамп К.М., Эннс А.В., Эннс В.И. Интегральное устройство контроля заряда литий-ионных аккумуляторов и аккумуляторных батарей // Электронная техника. Серия 3 «Микроэлектроника». 2020. Вып. 3 (179). С. 8-15.
21. Эннс В.И., Гаврилов С.В., Чочаев Р.Ж. Автоматическая настройка программных средств размещения пользовательских схем на ПЛИС // Известия вузов. Электроника. 2021. Т. 26. № 6. С. 508-520.
22. Эннс В.И. Методы разработки оптимальных программируемых интегральных схем с использованием теоретико-множественного описания // Электронная техника. Серия 3 «Микроэлектроника». 2021. Вып. 3(183). С. 5-13.
23. Эннс В.И. Проектирование специализированных гетерогенных ПЛИС с использованием программного прототипирования // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2021. Вып. 4. С. 22-26.
24. Эннс В.И., Гаврилов С.В., Хватов В.М., Курбатов В.Г. Проектирование ПЛИС и реконфигурируемых СнК с использованием методов программного анализа и прототипирования // Микроэлектроника. 2021. Т. 50. № 6. С. 467-480.
25. Эннс В.И., Гаврилов С.В., Заплетина М.А. Формализация этапа автоматической трассировки в маршруте проектирования на основе гетерогенных реконфигурируемых интегральных схем // Электронная техника. Серия 3 «Микроэлектроника». 2021. Вып. 3 (183). С. 69-77.
26. Эннс В.И., Гаврилов С.В., Хватов В.М., Курбатов В.Г. Программное прототипирование и анализ реконфигурируемых интегральных схем с древовидной архитектурой // Электронная техника. Серия 3 «Микроэлектроника». 2021. Вып. 3 (183). С. 78-91.
27. Эннс В.И., Гаврилов С.В., Чочаев Р.Ж. Разработка математического аппарата для решения задачи автоматической настройки программных средств кластеризации и размещения пользовательских схем на ПЛИС // Электронная техника. Серия 3 «Микроэлектроника». 2021. Вып. 4 (184).
28. Красников Г.Я., Эннс В.И. Экспертиза применения электронной компонентной базы при создании аппаратуры космического и специального назначения – важный шаг в решении задачи импортозамещения // Электронная техника. Серия 3: Микроэлектроника, 2021. Вып. 1 (181). С. 12-17.
29. Эннс В.И., Гаврилов С.В., Заплетина М.А. Теоретико-множественный подход к представлению этапа трассировки в маршруте проектирования в базисе гетерогенных ПЛИС и реконфигурируемых СнК // Микроэлектроника. 2022. Т. 51. № 1. С. 71-79.

### Патенты на полезную модель:

30. Патент N 1215137, МПК: G11C 29/00. Запоминающее устройство с коррекцией информации : N 3756159 : заявл. 27.06.1984 : Опубликовано: 28.02.1986 / Эннс В.И.
31. Патент N 1238162. Запоминающее устройство с коррекцией информации (его варианты) : N 3756158 : заявл. 27.06.1984: Опубликовано: 15.02.1986 / Эннс В.И.
32. Патент N 1271263. Интегральная микросхема памяти с самоконтролем и запоминающее устройство с коррекцией ошибок : N 3683423 : заявл. 30.12.1983: Опубликовано: 15.07.1986 / Эннс В.И.
33. Патент N 1290420, МПК: G11C 11/00. Запоминающее устройство с коррекцией ошибок : N 3941638 : заявл. 05.08.1985: Опубликовано: 15.02.1987 / Эннс В.И.
34. Патент N 1290419, МПК: G11C 11/00. Запоминающее устройство с коррекцией ошибок : N 3941638 : заявл. 05.08.1985 : Опубликовано: 15.02.1987 / Эннс В.И.
35. Патент N 1470114. Матричный накопитель для постоянного запоминающего устройства : N 4281168 : заявл. 10.07.1987: Опубликовано: 01.12.1988 / Филатов С.А., Абрамов С.Н., Гуминов В.Н., Демин С.Г., Эннс В.И.
36. Патент N 1372357, МПК: G11C 11/40. Запоминающее устройство : N 4047346 : заявл. 01.04.1986: Опубликовано: 07.02.1988 / Абрамов С.Н., Гуминов В.Н., Эннс В.И.
37. Патент N 1399742, МПК: G06F 11/08, G11C 29/00. Устройство исправления ошибок для запоминающего устройства : N 4112767 : заявл. 26.08.1986 : Опубликовано: 30.05.1988 / Эннс В.И.
38. Патент N 1317482, МПК: G11C 17/00. Постоянное запоминающее устройство с коррекцией ошибок : N 4004368 : заявл. 02/01/1986 : Опубликовано: 15.06.1987 / Фастов С.А., Эннс В.И. , Щетинин Ю.И., Шурчков И.О.
39. Патент N 959561, МПК: G11C 11/40. Матричный накопитель для запоминающего устройства ошибок : N 3263409 : заявл. 26.03.1981 : Опубликовано: 23.01.1985 / Кружанов Ю.В., Авдеев А.М., Демин С.Г., Сафронов В.Э., Эннс В.И.
40. Патент N 993477, МПК: H03K 19/00. Буферное логическое ТТЛ устройство : N 3312331 : заявл. 06.07.1981 : Опубликовано: 30.01.1983 / Эннс В.И., Авдеев А.М., Кружанов Ю.В.
41. Патент N 849903. Интегральный запоминающий элемент : N 4281168 : заявл. 10.07.1987 : Опубликовано: 01.12.1988 / Кружанов Ю.В., Овчинников В.С., Однолько А.Б., Сафронов В.Э., Эннс В.И.
42. Патент N 852088, Запоминающий элемент : N 4281168 : заявл. 10.07.1987 : Опубликовано: 01.12.1988 / Кружанов Ю.В., Овчинников В.С., Однолько А.Б., Сафронов В.Э., Эннс В.И.

### **Свидетельства о государственной регистрации:**

43. Радиационно-стойкий отказоустойчивый БМК емкостью 3,5 млн. логических вентилях со встроенными блоками LVDS, PLL, 5540TH014A / Эннс В.И. // Свидетельство о государственной регистрации топологии интегральной микросхемы № 2018630196. Заявка № 2018630186 от 25.11.2018. Дата регистрации: 23.11.2018.
44. Топология микросхемы типа система на кристалле, состоящей из ядер процессора и ПЛИС емкостью не менее 800 тыс. системных вентилях / Эннс В.И. и др. // Свидетельство о государственной регистрации № 2021630116. Заявка № 2021630109 от 26.07.2021. Дата регистрации: 11.08.2021.

### **Публикации в других изданиях:**

45. Эннс В.В., Эннс В.И., Кобзев Ю.М. Аналоговые ядра как основа аналоговых интегральных схем // INTERMATIC – 2006, Материалы IV Международной научно-технической конференции. Часть 3. Москва: МИРЭА, 2006.
46. Кобзев Ю.М., Тимошин С.А., Эннс В.И., Эннс В.В. Аналоговые схемы серии 1446 // Компоненты и технологии. 2007. № 9. С. 58-60.
47. Эннс В.В., Эннс В.И. Принципы построения низковольтных аналоговых ядер // INTERMATIC – 2007. Материалы V Международной научно-технической конференции. 23-27 октября 2007 г. Часть 1. Москва: МИРЭА. С. 243-245.
48. Дубинский Е.В., Эннс В.И. Российская электроника на пути решения задач энергосбережения // Живая электроника России. 2001. Т. 2. С. 108.
49. Эннс В.И., Кобзев Ю.М. Проектирование аналоговых КМОП-микросхем // Краткий справочник разработчика. Под редакцией В.И. Эннса. 2005. 456 с.
50. Эннс В.И. Новые границы областей декодирования некоторых методов исправления ошибок с использованием мягкого решения // III международный семинар по теории информации «Сверточные коды; связь с многими пользователями». Тезисы докладов. Сочи, 1987. С. 172-174.
51. Эннс В.И., Кобзев Ю.М. Принцип проектирования радиочастотных интегральных КМОП-схем со сверхнизким напряжением питания // Сборник научных трудов МИЭТ под редакцией И.Н. Сорокина. М.: МИЭТ, 1996. С. 201-206.
52. Эннс В.И. Избыточные интегральные схемы постоянной памяти. // Электронная техника. 1984. Сер. 10. Вып. 3. С. 30-33.
53. Эннс В.И. Интегральные микросхемы запоминающих устройств с самоконтролем для оперативной и внешней памяти ЭВМ // Вопросы кибернетики/АН СССР. Научный совет по комплексной проблеме «Кибернетика». М., 1984. С. 93-111.
54. Эннс В.И. БИС ЗУ с самоконтролем // Вопросы кибернетики/АН СССР. Научный совет по комплексной проблеме «Кибернетика». М., 1985. С. 174-182.
55. Фастов С.А., Эннс В.И. Методы построения быстродействующих ЭСЛ

- ОЗУ со встроенными схемами исправления ошибок // Вопросы кибернетики/АН СССР. Научный совет по комплексной проблеме «Кибернетика». М., 1988. С. 113-129.
56. Эннс В.И. Схемотехнические решения в построении цифроаналоговых ИС // Материалы Международной научно-технической конференции «Микроэлектроника и информатика». 11-12 ноября 1993. Москва, Зеленоград: МАИ «Н.Ц.», МГИЭТ, 1993.
57. Демин С.Г., Кружанов Ю.В., Эннс В.И. Биполярное ПЗУ КА596РЕ2 со встроенными схемами исправления ошибок и самоконтроля // Электронная промышленность. 1985. Вып. 9. С. 6-7.
58. Кобзев Ю.М., Эннс В.И. Аналоговые ядра как основа высокоуровневого описания библиотек аналоговых блоков // Международная научно-техническая конференция с элементами научной школы для молодежи «Проектирование систем на кристалле: тенденции развития и проблемы». Тезисы докладов. Москва, Зеленоград, 2010. С. 16.
59. Эннс А.В., Эннс В.И. Реализация метода кусочной аппроксимации источника опорного напряжения // Международная научно-техническая конференция с элементами научной школы для молодежи «Проектирование систем на кристалле: тенденции развития и проблемы». Тезисы докладов. Москва, Зеленоград, 2010. С. 68.
60. Темирбулатов М.С., Эннс В.И. Космическая программа и радиационная стойкость современных интегральных микросхем // 18 Всероссийская научно-техническая конференция по радиационной стойкости электронных систем «Стойкость 2015». Тезисы докладов. Лыткарино, 2015. С. 121.
61. Эннс В.И. Цифровые решения современных отказоустойчивых аналоговых интегральных схем // Сборник трудов XIII научно-практического семинара «Проблемы создания специализированных радиационно-стойких СБИС на основе гетероструктур». Нижний Новгород. 2013. С. 5-7.
62. Богатырев Ю.В., Ластовский С.Б., Огородников Д.А., Чеховский В.А., Темирбулатов М.С., Эннс В.И., Шмигельский В.Н. Воздействие гамма-излучения на параметры счетного триггера // Сб. науч. тр. VII Междунар. науч. конф. Минск: изд. центр БГУ, 2016. С. 150-153.
63. Кобзев Ю., Эннс В.И., Эннс В.В., Иванов Д., Корепанов И. Состав и области применения программируемых схем серии 5400 // Компоненты и технологии. 2017. №12. С. 12-14.
64. Эннс В.И. СнК, БМК или ПЛИС: выбор варианта исполнения цифровой интегральной схемы // Компоненты и технологии. 2018. № 4. С. 100-102.