

На правах рукописи

Талалай Михаил Сергеевич

**МЕТОД ЛОГИКО-ТОПОЛОГИЧЕСКОГО СИНТЕЗА
НАНОМЕТРОВЫХ КМОП СХЕМ НА ОСНОВЕ
ТРАНЗИСТОРНЫХ ШАБЛОНОВ**

05.13.12 – «Системы автоматизации проектирования»

Автореферат диссертации на соискание ученой степени
кандидата технических наук

Москва – 2012

Работа выполнена в лаборатории перспективных САПР ЗАО «Интел А/О».

Научный руководитель:

к.т.н. Жмурин Андрей Валентинович

Официальные оппоненты:

Гаврилов Сергей Витальевич, д.т.н., ФГБУН ИППМ РАН, зав. отделом

Шалимов Александр Владиславович, к.ф.-м.н., МГУ им. М.В. Ломоносова, математик

Ведущая организация

ОАО «Институт электронных
управляющих машин имени И.С. Брука»

Защита состоится 20 декабря 2012 г. в 13 ч. 00 мин. на заседании диссертационного совета Д.002.078.01 при Федеральном государственном бюджетном учреждении науки Институте проблем проектирования в микроэлектронике Российской академии наук (ИППМ РАН) по адресу: 124365, Российская Федерация, г. Москва, Зеленоград, Советская ул., д.3.

С диссертацией можно ознакомиться в библиотеке ИППМ РАН

Автореферат разослан 19 ноября 2012 г.

Ученый секретарь диссертационного совета

к.т.н., доцент

М.М. Жаров

Общая характеристика работы

Актуальность работы. Конкурентная борьба на рынке микроэлектроники заставляет производителей, с одной стороны, снижать стоимость интегральных схем, а с другой - повышать функциональность новых устройств, увеличивая число транзисторов в схеме.

Важнейшей характеристикой КМОП схемы (Комплементарная логика на транзисторах Металл – Оксид – Полупроводник) является плотность транзисторов на кристалле. Повышение плотности позволяет уменьшить размеры микросхемы и, следовательно, снизить ее стоимость. В связи с этим на протяжении многих лет происходит масштабирование технологического процесса, что дает возможность уменьшать размеры топологических элементов и тем самым позволяет увеличить плотность транзисторов на кристалле.

Масштабирование технологического процесса непосредственно связано с модернизацией одного из важнейших этапов производства интегральной схемы – литографией. Литография – послойная печать спроектированной геометрии схемы на кристалл. С экономической точки зрения для массового производства наиболее подходящей является оптическая литография. Разрешающая способность оптической системы, которая используется при литографии, является определяющим параметром для всего технологического процесса. На современном производстве используется оборудование, имеющее разрешающую способность в 32 нм и менее. Гарантия заявленной точности при литографической печати сопряжена с выполнением определенных правил проектирования (design rules), которые уменьшают возможные комбинации относительного расположения топологических элементов в слоях схемы. Чем более тонкий технологический процесс, тем сложнее становятся правила проектирования, а также, тем большее число рядом расположенных топологических блоков покрываются новыми правилами (окрестность действия правила).

Таким образом, проблема проверки спроектированной топологии схемы на соблюдение всех правил становится актуальной. В связи с этим, при проектировании топологии используются повторяющиеся конструкции, так как в таком случае проверка правил проектирования необходима только для повторяющегося блока и для некоторой его окрестности.

Основные положения, описывающие особенности топологии для технологических процессов 130 нм и менее изложены в статье [V. Singh Litho and Design: Moore Close Than Ever // Proc. of ISPD. 2011].

Увеличение однородности в топологии схемы при переходе к новым технологическим процессам демонстрируется на Рис. 1.

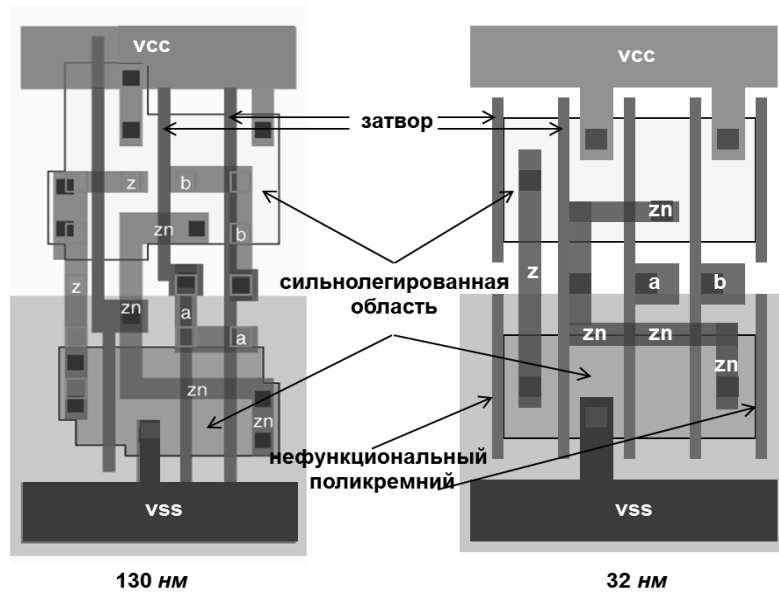


Рис. 1. Сравнение топологии ячейки для технологических процессов 130 нм и 32 нм [G. Petley The art of Standard Cell Library Design // www.vlsitechnology.org]

Так для технологического процесса 130 нм допустимыми являются конструкции, содержащие прямоугольники поликремния разной ширины, расположенные на разных расстояниях друг от друга, также допускается разная ориентация транзисторов: горизонтальная и вертикальная. Для технологических процессов 32 нм и менее характерно применение затворов одинаковых размеров, размещенных в равномерной сетке, а также однонаправленность прямоугольников в поликремнии. На периметре стандартной ячейки появляются дополнительные нефункциональные прямоугольники поликремния, позволяющие размещать стандартные ячейки вплотную, сохраняя требуемую однородность в слое поликремния.

В этих условиях в САПР микроэлектроники для технологических процессов 32 нм и менее высокую значимость приобретает исследование подходов к проектированию схем с регулярной топологией. С точки зрения вычислительной сложности на этапах физического синтеза становится возможным использование точных комбинаторных подходов [Taylor B., Pileggi L. Exact Combinatorial Optimization Methods for Physical Design of Regular Logic Bricks // Proc. of DAC. 2007. Pp. 344-349]. Также возникает потребность модифицировать этапы логического синтеза.

В диссертационной работе под *нанометровыми* технологиями проектирования понимаются технологические процессы 32 нм и менее.

Цель исследования. Цель диссертационной работы состоит в разработке метода логико-топологического синтеза КМОП схем, обладающих регулярной топологией, и включает:

- исследование и разработку элементов специального типа на основе транзисторных шаблонов, позволяющих уменьшить площадь по сравнению со стандартными ячейками;
- разработку алгоритмов проектирования для логического синтеза схем, использующего в качестве составных блоков элементы на основе транзисторных шаблонов.

Для достижения данной цели в диссертационной работе решаются следующие задачи:

- формирование общего вида регулярной топологии на основе существующих правил проектирования для новейших технологических процессов 32 *нм* и менее;
- построение логических элементов специального типа на основе транзисторных шаблонов, позволяющих уменьшить площадь по сравнению со стандартными ячейками за счет увеличения плотности транзисторов;
- построение математического аппарата для описания логической функциональности транзисторных шаблонов общего вида, обеспечивающего возможность разработки алгоритмов синтеза с использованием логических элементов специального типа;
- разработка общего алгоритма логического синтеза схем на основе транзисторных шаблонов.

Научная новизна работы. Научная новизна данной диссертационной работы заключается в следующем:

- предложены элементы специального типа на основе транзисторных шаблонов для проектирования схем по нормам технологических процессов 32 *нм* и менее, которые в отличие от стандартных ячеек, позволяют эффективней использовать поликремний для реализации затворов транзисторов, что в результате позволяет снизить площадь синтезируемого блока;
- предложена математическая модель для контроля совместимости и корректности межсоединений фрагментов транзисторных схем, которая в отличие от существующих моделей на уровне транзисторных переключений учитывает слабые состояния, что в результате позволяет расширить допустимое множество корректных фрагментов транзисторных схем;
- разработаны алгоритмы для этапов логического синтеза комбинационных схем на основе транзисторных шаблонов, обладающие меньшей вычислительной сложностью по сравнению с существующими алгоритмами для проектирования на отдельных транзисторах и позволяющие получать решения с частично размещенными транзисторами, что в сравнении с

проектированием на отдельных транзисторах обеспечивает более полный контроль технологических норм.

Программная реализация. На базе предложенных алгоритмов разработан комплекс программ для логического синтеза схем с регулярной топологией, минимизирующих занимаемую площадь. На основе промышленных систем для этапов физического синтеза на стандартных ячейках построена программа для оценки трассируемости схем, синтезируемых предложенным способом на основе транзисторных шаблонов.

Основные положения и результаты, выносимые на защиту. На защиту выносятся следующие результаты, полученные автором в процессе проведения исследований:

- специальный тип логических элементов для проектирования схем для технологических процессов 32 *нм* и менее на основе транзисторных шаблонов;
- математическая модель произвольного фрагмента транзисторной схемы на уровне переключений;
- алгоритмы логического синтеза для технологических процессов 32 *нм* и менее, основанные на операции разложения булевой функции с использованием транзисторных шаблонов.

Практическая значимость работы. Практическая значимость работы заключается в предложенной новой методике проектирования схем для технологических процессов 32 *нм* и менее, позволяющей увеличить плотность транзисторов на кристалле, и тем самым уменьшить конечную стоимость производства микросхемы. Экспериментально подтверждена применимость нового подхода к проектированию схем на новейших технологиях.

Апробация работы. Основные теоретические и практические результаты работы были представлены на конференциях:

- EWDTS (East West Design and Test International Symposium), 1 доклад (2009)
- 51-я научная конференция МФТИ, 1 доклад (2009)
- 26-я международная научная конференция «Гагаринские чтения», МАТИ, 3 доклада (2010)

Публикация результатов исследования. По теме диссертации опубликованы 7 печатных работ, 4 работы входят в утвержденный Перечень ВАК российских рецензируемых научных журналов и периодических изданий, в которых должны быть опубликованы основные результаты диссертаций на соискание ученых степеней доктора и кандидата наук.

Структура и объем работы. Диссертационная работа состоит из введения, 4 глав, заключения и списка литературы. Работа содержит 146 страниц машинного текста, 56 рисунков, 5 таблиц, список литературы из 60 наименований.

Содержание работы

Во **введении** рассматриваются актуальность, научная новизна работы, определяются цели и задачи исследования.

С каждым следующим технологическим процессом, влияние правил проектирования усиливается, а также увеличивается окрестность действия правил. В частности, при проектировании библиотеки стандартных ячеек необходимо учитывать, что каждая отдельная ячейка, будучи расположена вплотную с другими ячейками, не должна вносить нарушение установленных правил проектирования. Иными словами, необходимо учитывать, что окрестность действия правил может выходить за рамки самой ячейки. Поэтому при проектировании топологии стандартной ячейки по периметру ячейки, а иногда и внутри самой ячейки, добавляются элементы, не используемые для вычислений, а лишь гарантирующие выполнение правил проектирования на уровне кристалла при размещении ячеек вплотную друг к другу.

Для топологии ячейки, построенной в рамках технологического процесса 32 нм и менее, характерно отсутствие разрывов в сильнолегированных областях, так как это позволяет увеличить плотность транзисторов. Существует правило проектирования, задающее минимально допустимое расстояние между отдельными частями сильнолегированных областей, что при использовании «разрывов» означает увеличение площади всей конструкции при реализации меньшего числа транзисторов (Рис. 2).

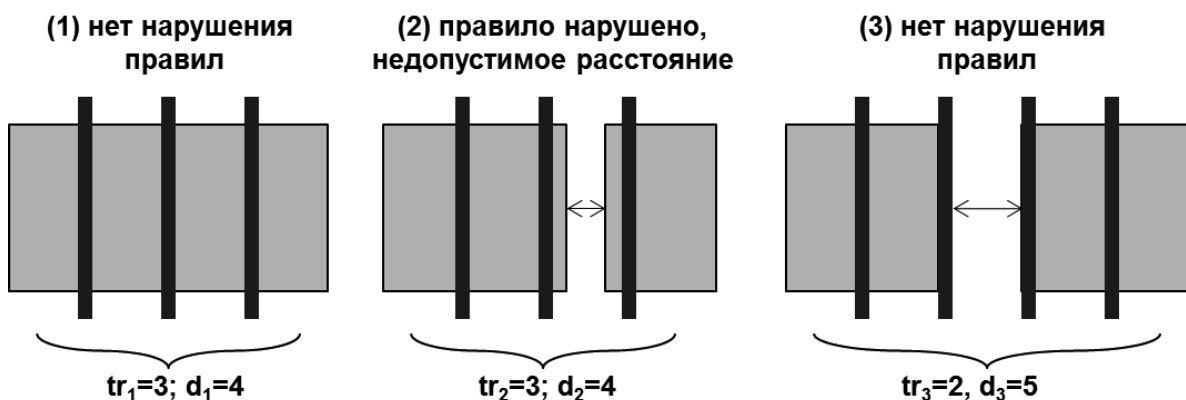


Рис. 2. Разрыв сильнолегированной области приводит к уменьшению плотности транзисторов. tr – число транзисторов, d – длина конструкции

С точки зрения электрических характеристик, возможность выбирать ширину сильнолегированных областей для каждого отдельного транзистора позволяет оптимизировать быстродействие и потребляемую мощность. Но с уменьшением разрешающей способности технологического процесса указанный эффект теряется, так как появляется большое число правил проектирования, которые ограничивают возможное пространство топологических конструкций, и соответственно уменьшают потенциально возможное улучшение в электрических характеристиках [Ryzhenko N., Burns S. Physical Synthesis onto a Layout Fabric with Regular Diffusion and Polysilicon Geometries // Proc. of DAC. 2011. Pp. 83-88.].

В создавшейся ситуации для будущих технологических процессов 14 нм и менее единственно возможным подходом останется использование строго регулярной топологии на базовых полупроводниковых слоях. Анализ подходов, которые используются для формирования общего вида регулярной топологии, а также анализ подходов к проектированию в рамках указанной проблематики осуществляется в первой главе.

В **первой главе** анализируются существующие методы проектирования на предмет регулярности получаемой топологии схемы.

Для оценки регулярности топологии применяется дискретное преобразование Фурье для характеристических функций нижних слоев. Непосредственно на степень однородности влияет набор базисных блоков, из которых составляется схема. Чем разнородней набор базисных блоков, тем менее регулярна топология схемы. В данной главе наиболее распространенные подходы к проектированию ИС анализируются с точки зрения регулярности топологии (упорядочены по возрастающей степени регулярности): заказное проектирование (custom design), метод стандартных ячеек, проектирование с требованием абсолютной регулярности в слоях (Regular Fabrics или проектирование с регулярной «заготовкой», включая БМК). Также отдельно обсуждается регулярность на более высоком уровне, чем транзисторная топология схемы. Здесь анализируются проектирование структурных СБИС (structural ASICs) и подход с логическими матрицами, программируемыми пользователем (ПЛИС, FPGA).

Сравнение подходов показало, что схемы, спроектированные с использованием регулярных «заготовок», обладают наилучшим соотношением между степенью регулярности топологии и электрическими характеристиками схемы. Поэтому в данной главе более подробно обсуждаются существующие алгоритмы проектирования схем на основе регулярных «заготовок», включая этапы логического и физического синтеза.

Подходы к синтезу комбинационных схем можно разделить по типу минимального логического примитива: отдельный транзистор, стандартная ячейка

или более крупный логический блок, реализующий функцию от 5 и более переменных (такой функциональный примитив по своей сути не отличается от стандартной ячейки). Задача логического синтеза ставится как задача реализации схемы, описанной на уровне формул, в виде сети, составленной из данных примитивов.

Метод синтеза схем с регулярной топологией с содержательным описанием этапов логического синтеза обычно сводится к сокращению числа функциональных элементов (стандартных ячеек или более крупных блоков), имеющих разную топологию. К такой методологии относится подход, в котором множество стандартных ячеек, имеющих регулярную топологию, выбирается в зависимости от схемы, которую требуется реализовать [Khetarpal V. Logic synthesis for regular fabrics // Proc. of DAC. 2006. Pp. 112-119]. Здесь вводится понятие логической «близости» и «отдаленности» для подсхем, вся схема разбивается на подсхемы специального типа таким образом, чтобы минимизировать число сильно «отдаленных» подсхем, составляющих исходную схему. Далее минимизируется число групп эквивалентных или «близких» подсхем, которые необходимы для реализации исходной схемы. После такой кластеризации определяется требуемый набор логических функций для логического синтеза исходной схемы.

Другой подход основан на наборе эвристических формул, которые используются при логическом синтезе на стандартных ячейках для оценки регулярности получаемого решения. Такие формулы способствуют тому, что алгоритм логического синтеза повторяет одинаковые реализации в разных местах исходной схемы, тем самым, уменьшается множество нужных для реализации примитивов [Kutzschebauch T. Regularity Driven Logic Synthesis // Proc. of ICCAD. 2000. Pp. 439-446]. Также существуют исследования, основанные на прямом уменьшении доступной библиотеки ячеек [Jiao H., Chen L. Cellwise OPC Based on Reduced Standard Cell Library // Proc. of ISQED. 2008. Pp. 810-814].

На этапах топологического синтеза схем с регулярной топологией рассматривается задача синтеза стандартной ячейки или блока, реализующего логическую функцию от 5-7 входных переменных. В качестве минимальных логических примитивов рассматриваются, как правило, отдельные транзисторы. Требуется разместить транзисторы, с заданным графом соединений, в рамках зафиксированной регулярной топологии (Regular Fabrics). Основные требования в такой топологии: полосы полупроводника p^+ или n^+ типа неразрывны и имеют одинаковую ширину, все затворы транзисторов расположены равномерно и имеют одинаковую длину, смежные пары транзисторов являются либо разделенными, либо объединенными. Чтобы наиболее полно учесть современные технологические правила проектирования, могут быть добавлены следующие ограничения:

межслойные переходы располагаются равномерно в определенных местах блока, нижние слои металла являются однонаправленными (только горизонтальные или только вертикальные) и другие.

На основе анализа существующих подходов к проектированию схем с регулярной топологией можно выделить ряд ограничений и недостатков.

(1) При проектировании с использованием стандартных ячеек множество транзисторных схем, как множество графов транзисторных соединений, ограничено структурно доступной библиотекой ячеек.

(2) Разделение этапов логического и физического синтеза друг от друга при проектировании на отдельных транзисторах усложняет этап размещения транзисторов в регулярной топологии. Регулярная топология в частности требует неразрывности сильнолегированной области (Рис. 2), что, как правило, не учитывается на этапах логического синтеза [Исаева Т.Ю. Разработка и исследование методов логического синтеза схем быстродействующих цифровых КМОП БИС // диссертация на соискание ученой степени к.т.н., 2002]. Это приводит к неоптимальности полученного на этапах логического синтеза графа транзисторных соединений для этапов физического синтеза. При этом существуют подходы к проектированию, в которых этапы логического синтеза не отделены от этапов физического синтеза [Uehara, T. and vanCleemput, W. M. Optimal Layout of CMOS Functional Arrays // Proc. of DAC. Pp. 287-289. 1979], однако, в рамках таких подходов, как правило, рассматриваются только комплементарные конструкции (отсутствуют проходные транзисторы и мостиковые подсхемы).

(3) При проектировании схем с регулярной топологией на стандартных ячейках часто требуется нефункциональный поликремний на периметре ячейки (Рис. 1).

Указанные ограничения приводят к увеличению площади схемы при проектировании на нанометровых технологических процессах. Для преодоления указанных проблем требуется разработка нового подхода к проектированию, в котором указанные недостатки значительно ослаблены или полностью разрешаются. Этому посвящена вторая глава.

Во второй главе на основе предварительного анализа различных структур выбран общий вид регулярной топологии (Рис. 3) в виде структуры с выровненными полосами полупроводниковых областей p^+ и n^+ типа, обладающих фиксированной шириной (ширина может отличаться для p^+ и n^+ частей).

Длинный затвор одновременно управляет P и N транзисторами, короткий затвор управляет только одним транзистором. Получающиеся таким образом последовательно соединенные транзисторы формируют ряды; каждый ряд имеет инвертированный порядок p^+ и n^+ полос по отношению к соседнему ряду, чтобы использовать общую шину питания для двух соседних полос одного типа.

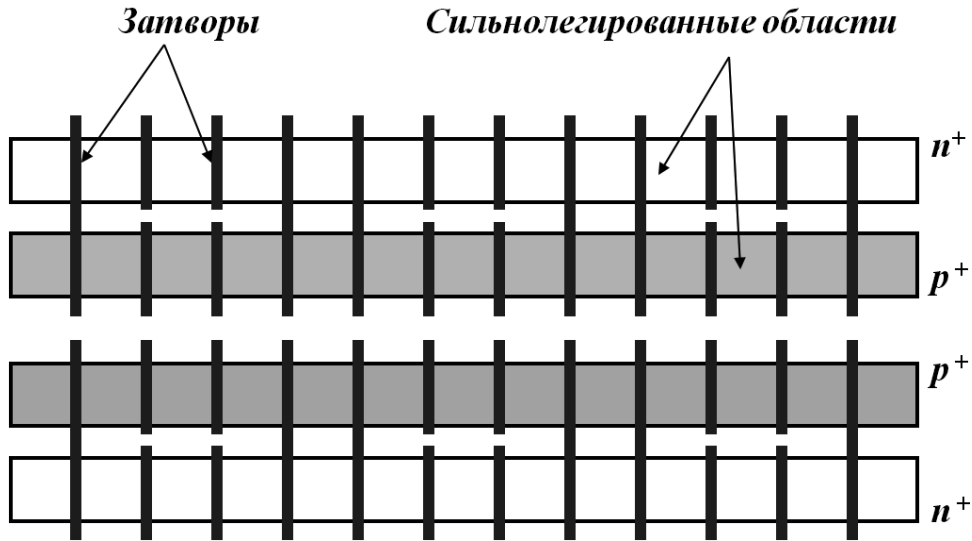


Рис. 3. Общий вид регулярной топологии в слоях. 2 смежных ряда транзисторов

В отличие от существующих подходов, рассмотренных в главе 1, в диссертационной работе предлагается регулярная топология с периодически меняющимися длинными и короткими затворами. Наличие данного свойства у регулярной топологии позволяет учесть большее количество правил проектирования, специфичных для технологических процессов 32 нм и менее. Экспериментальный анализ трассируемости блоков показал, что периодичность вида: 2 длинных - 2 коротких затвора является наиболее подходящей для технологических процессов 32 нм и менее.

Для решения проблем автоматизации синтеза схем и топологии в диссертационной работе предлагается подход к проектированию, использующий топологическую конструкцию специального типа – транзисторный шаблон. Объект данного типа является промежуточной конструкцией между транзистором и стандартной ячейкой (Рис. 4).

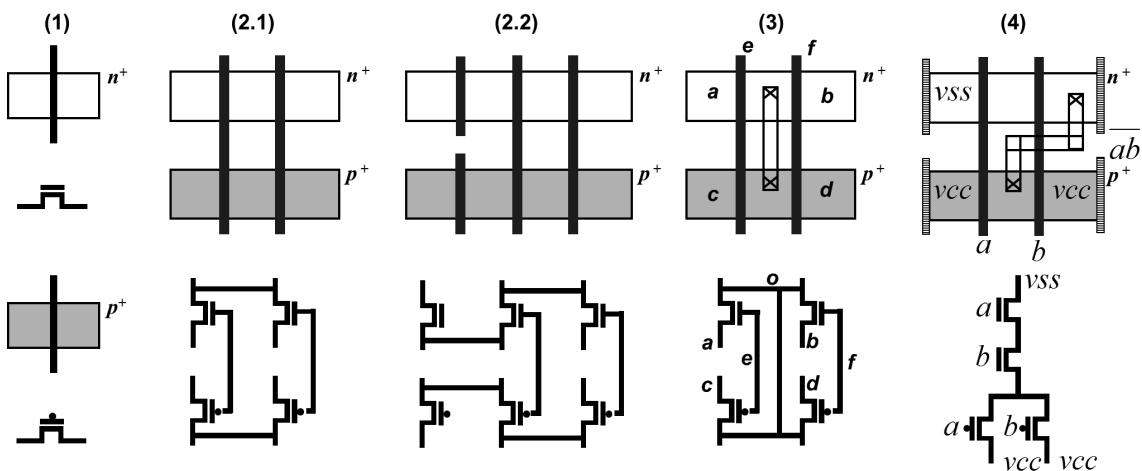


Рис. 4. (1) транзистор, (2.1,2.2) пример транзисторного шаблона, (3) логический элемент на основе транзисторного шаблона 2.1, (4) пример стандартной ячейки

Для формализации такого подхода в диссертации вводятся следующие определения. *Транзисторный шаблон* определяется, как непрерывный фрагмент регулярной топологии, состоящий из последовательно соединенных смежных пар транзисторов P и N типа. В качестве *размера транзисторного шаблона* используется число смежных пар транзисторов P и N типа. *Логический элемент на основе транзисторного шаблона* определен как топологический блок с выделенными входными/выходными точками, состоящий из транзисторного шаблона и слоев металла, реализующего дополнительные внутренние соединения.

Множество всех разных транзисторных шаблонов для заданной регулярной топологии, имеющих размер, не превосходящий k , обозначим $L(k)$, где $k \geq 1$. Множество логических элементов на основе транзисторного шаблона $l \in L(k)$ обозначим за $S(l, k)$. Обозначим $\bigcup_{l \in L(k)} S(l, k) = S(k)$.

Анализ показал, что оптимальным набором базисных логических примитивов является $S(4)$. Использование шаблонов с размером 5 и более нецелесообразно, так как большинство логических элементов на основе таких шаблонов содержат длинные цепочки последовательно соединенных транзисторов и обладают низким быстродействием.

Проектирование схем с регулярной топологией с использованием логических элементов на основе транзисторных шаблонов обладает набором преимуществ по отношению к проектированию с использованием отдельных транзисторов или стандартных ячеек:

- (1) В отличие от проектирования на стандартных ячейках, данный набор элементов покрывает все непрерывные фрагменты регулярной топологии (состоящих из последовательно соединенных смежных пар транзисторов P и N типа), что ослабляет иерархическое ограничение на множество допустимых транзисторных конструкций.
- (2) В отличие от проектирования на отдельных транзисторах схемы, построенные из элементов на основе транзисторных шаблонов, не ограничены комплементарными конструкциями.
- (3) В отличие от проектирования на стандартных ячейках в большинстве случаев нет необходимости использовать дополнительные затворы для электрической изоляции таких элементов, так как разработан механизм склейки таких элементов между собой.
- (4) В отличие от проектирования на отдельных транзисторах большинство правил проектирования, а также относительное расположение части транзисторов уже известно после этапов логического синтеза.

Логический синтез с применением элементов на основе транзисторных шаблонов требует математического описания функциональности таких объектов, т.е. требуется модель на уровне транзисторных переключений. Существуют различные подходы к моделированию транзисторных схем. Например, могут использоваться **0/1** состояния, или **0/1/x**, или **0/1/x/z**. Как правило, в существующих моделях отсутствует анализ слабых состояний: *lowvcc* и *lowvss* (Рис. 5), что не позволяет решать в полной мере проблему совместимости транзисторных фрагментов на стыках. В частности, в таких моделях не учитывается тот факт, что слабый сигнал на затворе может привести к искажению логического результата на стоке. Если в модели такие состояния интерпретируются «чистыми» значениями (1 или 0), то это приводит к неточностям моделирования; если такие состояния запрещаются, то возникает ограничение на применимость такой модели.

Чтобы преодолеть ограничения существующих моделей, в диссертационной работе набор состояний расширен до 6 состояний: *vcc*, *vss*, *z*, *lowvcc*, *lowvss*, *bad*, которые могут возникнуть в узлах транзисторной схеме при подключении входных проводников к цепи питания и цепи земли (Рис. 5, Таблица 1).

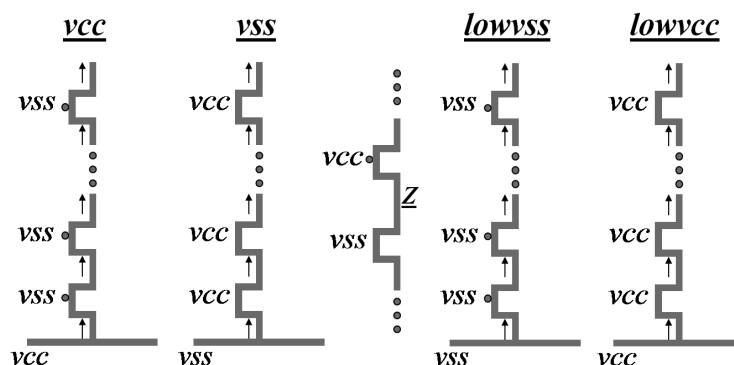


Рис. 5. Состояния *vcc*, *vss*, *z*, *lowvss*, *lowvcc* в узле

Для формализации такого набора состояний в диссертационной работе вводятся определения для каждого из состояний.

Состояние *vcc* определяется как состояние узла, который подсоединен к цепи питания напрямую или через цепочку открытых транзисторов *P* типа.

Состояние *vss* определяется как состояние проводника, который подсоединен к цепи земли напрямую или через цепочку открытых транзисторов *N* типа.

Состояние *z* определяется как состояние высокого импеданса в узле (для данного узла не существует соединения через цепочку открытых транзисторов ни с цепью питания, ни с цепью земли).

Состояние *lowvcc* вводится как состояние узла для идентификации слабого значения напряжения, которое возникает в узле, подсоединенном к цепи питания

через открытые N транзисторы (в данном узле будет индуцировано напряжение, отличающееся от напряжения питания на некоторую значимую величину).

Состояние $lowvss$ вводится как состояние узла, который подсоединен к цепи земли через открытые P транзисторы (напряжение в таком узле будет отличаться на значимую величину от нуля).

Состояние bad вводится как специальное состояние транзисторной схемы, которое возникает при наличии запрещенных комбинаций состояний на входах схемы.

Состояние bad вводится для того, чтобы запретить две ситуации: а) появление промежуточных значений напряжения на затворе (состояния $lowvcc$ или $lowvss$), так как поведение транзистора в такой ситуации неустойчиво; б) замыкание, которое означает существование открытой цепи между питанием и землей. При использовании данных состояний, логическая функциональность транзисторов представляется, как отображение состояний на истоке и на затворе в состояние на стоке. Данная модель представлена в виде таблицы состояний для P , N транзисторов и для соединения проводников (Таблица 1).

Таблица 1.

Часть таблицы пересчета состояний для транзисторов

Исток	Затвор	Сток P транзистора	Сток N транзистора
vss	vss	lowvss	z
vss	vcc	z	vss
vss	z	bad	bad
vss	lowvss	bad	bad
vss	lowvcc	bad	bad
vcc	vss	vcc	z
...

В общепринятых подходах, как правило, каждому входу транзисторной схемы ставится в соответствие логическая переменная, которая принимает значение 1, если на данном входе индуцируется напряжение питания, и переменная принимает значение 0, если на входе индуцируется напряжение земли.

В диссертационной работе вводится несколько обобщенный вариант такого соответствия на уровне логических функций для каждого из введенного состояния, а не на уровне логических переменных, каждая из которых характеризует лишь два состояния в узле (логическая переменная – частный случай логической функции).

Переход к описанию на уровне логических функций осуществляется посредством следующих определений. *Функция-условие* вводится для заданного состояния в узле как характеристическая функция данного состояния в узле, зависящая от булевых переменных. Т.е. для фиксированного набора булевых переменных $X = \{x_1, x_2, \dots, x_n\}$, фиксированного узла U и состояния S в нем, вводится булева функция $f_U \in \{\mathbb{B}^n \rightarrow \mathbb{B}\}$, при этом $f_U(x_1, x_2, \dots, x_n) = \mathbf{1}$, если в узле U индуцируется состояние S , и $f_U(x_1, x_2, \dots, x_n) = \mathbf{0}$ иначе. Для таких функций вводятся обозначения следующего вида:

$$S_U(\tilde{x}^n), \text{ где } \tilde{x}^n = (x_1, x_2, \dots, x_n), S - \text{состояние в узле } U;$$

Т.е. функции-условия в узле U для состояний vcc , vss , z , $lowvcc$, $lowvss$ обозначаются как

$$vcc_U(\tilde{x}^n), vss_U(\tilde{x}^n), z_U(\tilde{x}^n), lowvcc_U(\tilde{x}^n), lowvss_U(\tilde{x}^n) \text{ соответственно.}$$

Функция-условие также определяется и для состояния bad как для состояния всей схемы (не для фиксированного узла). Данная функция обозначается как $bad(\tilde{x}^n)$. Также в диссертационной работе определяется *кортеж-условие* (*кортеж*) в узле как набор из 5 функций-условий для всех состояний в данном узле.

Как правило, выходному узлу схемы ставится в соответствие булева функция как функция от переменных, поставленных в соответствие входам. При этом данная функция задает математическое описание логической функциональности такой транзисторной схемы.

В отличие от данного подхода в диссертационной работе для описания логической функциональности произвольного фрагмента транзисторной схемы каждому входному и выходному узлу ставится в соответствие кортеж-условие. При этом математическое описание логической функциональности транзисторной схемы в таком подходе задается набором уравнений над компонентами кортеж-условий для входных/выходных узлов. Это дает возможность учитывать слабые состояния и позволяет описывать функциональность произвольного фрагмента транзисторной схемы.

Пусть имеется транзисторная схема, состоящая из одного N транзистора и проводников, подсоединенных к истоку, затвору и стоку транзистора.

Обозначим кортеж на истоке:

$$\{vcc_{source}(\tilde{x}^n), vss_{source}(\tilde{x}^n), z_{source}(\tilde{x}^n), lowvcc_{source}(\tilde{x}^n), lowvss_{source}(\tilde{x}^n)\}$$

Обозначим кортеж на затворе:

$$\{vcc_{gate}(\tilde{x}^n), vss_{gate}(\tilde{x}^n), z_{gate}(\tilde{x}^n), lowvcc_{gate}(\tilde{x}^n), lowvss_{gate}(\tilde{x}^n)\}$$

Обозначим кортеж на стоке:

$$\{vcc_{drain}(\tilde{x}^n), vss_{drain}(\tilde{x}^n), z_{drain}(\tilde{x}^n), lowvcc_{drain}(\tilde{x}^n), lowvss_{drain}(\tilde{x}^n)\}$$

Тогда в соответствие с Таблицей 1 справедливы уравнения:

$$bad(\tilde{x}^n) = z_{gate}(\tilde{x}^n) \vee lowvcc_{gate}(\tilde{x}^n) \vee lowvss_{gate}(\tilde{x}^n)$$

$$vcc_{drain}(\tilde{x}^n) = 0$$

$$vss_{drain}(\tilde{x}^n) = vcc_{gate}(\tilde{x}^n) \wedge vss_{source}(\tilde{x}^n)$$

$$z_{drain}(\tilde{x}^n) = vss_{gate}(\tilde{x}^n) \vee (vcc_{gate}(\tilde{x}^n) \wedge z_{source}(\tilde{x}^n))$$

$$lowvcc_{drain}(\tilde{x}^n) = vcc_{gate}(\tilde{x}^n) \wedge (vcc_{source}(\tilde{x}^n) \vee lowvcc_{source}(\tilde{x}^n))$$

$$lowvss_{drain}(\tilde{x}^n) = vcc_{gate}(\tilde{x}^n) \wedge lowvss_{source}(\tilde{x}^n)$$

(здесь и далее $\tilde{x}^n = (x_1, x_2, \dots, x_n)$)

Аналогичные уравнения строятся для P транзистора и для соединения проводников. Для заданной транзисторной схемы с заданными кортежами на входных узлах схемы данный набор уравнений, записанный для каждого транзистора схемы и мест соединений проводников, позволяет определить кортеж на выходе схемы, а также проверить отсутствие запрещенных комбинаций.

Отдельно в диссертационной работе исследуются проблемы применимости модели, связанные с ограничениями на тип схем, таких как ориентированность применения уравнений, наличие циклов, консервативность модели по набору состояний и запрещенных комбинаций.

Преимущества введенного в диссертационной работе подхода к описанию логической функциональности транзисторной схемы позволяют анализировать логическую функциональность произвольных элементов на основе транзисторных шаблонов, а также позволяют синтезировать логические функции с использованием данных элементов (Рис. 6).

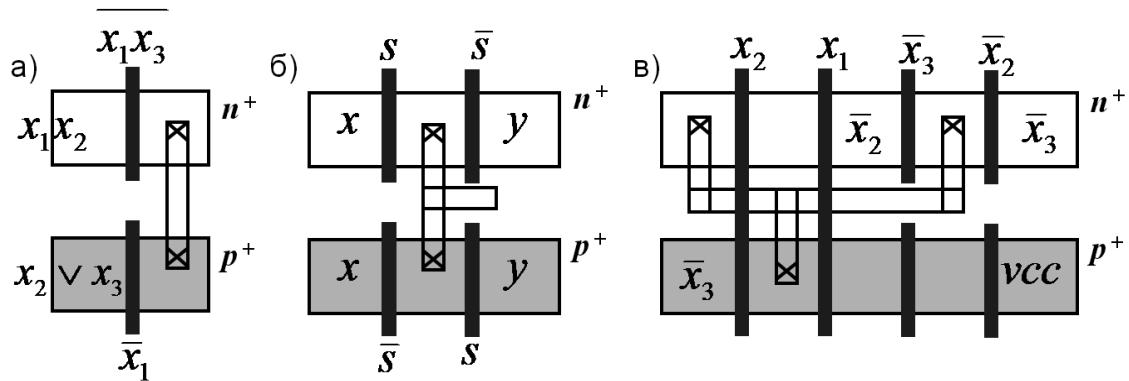


Рис. 6. а) $x_1x_2 \vee x_1\overline{x_2}x_3$ на шаблоне из 2 транзисторов; б) мультиплексор на шаблоне из 4 транзисторов; в) реализация $\overline{x_2}\overline{x_3} \vee \overline{x_1}x_2x_3$ на шаблоне из 8 транзисторов

Помимо логической функциональности элементов на основе транзисторных шаблонов в диссертационной работе анализируются также важные для физического синтеза свойства таких элементов. Для размещения элементов на основе транзисторных шаблонов встык в рамках регулярной топологии вводится операция конкатенации шаблонов, которая позволяет склеивать элементы посредством

электрически эквивалентных сильнолегированных областей и посредством изоляционных затворов (Рис. 7, 8), что дает возможность уменьшать площадь схемы.

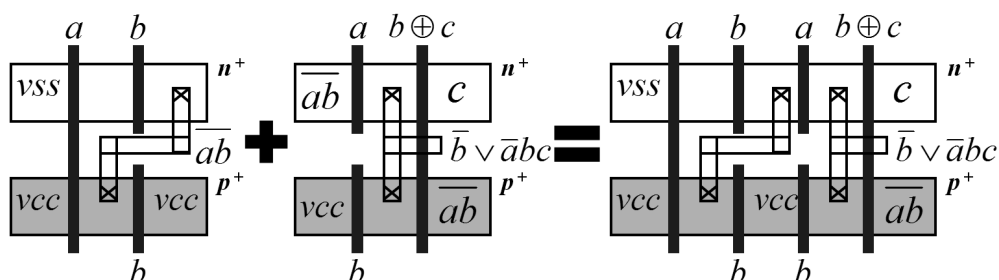


Рис. 7. Конкатенация с электрически эквивалентными сильнолегированными областями

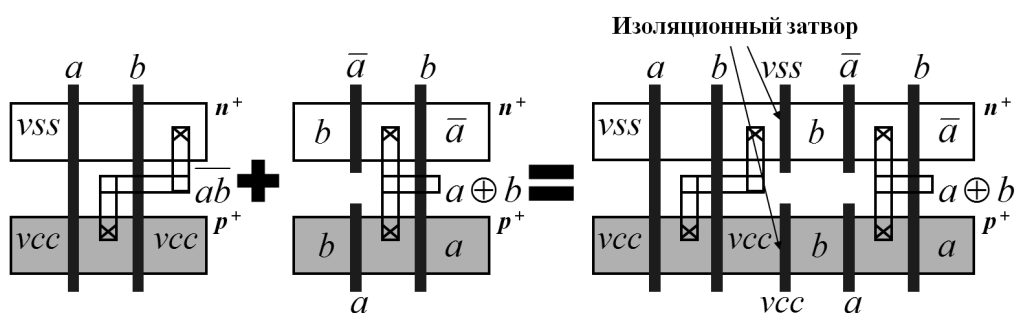


Рис. 8. Конкатенация с изоляционными затворами

Анализ логических и физических свойств элементов на основе транзисторных шаблонов выявил ряд потенциальных преимуществ в сравнение с отдельным транзистором и со стандартной ячейкой. Первые эксперименты (п. 2.6.3) показали, что для ячейки сумматора, синтезированной элементами на основе транзисторных шаблонов, требуется 28 затворов регулярной топологии, 8 из которых являются изоляционными. Ячейка сумматора, синтезированная промышленной программой на стандартных ячейках, требует 62 затвора, 32 из которых изоляционных. Данное сравнение показывает потенциальное уменьшение минимальной требуемой площади при использовании транзисторных шаблонов. Для проведения более содержательных экспериментов требуется разработка общего алгоритма логического синтеза на основе транзисторных шаблонов.

Глава 3 посвящена алгоритмам для логического синтеза с использованием элементов на основе транзисторных шаблонов. Пусть дана логическая функция f от 2-7 переменных, необходимо получить реализацию данной функции с регулярной топологией (Рис. 3). Для решения строится множество всех элементов на основе транзисторных шаблонов $S(4)$, введенное выше. В цикле для каждого $s \in S(4)$ и функции f определяется набор функций, которые необходимо поставить в соответствие входам элемента s , чтобы на выходе s реализовывалась f (разложение функции f на элементе s). Среди всех $s \in S(4)$ выбирается тот элемент, на котором

получено меньшее число существенно зависимых переменных по всем функциям в решении, а также, содержащий меньшее число транзисторов. Для каждой функции в решении запускается процедура разложения снова, если решение для данной функции еще не построено.

Неотъемлемой частью логического синтеза, как на отдельных транзисторах, так и на стандартных ячейках, является операция декомпозиции логической функции – представление функции в виде суперпозиции внешней и набора внутренних функций [Исаева Т.Ю. Разработка и исследование методов логического синтеза схем быстродействующих цифровых КМОП БИС //диссертация на соискание ученой степени к.т.н., 2002]. Так как элемент на основе транзисторного шаблона моделируется не логической функцией, а уравнениями над компонентами кортеж-условий, то задача декомпозиции в ее классическом виде не применима для таких объектов. Для решения этой проблемы вводится операция разложения логической функции на транзисторном шаблоне.

Для этого в диссертационной работе вводятся *характеристические множества транзисторной схемы* T как множества $N_T = \{\alpha | \alpha \in \mathbb{B}^p, t(\alpha) = 1\}$, $\bar{N}_T = \{\alpha | \alpha \in \mathbb{B}^p, t(\alpha) = 0\}$, где α - набор 0/1 значений на входах схемы (0 соответствует vss , 1 соответствует vcc), p – число входов схемы T , $t(\alpha)$ - отображение, которое принимает значение 1, если на выходном проводнике схемы T индуцируется состояние vcc , и 0, если на выходном проводнике индуцируется состояние vss . Если на наборе α индуцируется на выходе состояние z , $lowvcc$, $lowvss$ или bad , то значение $t(\alpha)$ считается неопределенным.

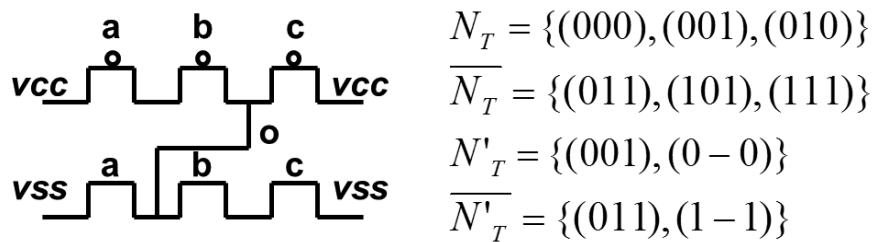


Рис. 9. Характеристические множества транзисторной схемы

Пример элемента на основе транзисторного шаблона, с характеристическими множествами показан на (Рис. 9). Для простоты иллюстрация приведена для схемы с predetermined значениями (vcc , vss) на некоторых входах. Узлы, отмеченные a , b , c – входы схемы, узел o – выход. Для ускорения работы алгоритма вместо характеристических множеств из 0/1 наборов (N_T , \bar{N}_T) можно использовать множество из -/0/1 наборов, обозначенных N'_T , \bar{N}'_T (Рис. 9).

Для разложения заданной функции с использованием заданного элемента на основе транзисторного шаблона в диссертационной работе разработан алгоритм на основе метода «ветвей и границ». Дерево решений показано на Рис. 10.

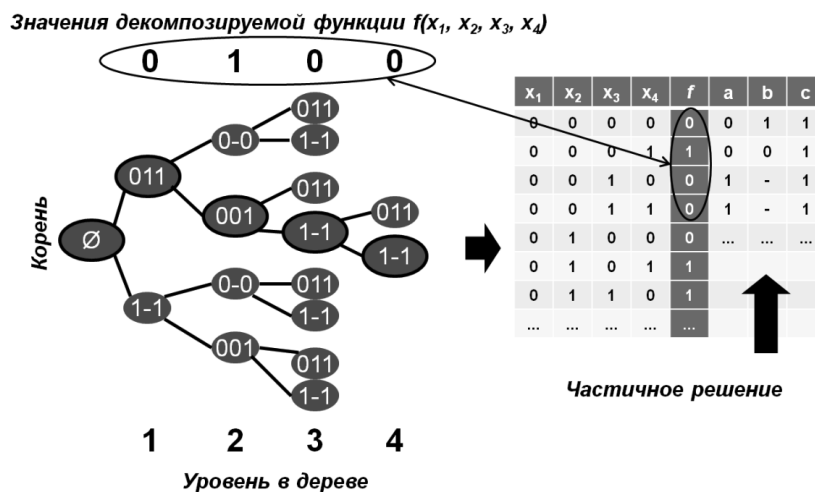


Рис. 10. Часть дерева при разложении на транзисторной схеме с Рис. 9 функции $f = \bar{x}_1\bar{x}_3x_4 \vee \bar{x}_1x_2x_3 \vee x_1x_2x_4$. Выделен 1 путь в дереве и показано частично построенное решение

Вершина дерева – 0/1 набор длины равной числу входов заданного элемента. Перед началом работы алгоритма создается корень дерева, соответствующий пустому набору. Очередной уровень с номером I ($I \geq 1$) в дереве составляется из наборов, которые принадлежат либо N'_T , либо $\overline{N'_T}$ в зависимости от значения функции f на I -ом наборе переменных. Путь от корня до некоторой вершины в таком дереве соответствует частичному решению (правая часть таблицы Рис. 10). При построении очередной вершины проверяется, что соответствующее решение (оно определяется путем от корня к данной вершине) состоит из функций, которые существенно зависят от меньшего числа переменных, чем исходная функция. Если данное условие не выполнено, то данная ветка дерева при построении следующего уровня не рассматривается. Наличие логического элемента на основе транзисторного шаблона, на котором обязательно будет найдено решение, необходимо проверять теоретически, например, реализовав мультиплексорную функцию.

Для проверки качества алгоритма для логического синтеза с использованием элементов на основе транзисторных шаблонов в п. 3.3 проведено сравнение по площади после этапа логического синтеза на стандартных ячейках и на транзисторных шаблонах. Для сравнения использовались различные логические функции от 4-6 переменных. Занимаемая площадь оценивалась по числу затворов, как функциональных, так и нефункциональных (Рис. 11).



Рис. 11. Гистограмма, показывающая уменьшение числа транзисторов при синтезе на основе шаблонов и на стандартных ячейках

Следует отметить, что отсутствие монотонности для нефункциональных транзисторов, а также наличие локальных экстремумов, объясняется тем, что число нефункциональных транзисторов, как правило, кратно 4-м, т.к. каждый шаблон и ячейка ограничены 4-мя изоляционными затворами. Отсюда разница в площади также кратна 4-м. При этом остаются случаи, которые вносят не кратную 4-м разницу в общую статистику, если реализация стандартной ячейки включает нефункциональные затворы, которые используются для внутренней изоляции. Данные результаты показывают, что в среднем после логического синтеза уменьшение по числу транзисторов составляет 15% при использовании регулярных шаблонов по сравнению с проектированием на стандартных ячейках. Таким образом, для случайно выбранной логической функции от 4-6 переменных, эта разница составляет в среднем 4-8 транзисторов.

Элементы на основе транзисторных шаблонов имеют больше входных узлов, чем стандартная ячейка. Это означает, что схемы, построенные на основе транзисторных шаблонов, могут требовать больше трассировочных ресурсов, чем схемы из стандартных ячеек. Проверка трассируемости осуществляется в главе 4.

В главе 4 представлен маршрут физического синтеза схем для проектирования на основе транзисторных шаблонов, который использовался для экспериментальной оценки трассируемости получаемых схем. Общий маршрут проектирования включает следующие этапы.

- 1) Кластеризация - представление входного функционального описания схемы (RTL) в виде графа из *супервентилей* (супервентиль – это логический блок, реализующий функцию, зависящую от 4-6 переменных, как правило, отличающуюся от библиотечных функций).

- 2) Физический синтез супервентилей – синтез супервентилей из элементов на основе транзисторных шаблонов, включая размещение и трассировку.
- 3) Характеризация, т.е. SPICE моделирование всех супервентилей, составляющих исходную схему.
- 4) Физический синтез схемы – синтез схемы из супервентилей, включая размещение и трассировку.

Для оценки качества решений использовались минимальная трассируемая площадь. Сравнение производилось с результатами промышленных программ с использованием библиотеки стандартных ячеек общего назначения для технологического процесса 32 нм. Эксперименты, включающие этапы физического синтеза, проведенные на наборе тестовых схем MCNC, показывают, что при проектировании на регулярных шаблонах, в среднем минимальная трассируемая площадь на 10% меньше, чем для проектирования на стандартных ячейках.

Проделанные эксперименты и полученные результаты сравнения показали практическую применимость подхода к проектированию ИС для технологических процессов, реализующих норму 32 нм и менее, с использованием логических элементов на основе транзисторных шаблонов.

Основные результаты работы

В ходе выполнения диссертационной работы получены следующие результаты.

1. Разработаны элементы специального типа на основе транзисторных шаблонов для проектирования схем по нормам технологических процессов 32 нм и менее, которые в отличие от стандартных ячеек, позволяют эффективней использовать поликремний для реализации затворов транзисторов, что в результате позволяет снизить площадь синтезируемого блока.
2. Разработана математическая модель для контроля совместимости и корректности межсоединений фрагментов транзисторных схем, которая в отличие от существующих моделей на уровне транзисторных переключений учитывает слабые состояния, что в результате позволяет расширить допустимое множество корректных фрагментов транзисторных схем.
3. Разработаны алгоритмы для этапов логического синтеза комбинационных схем на основе транзисторных шаблонов, обладающие меньшей вычислительной сложностью по сравнению с существующими алгоритмами проектирования на отдельных транзисторах, и позволяющие получать решения с частично размещенными транзисторами, что в сравнении с проектированием на отдельных транзисторах обеспечивает более полный контроль технологических норм.
4. Показано, что предлагаемый подход позволяет уменьшить число требуемых транзисторов на 15% при проектировании на шаблонах для функций от 4-6

переменных после логического синтеза в сравнении с промышленными программами проектирования с использованием библиотеки стандартных ячеек для технологического процесса 32 нм.

5. Реализована экспериментальная система физического синтеза на транзисторных шаблонах, доказывающая практическую применимость предлагаемого подхода (трассируемость) в рамках 32 нанометрового технологического процесса при более эффективном использовании транзисторов на 10% по сравнению со стандартными ячейками.

Публикации по теме диссертации

1. Talalay M., Trushin K., Venger O. Between Standard Cells and Transistors: Layout Templates For Regular Fabrics // Proc. of EWDTS. 2009. Pp. 293-299.
2. Талалай М.С., Трушин К.В. Обзор и анализ методов проектирования регулярных ИС // Труды 26-й молодежной научной конференции «Гагаринские чтения», 2010. Т. 4. С. 141-142.
3. Талалай М.С., Трушин К.В. Логический синтез комбинационных схем с регулярной топологией на основе транзисторных шаблонов // Труды 26-й молодежной научной конференции «Гагаринские чтения». 2010. Т. 4. С. 146-149.
4. Талалай М.С. Алгоритм представления логической функции в виде суперпозиции на произвольной транзисторной схеме // Труды 26-й молодежной научной конференции «Гагаринские чтения». 2010. Т. 4. С. 139-140.
5. Талалай М.С., Трушин К.В. Обзор подходов к проектированию регулярных ИС // Информационные технологии. 2011. № 1(173). С. 2-7.
6. Талалай М.С., Трушин К.В., Венгер О.В. Логический синтез комбинационных схем на основе транзисторных шаблонов с регулярной топологией // Информационные технологии. 2011. № 4(176). С. 2-7.
7. Талалай М.С., Трушин К.В., Венгер О.В. Логический синтез булевой функции для проектирования интегральных схем на транзисторных шаблонах // Информационные технологии. 2012. № 6(190). С. 2-11.